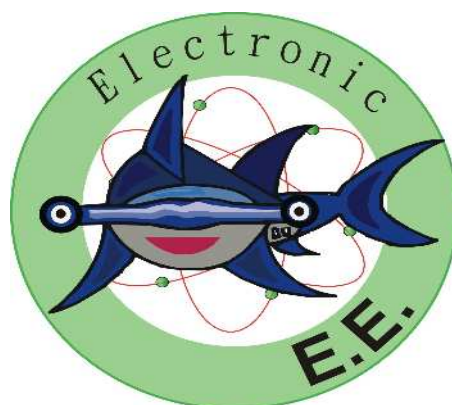
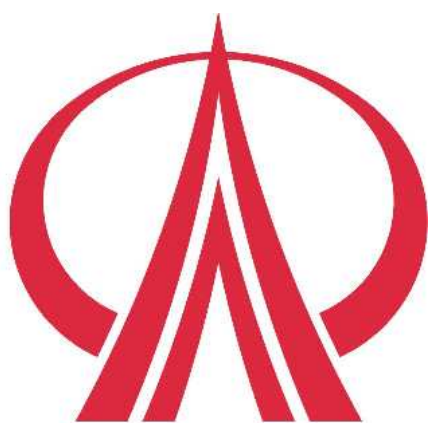


修平技術學院 電子工程系

DEPARTMENT OF ELECTRONIC ENGINEERING

實務專題報告書

低功率電位轉換器之設計



指導老師：余建政

專題製作學生：四技子四甲 王甫丞 BQ94002

四技子四甲 吳政憲 BQ94007

四技子四甲 陳冠廷 BQ94052

中華民國九十七年十二月二十四日

低功率電位轉換器之設計

Design of Low Power Voltage Level Shifter

摘要

近年來，由於手機、PDA、數位相機與筆記型電腦等行動裝置在熱銷與不斷推陳出新，這些裝置對日常生活的影響也日益增加，且隨著可攜式產品的功能日益豐富，產品體積又不斷縮小，而工作頻率卻不斷提升，高速運算則消耗大量功率及產生過熱現象，功率消耗已成為產品設計必須管理的重要課題；本專題將透過研究傳統 LC 電路並加以改良，改良輸出消耗功率並有效降低輸出消耗功率達 20% 以上。

目錄

摘要	2
1.簡介	6
2.功率消耗	7
2-1.靜態功率消耗	7
2-2.動態功率消耗	7
2-3.短路功率消耗	9
3.電路研究及改良	11
3-1.傳統 LC 電路	11
3-1.1 原理說明：	11
3-1.2 用途說明：	12
3-1.3 H-SPICE 模擬程式碼：	12
3-1.4 輸出波形：	14
3-1.5 傳統設計之缺點：	14
3-2.傳統改良 LC 電路	15
3-2.1 原理說明：	15
3-2.2 圖四之改良說明：	16
3-2.3 H-SPICE 模擬程式碼：	16

3-2.4 輸出波形：	18
3-2.5 其他改良：	19
3-2.6 圖七之改良說明：	20
3-2.7 H-SPICE 模擬程式碼：	20
3-2.8 輸出波形：	22
3-2.9 H-SPICE 模擬程式碼：	23
3-2.10 輸出波形：	25
3-3.本專題改良電路	26
3-3.1 H-SPICE 模擬程式碼：	26
3-3.2 輸出波形：	28
4.結論	29
4-1.輸出波形比較	29
4-2.消耗功率比較	30
參考文獻	31

圖表目錄

圖一 反相器的充放電	8
圖二 反相器的短路電流	10
圖三 傳統的 LC 電路設計	11
圖四 傳統 LC 電路模擬波形	14
圖五 傳統改良 LC 電路 (1)	15
圖六 傳統改良 LC 電路 (1) 模擬波形	18
圖七 傳統改良 LC 電路設計 (2)	19
圖八 傳統改良 LC 電路 (2) 模擬波形	22
圖九 傳統改良 LC 電路設計 (3)	23
圖十 傳統改良 LC 電路 (3) 模擬波形	25
圖十一 本專題改良電路設計	26
圖十二 本專題改良電路模擬波形	28
圖十三 輸出波形比較	29
圖十四 消耗功率比較	30

1.簡介

低功率消耗的電路設計不僅可以延長可攜式產品的工作時間，也可以避免元件產生熱損耗；低功率的電路設計是期望在滿足規格的情況下來減少功率的浪費，本文研究目標則將以一位準轉換器來轉換位準需求不同之兩元件的 I/O 電壓，以達到節省功率的目標；舉例來說，儘管某些處理器已將其最大 I/O 電壓限制為 1.8V，但許多週邊裝置卻仍採用傳統 3.3V 的操作電壓，所以兩者之間必須以位準轉換器做為連接介面，方能傳遞資料也能節省功率。而作為兩位準之間連接介面的位準轉換器我們又稱 LC (Level Converter)，本文將以 LC 為研究目標來實現低功率消耗之電路設計。

2. 功率消耗

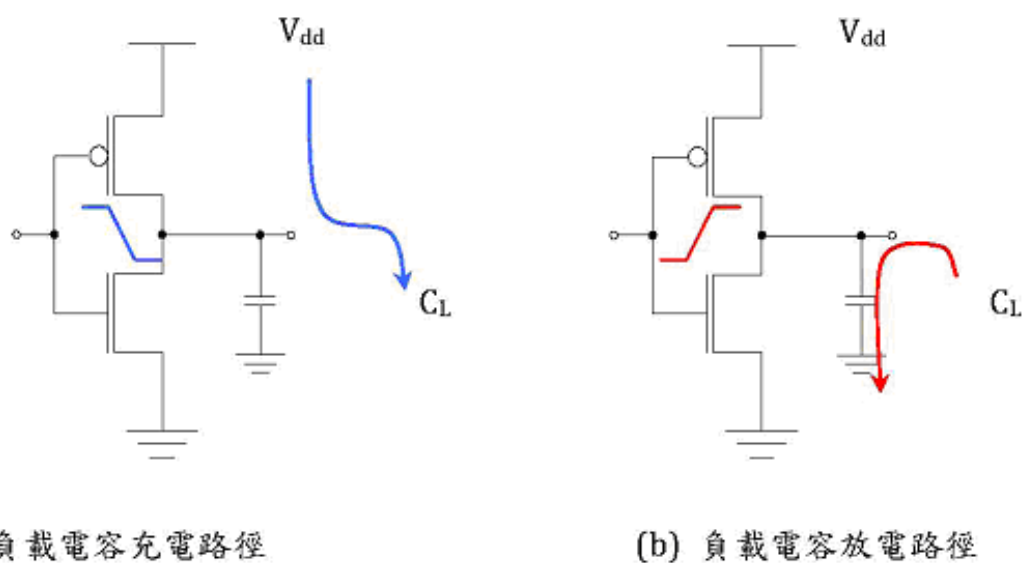
2-1. 靜態功率消耗 (Static power consumption)

電路在靜態時 (即 $V_{in} = 0V$ 或 $= V_{DD}$ 時), 電路沒有明顯的電流消耗。故粗略估計可說 $I_s = 0$ (I_s 是靜態電流)。但是若要詳細計算, 則靜態電流還是有漏電流發生。

2-2. 動態功率消耗 (Dynamic power consumption)

在傳統的數位電路中, 動態功率消耗對整體電路有非常大的影響; 在 0.35um 的製程下, 約占總功率消耗的 80%。動態功率消耗主要是由電晶體內部電容的充放電所產生。動態功率消耗包含兩項, 其一為 C_L 之充放電功率消耗 P_{sw} (switching power); 此為讓輸出端轉態 (作功) 所伴隨而來的功率消耗。其二為 C_L 充放電時由 V_{DD} 至 GDN 之直接路徑電流功率消耗 P_{sc} (short circuit power), 此部份工率無關作功, 是純粹的消耗。如圖一所示, 以 CMOS 反相器為例, 當輸入為低準位使得 pMOS 導通, 會有一條路徑對負載電容 (C_L) 進行充電; 反之, 則會產生一條放電路徑。充電時,

會由供電端對充電路徑所釋放的能量為 $C_L V_{dd}^2$ ，其中會有一半的能量儲存於負載電容，另一半則消耗在 pMOS 及內部接線。放電時，會由負載電容經由 nMOS 對接地端釋放能量。所以對負載電容進行一次的充放電會消耗的能量為 $C_L V_{dd}^2$ ，而功率是單位時間消耗的能量，因此可將上述的能量乘上單位時間訊號轉換次數後便可以得到動態功率，其表示式如下方所示。



圖一 反相器的充放電

式子中， N 為每個時脈週期內邏輯閘的平均轉換次數；而 f 則是時脈的頻率。

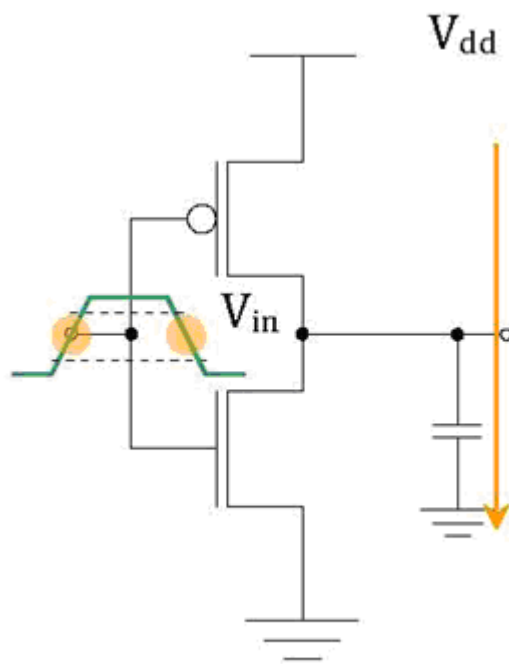
$$P_{sw} = C_L \cdot V_{dd}^2 \cdot N \cdot f$$

2-3. 短路功率消耗

(Short-circuit power consumption)

短路功率消耗是由於 CMOS 中的 nMOS 及 pMOS 同時導通，而產生一個由供電端到接地端的電流路徑。以圖二的反相器為例，當輸入電壓 (V_{in}) 大於 nMOS 的臨界電壓 (V_{thn}) 且未超過 pMOS 不導通的電壓 ($V_{dd} - |V_{thp}|$) 時，存在著一段 nMOS 及 pMOS 都同時導通的短暫時間。這段期間的能量耗損稱為短路功率消耗，其值可由底下的公式求得。其中 N 是每個週期訊號平均轉換次數； β 是電晶體的增益因子 (gain factor)，此式中定義為 $\beta = \beta_n = \beta_p$ ； τ 則是輸入訊號的上升或下降時間，在此我們假設上升與下降的時間相等；為了方便計算，式中也假設臨界電壓 $V_{th} = V_{thn} = V_{thp}$ 。由此式可得知短路功率與電壓的三次方成正比，且與輸入訊號的邊緣斜率 (slew rate) 也有正比的關係。若邏輯閘的輸入與輸出的邊緣斜率相等，短路功率消耗不會超過動態功率消耗的 15%。

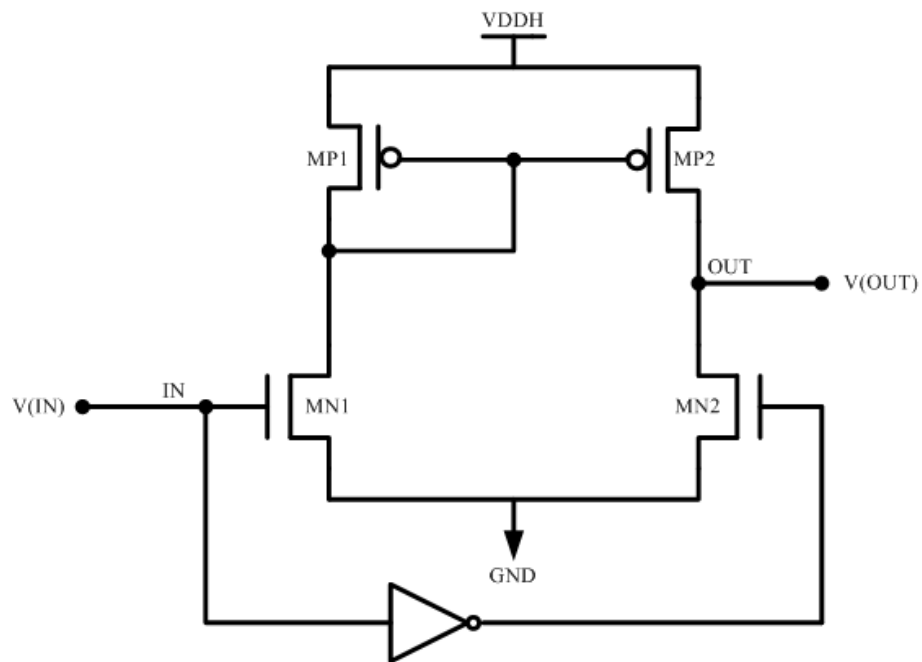
$$P_{\text{circuit-short}} = \frac{\beta}{12} (V_{dd} - 2V_{th})^3 \cdot \tau \cdot N \cdot f$$



圖二 反相器的短路電流

3. 電路研究及改良

3-1. 傳統 LC 電路



圖三 傳統的 LC 電路設計

3-1.1 原理說明：

當 $V(IN)$ 為低準位時；MN1 閘極輸入為 0，MN2 閘極輸入為 1；則 MN1 為 OFF 狀態，而 MN2 為 ON 狀態；因為 MN1 為 OFF 則 MP1 和 MN1

間沒有電流流下來，依據電流鏡特性則 MP2 也無電流流向 MN2；則 V (OUT) 輸出為低準位 (0)。

當 V (IN) 為高準位時；MN1 閘極輸入為 1，MN2 閘極輸入為 0；則 MN1 為 ON 狀態，而 MN2 為 OFF 狀態；因為 MN1 為 ON 則 MP1 和 MN1 間有一電流流下來，依據電流鏡特性則 MP2 也有電流流向 MN2；則 V (OUT) 輸出為高準位 (V_{DD})。

3-1.2 用途說明：

LC 電路通常使用於兩個電壓需求不同的元件之間，以達到升壓或降壓的功能，優點則是能夠讓某些低電壓就能工作的元件能夠以較低的工作電壓執行，以節省功率消耗。

3-1.3 H-SPICE 模擬程式碼：

```
*LC.FIG3
```

```
.LIB 'mm0355v.l' TT
```

```
.SUBCKT LC1 IN OUT VDDH VDDL GND
```

```
MM1 NOTL IN VDDL VDDL PCH W=1.2u L=350n M=1
```

```

MM2  NOTL  IN  GND  GND  NCH  W=600n  L=350n  M=1
MN1  NET   IN  GND  GND  NCH  W=600n  L=350n  M=1
MN2  OUT   NOTL GND  GND  NCH  W=600n  L=350n  M=1
MP1  NET   NET  VDDH VDDH PCH  W=1.2u  L=350n  M=1
MP2  OUT   NET  VDDH VDDH PCH  W=1.2u  L=350n  M=1
.ENDS

```

```

VVDDH  VDDH  0  3.3v
VVDDL  VDDL  0  1.8v
VGND  GND   0  0v
V1  IN  GND  PULSE(0 1.8 5n 1n 1n 4n 10n)

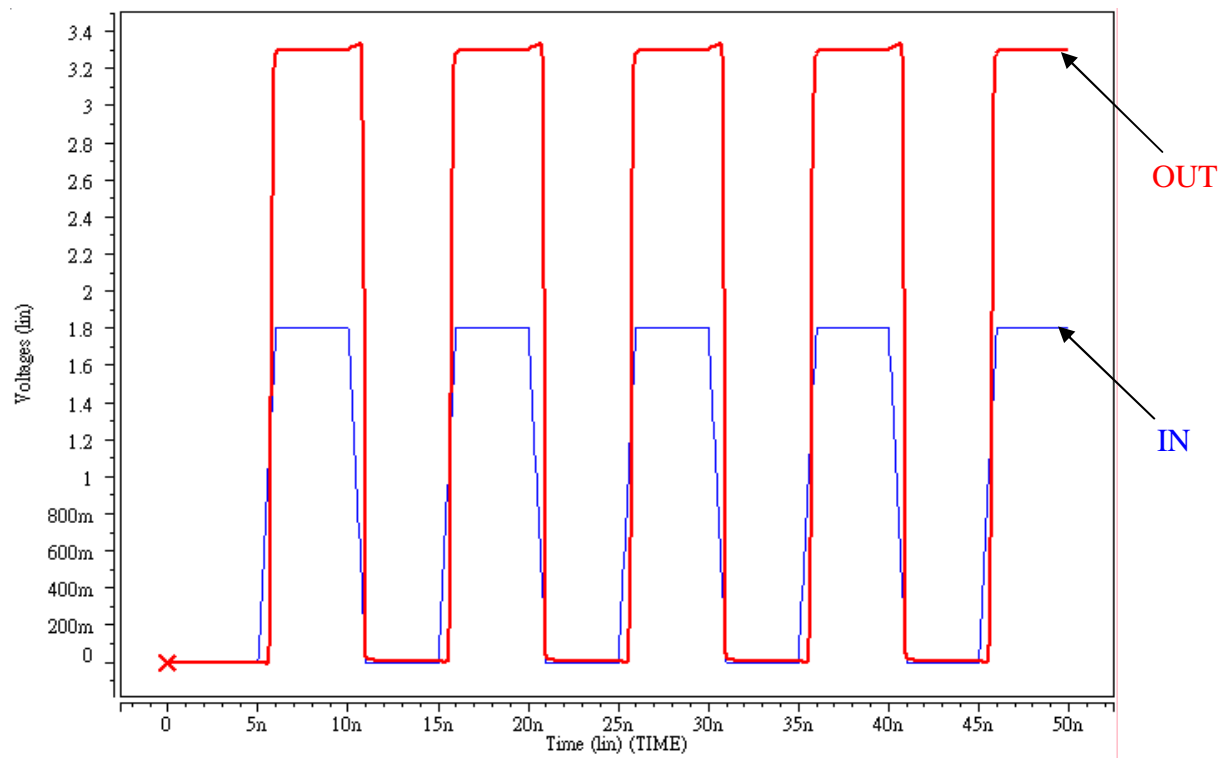
```

```

XC  IN  OUT  VDDH  VDDL  GND  LC1
.meas tran tr trig v(IN) val=0.9 rise=1 td=13ns
+      targ v(OUT) val=1.65 rise=1 td=13ns
.meas tran tf trig v(IN) val=0.9 fall=1 td=13ns
+      targ v(OUT) val=1.65 fall=1 td=13ns
.meas tran pwr avg power
.OP
.TRAN 0.01n 50n
.OPTIONS POST
.PRINT TRAN
.END

```

3-1.4 輸出波形：



圖四 傳統 LC 電路模擬波形

上升時間(t_r)= $2.4164e-10$

下降時間(t_f)= $3.9378e-10$

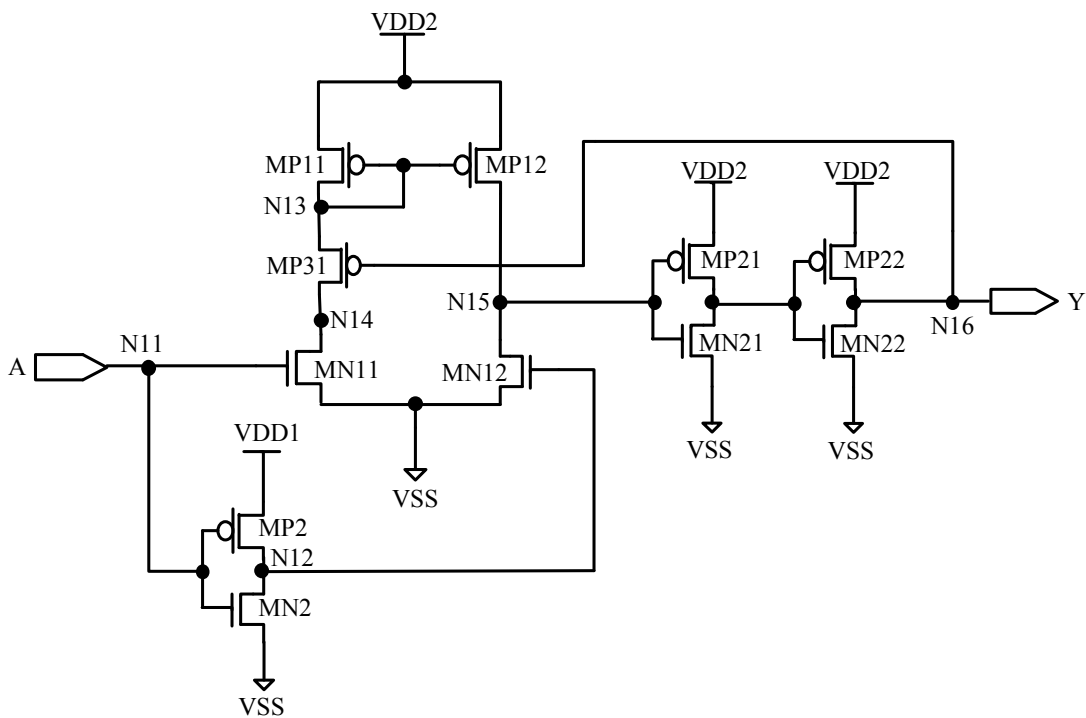
功率損耗(pwr)= $2.0332e-04$

3-1.5 傳統設計之缺點：

依照先前章節所描述之功率消耗，此傳統設計上有相當大的動態功率消耗和當 MP1 與 MN1 都導通時所造成的短路功率消耗（漏電流）產生，造成電路本身就有很大的功率消耗。

3-2.傳統改良 LC 電路

因傳統 LC 電路的漏電流功率損耗較大，所以本文將對發明專利案號 94127854 之電路做研究並加以改良；此專利乃針對 LC 電路的漏電流功率損耗做改良，本文將以此專利之圖 1、圖 3 以及圖 5 做分析及模擬。



圖五 傳統改良 LC 電路 (1)

3-2.1 原理說明：

當輸入 A 為低準位時；經過輸入緩衝器 10 後，MN11 閘極輸入為 1，MN12 閘極輸入為 0；則 MN11 為 ON 狀態，而 MN12 為 OFF 狀態；而 MP31 出始值設定為 ON 使之導通，因為 MN11 為 ON 則 MP11 和 MN11 間有一

電流流下來，依據電流鏡特性則 MP12 也有電流流向 MN12；則節點 N5 為 1，經過輸出緩衝器 20 後，輸出 Y 為高準位（1）。

當輸入 A 為高準位時；經過輸入緩衝器 10 後，MN11 閘極輸入為 0，MN12 閘極輸入為 1；則 MN11 為 OFF 狀態，而 MN12 為 ON 狀態；而 MP31 因上一狀態之 Y 輸出為 1 使之 OFF，因為 MN11 和 MP31 為 OFF 則 MP11 和 MN11 間沒有電流流下來，依據電流鏡特性則 MP12 也無電流流向 MN12；則節點 N5 為 0，經過輸出緩衝器 20 後，輸出 Y 為低準位（0）。

3-2.2 圖四之改良說明：

當輸出訊號（節點 N16）是高準位時，將先關閉 MP31，讓輸入 A 轉態成為低準位之前先使 MP11 與 MN11 間之電流通路中斷，以達到節省功率消耗的功能。

3-2.3 H-SPICE 模擬程式碼：

```
*LC.FIG5
```

```
.LIB 'mm0355v.l' TT
```

```
.SUBCKT FIG1 N11N16 VDD1 VDD2 VSS
```



```

MN2  N12  N11  VSS  VSS  NCH  W=0.6U  L=0.35U
      M=1
MN11 N14  N11  VSS  VSS  NCH  W=0.6U  L=0.35U
      M=1
MN12 N15  N12  VSS  VSS  NCH  W=0.6U  L=0.35U
      M=1
MN21 N17  N15  VSS  VSS  NCH  W=0.6U  L=0.35U
      M=1
MN22 N16  N17  VSS  VSS  NCH  W=0.6U  L=0.35U
      M=1

MP2  N12  N11  VDD1 VDD1 PCH  W=1.2U  L=0.35U
      M=1
MP11 N13  N13  VDD2 VDD2 PCH  W=1.2U  L=0.35U
      M=1
MP12 N15  N13  VDD2 VDD2 PCH  W=1.2U  L=0.35U
      M=1
MP31 N14  N16  N13  VDD2 PCH  W=0.6U  L=0.35U
      M=1
MP21 N17  N15  VDD2 VDD2 PCH  W=1.2U  L=0.35U
      M=1
MP22 N16  N17  VDD2 VDD2 PCH  W=1.2U  L=0.35U
      M=1

```

```
.ENDS
```

```

V1 VDD1 0 1.8V
V2 VDD2 0 3.3V
VGND VSS 0 0V
VIN  N11  VSS  PULSE(0 1.8 5n 1n 1n 4n 10n)

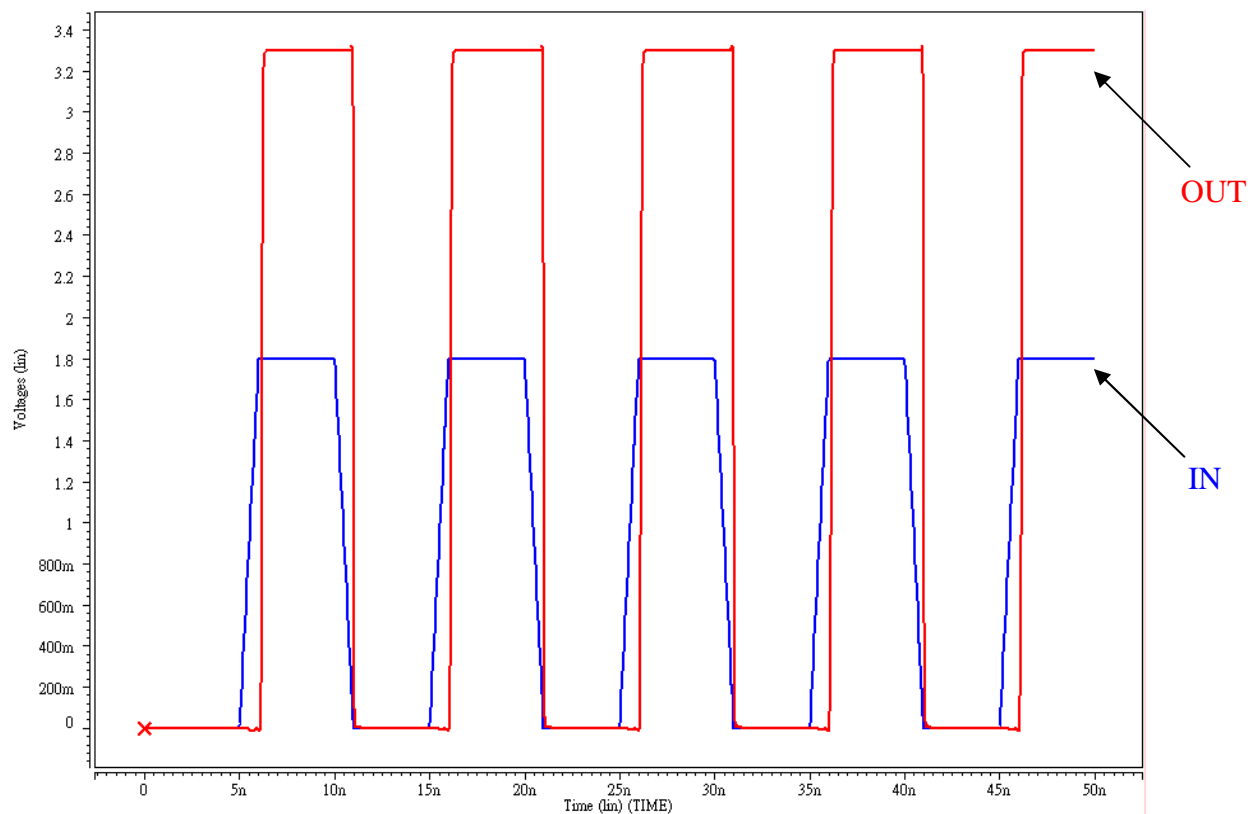
X1  N11  N16  VDD1 VDD2 VSS  FIG1

```

```
.meas tran pwr avg power
.OP
```

```
.TRAN 0.01n 50n
.OPTIONS POST
.PRINT TRAN
.END
```

3-2.4 輸出波形：

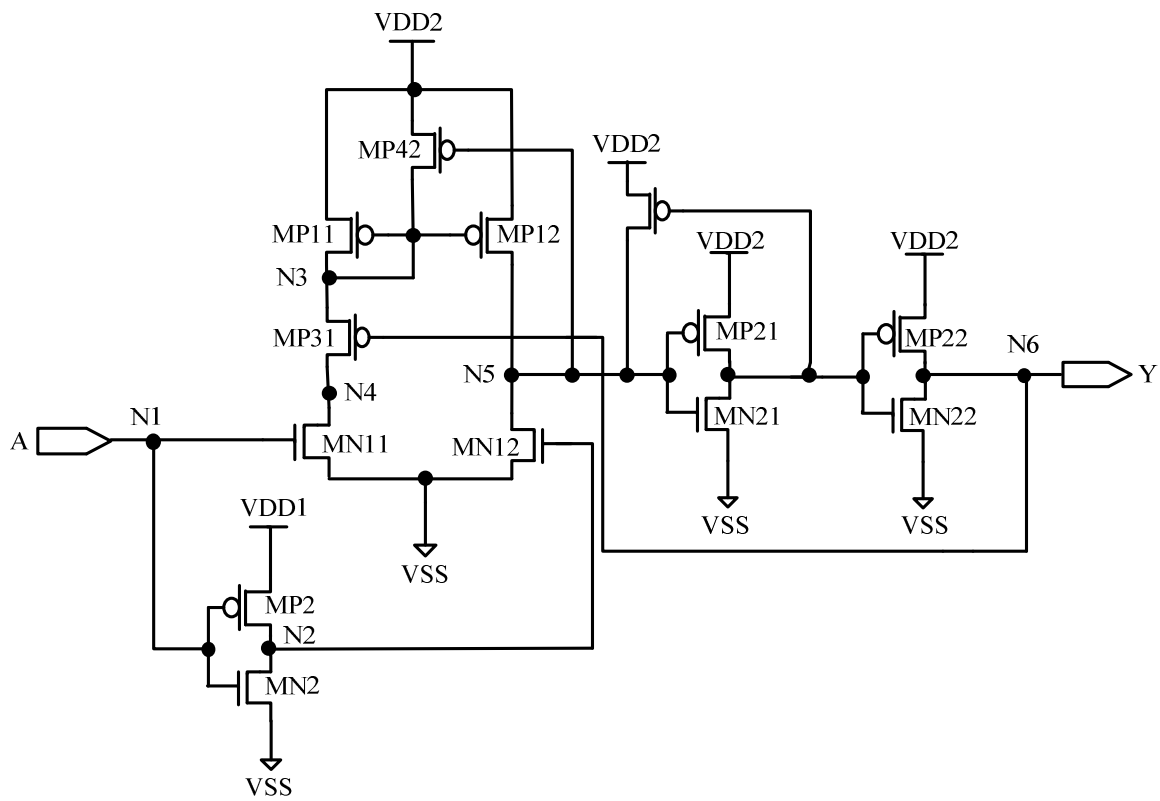


圖六 傳統改良 LC 電路 (1) 模擬波形

功率損耗(pwr)= 4.4557E-05

3-2.5 其他改良：

當第一輸出訊號（節點 N15）是高準位時，期望連續地維持第一輸出訊號（節點 N15）在高準位，以便減少來自輸出緩衝器 20 的漏電流；另外當第一輸出訊號是低準位時，期望減少來自第二 PMOS 電晶體 MP12 的漏電流；下面兩圖將實現此改良。



圖七 傳統改良 LC 電路設計 (2)

3-2.6 圖七之改良說明：

當第一輸出訊號（節點 N5）為低準位時，MP42 導通使 MP11 和 MP12 所組成的電流鏡關閉，以防止漏電流產生；當第一輸出訊號為高準位時，節點 N6 為低準位並使 MP41 導通，維持節點 N5 保持在高準位。

3-2.7 H-SPICE 模擬程式碼：

```
*LC.FIG7
```

```
.LIB 'mm0355v.l' TT
```

```
.SUBCKT FIG3 N0 N6 VDD1 VDD2 VSS
```

```
MN2 N2 N1 VSS VSS NCH W=0.6U L=0.35U M=1  
MN11 N4 N1 VSS VSS NCH W=0.6U L=0.35U M=1  
MN12 N5 N2 VSS VSS NCH W=0.6U L=0.35U M=1  
MN21 N7 N5 VSS VSS NCH W=0.6U L=0.35U M=1  
MN22 N6 N7 VSS VSS NCH W=0.6U L=0.35U M=1
```

```
MP2 N2 N1 VDD1 VDD1 PCH W=1.2U L=0.35U M=1  
MP42 N3 N5 VDD2 VDD2 PCH W=0.6U L=0.35U M=1  
MP11 N3 N3 VDD2 VDD2 PCH W=1.2U L=0.35U M=1  
MP12 N5 N3 VDD2 VDD2 PCH W=1.2U L=0.35U M=1  
MP31 N4 N6 N3 VDD2 PCH W=1.2U L=0.35U M=1  
MP41 N5 N7 VDD2 VDD2 PCH W=0.6U L=0.35U M=1  
MP21 N7 N5 VDD2 VDD2 PCH W=1.2U L=0.35U M=1  
MP22 N6 N7 VDD2 VDD2 PCH W=1.2U L=0.35U M=1
```

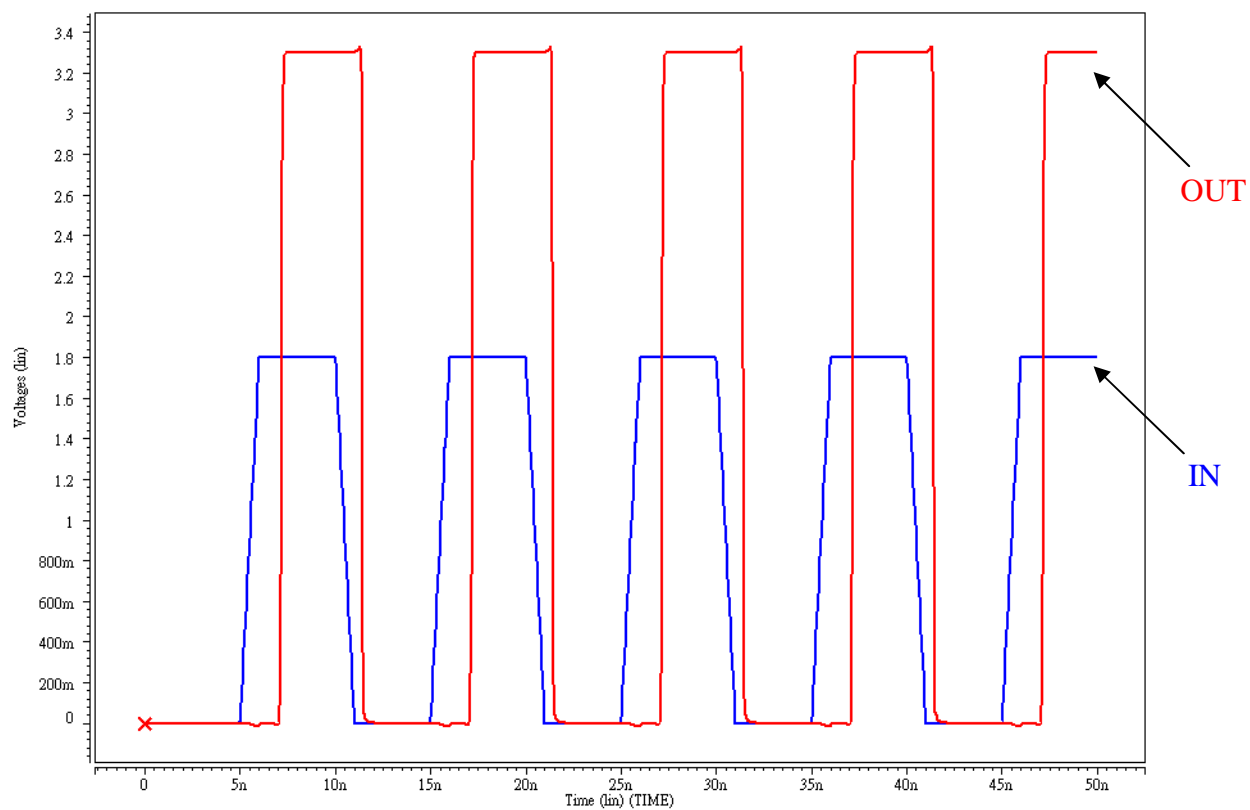
```
.ENDS
```

```
V1 VDD1 0 1.8V
V2 VDD2 0 3.3V
VGND VSS 0 0V
VIN N1 VSS PULSE(0 1.8 5n 1n 1n 4n 10n)
```

```
X1 N1 N6 VDD1 VDD2 VSS FIG3
```

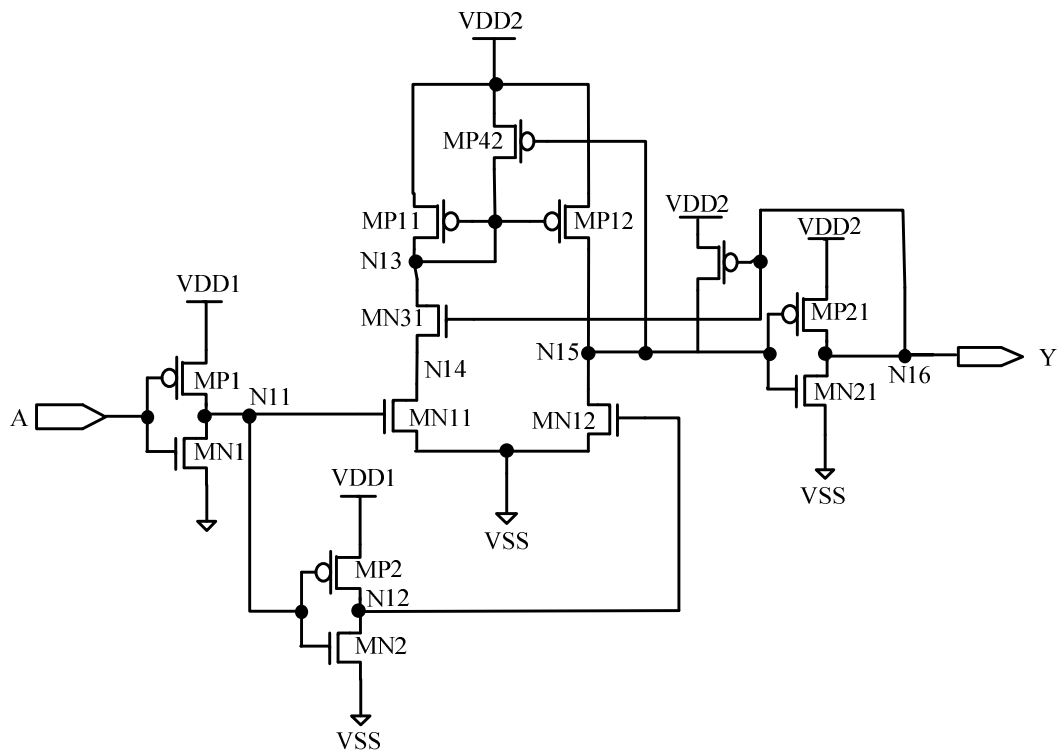
```
.meas tran pwr avg power
.OP
.TRAN 0.01n 50n
.OPTIONS POST
.PRINT TRAN
.END
```

3-2.8 輸出波形：



圖八 傳統改良 LC 電路 (2) 模擬波形

功率損耗(pwr)= 9.0648E-05



圖九 傳統改良 LC 電路設計 (3)

3-2.9 H-SPICE 模擬程式碼：

*LC.FIG9

.LIB 'mm0355v.l' TT

.SUBCKT FIG5 N0 N8 VDD1 VDD2 VSS

MN1	N1	N0	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN2	N2	N1	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN31	N3	N8	N4	VSS	NCH	W=0.6U	L=0.35U	M=1
MN11	N4	N1	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN12	N5	N2	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN21	N8	N5	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1

```

MP1  N1 N0 VDD1  VDD1  PCH  W=1.2U  L=0.35U  M=1
MP2  N2 N1 VDD1  VDD1  PCH  W=1.2U  L=0.35U  M=1
MP42 N3 N5 VDD2  VDD2  PCH  W=0.6U  L=0.35U  M=1
MP11 N3 N3 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1
MP12 N5 N3 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1
MP41 N5 N8 VDD2  VDD2  PCH  W=0.6U  L=0.35U  M=1
MP21 N8 N5 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1

```

```
.ENDS
```

```

V1 VDD1 0 1.8V
V2 VDD2 0 3.3V
VGND VSS 0 0V
VIN  N0 VSS PULSE(0 1.8 5n 1n 1n 4n 10n)

```

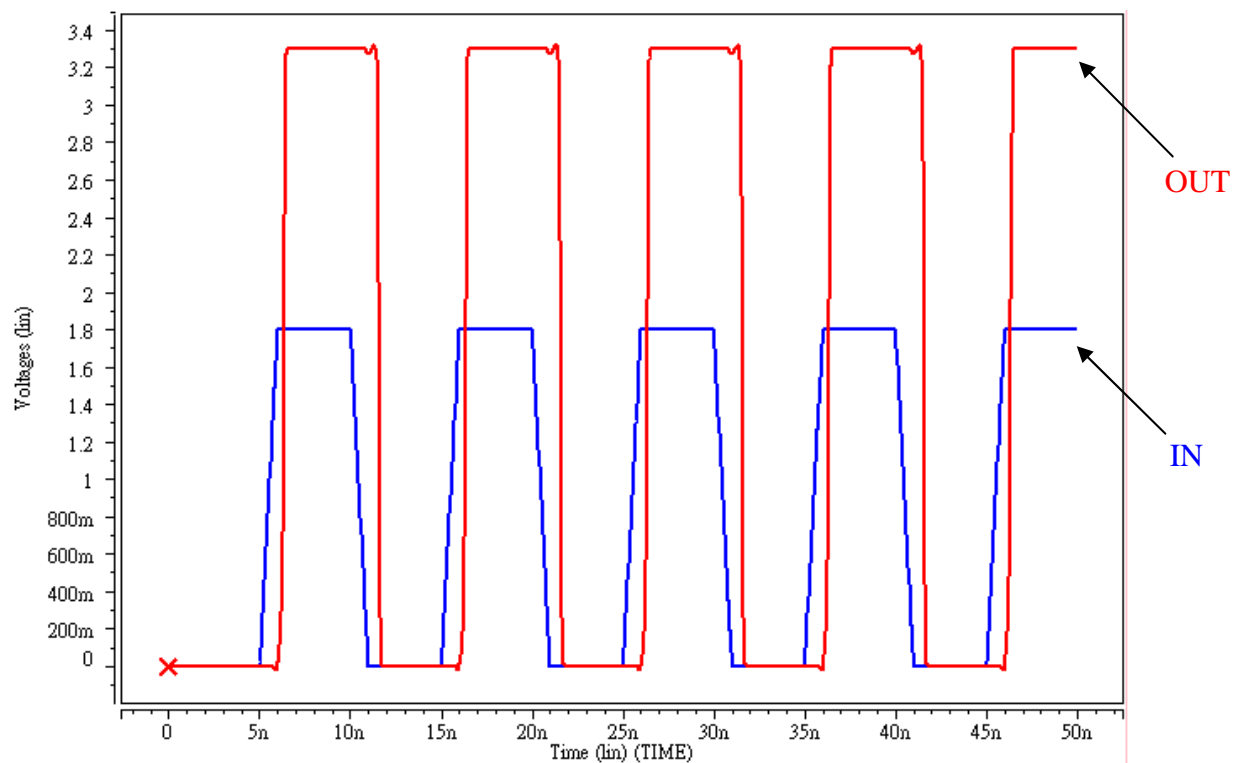
```
X1  N0 N8 VDD1  VDD2  VSS  FIG5
```

```

.meas tran pwr avg power
.OP
.TRAN 0.01n 50n
.OPTIONS POST
.PRINT TRAN
.END

```


3-2.10 輸出波形：

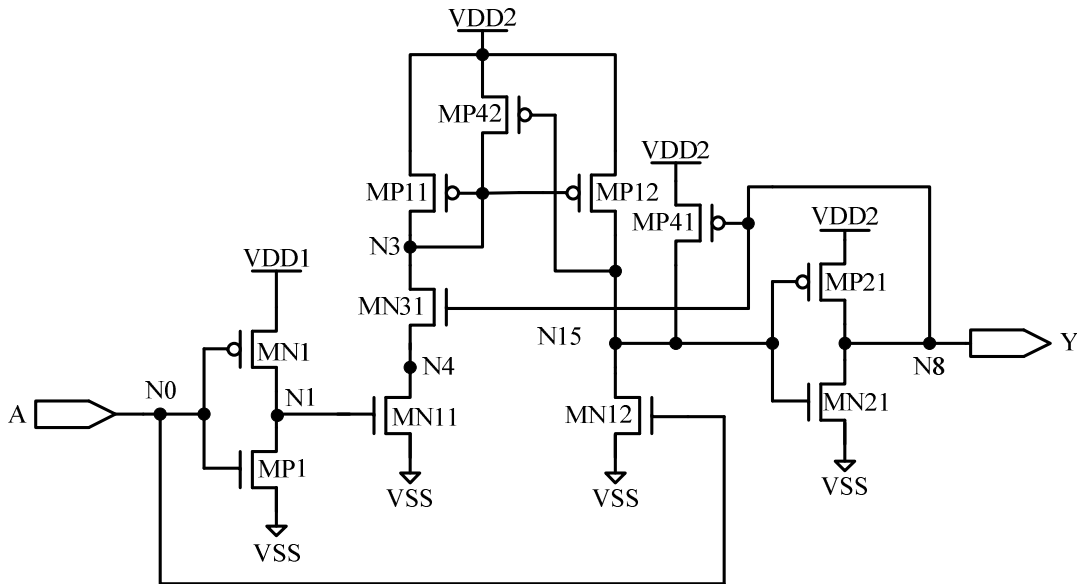


圖十 傳統改良 LC 電路 (3) 模擬波形

功率損耗(pwr)= 6.0111E-05

3-3.本專題改良電路

本圖針對先前幾個傳統電路去做改良，具有較低的功率消耗。



圖十一 本專題改良電路設計

3-3.1 H-SPICE 模擬程式碼：

*LC.FIX

.LIB 'mm0355v.l' TT

.SUBCKT FIG5 N0 N8 VDD1 VDD2 VSS

MN1	N1	N0	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN31	N3	N8	N4	VSS	NCH	W=0.6U	L=0.35U	M=1
MN11	N4	N1	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN12	N5	N0	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MN21	N8	N5	VSS	VSS	NCH	W=0.6U	L=0.35U	M=1
MP1	N1	N0	VDD1	VDD1	PCH	W=1.2U	L=0.35U	M=1

```
MP42  N3 N5 VDD2  VDD2  PCH  W=0.6U  L=0.35U  M=1
MP11  N3 N3 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1
MP12  N5 N3 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1
MP41  N5 N8 VDD2  VDD2  PCH  W=0.4U  L=0.35U  M=1
MP21  N8 N5 VDD2  VDD2  PCH  W=1.2U  L=0.35U  M=1
```

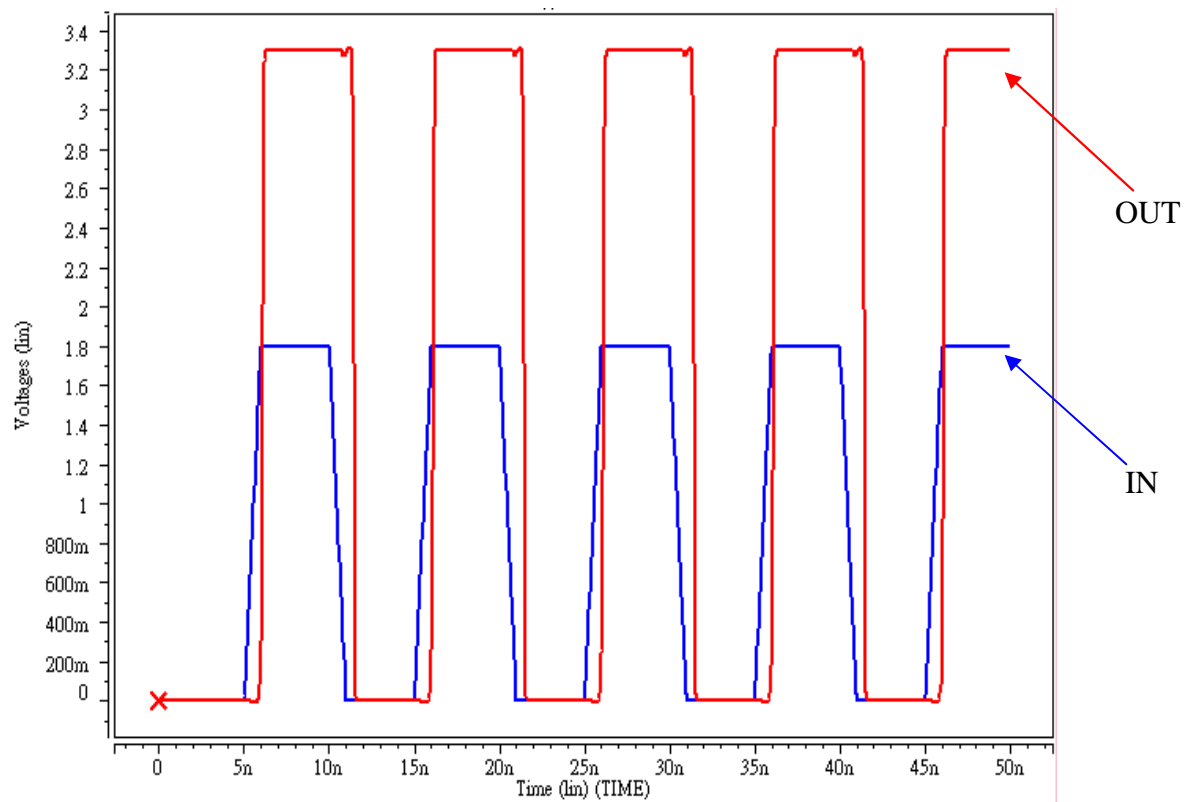
```
.ENDS
```

```
V1 VDD1 0 1.8V
V2 VDD2 0 3.3V
V GND VSS 0 0V
VIN N0 VSS PULSE(0 1.8 5n 1n 1n 4n 10n)
```

```
X1 N0 N8 VDD1 VDD2 VSS FIG5
```

```
.meas tran pwr avg power
.OP
.TRAN 0.01n 50n
.OPTIONS POST
.PRINT TRAN
.END
```

3-3.2 輸出波形：



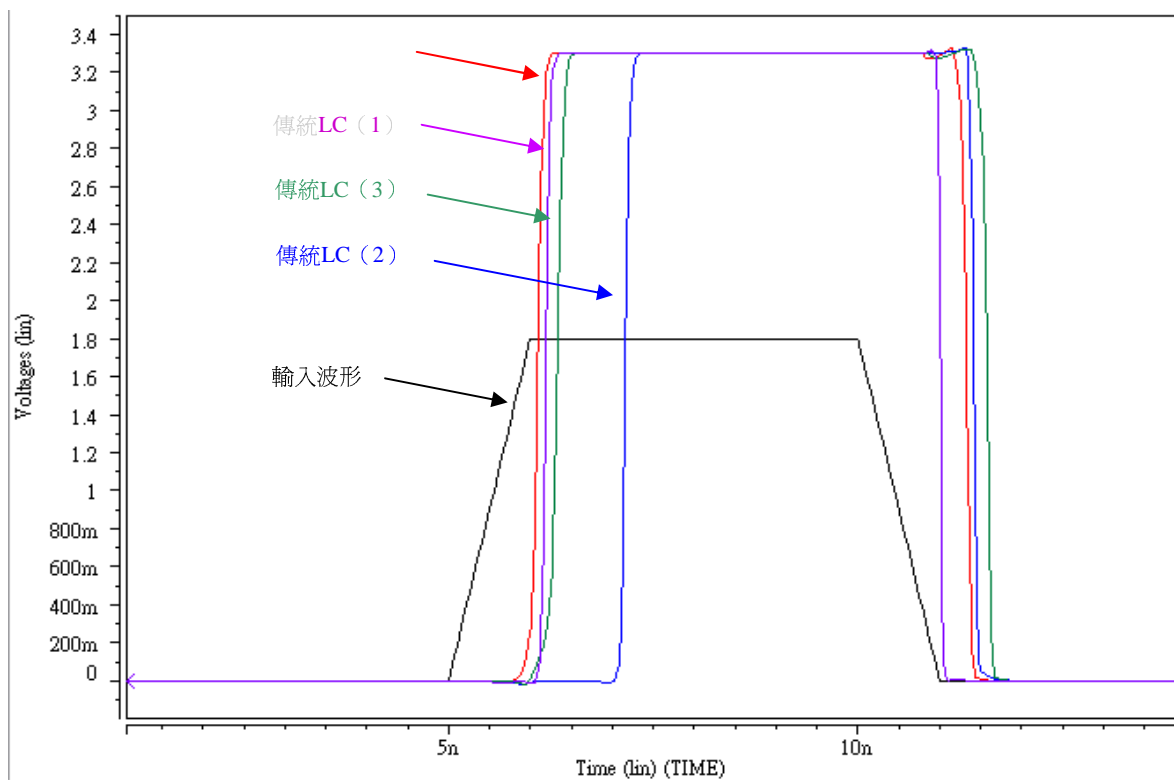
圖十二 本專題改良電路模擬波形

功率損耗(pwr)= 4.3628E-05

4.結論

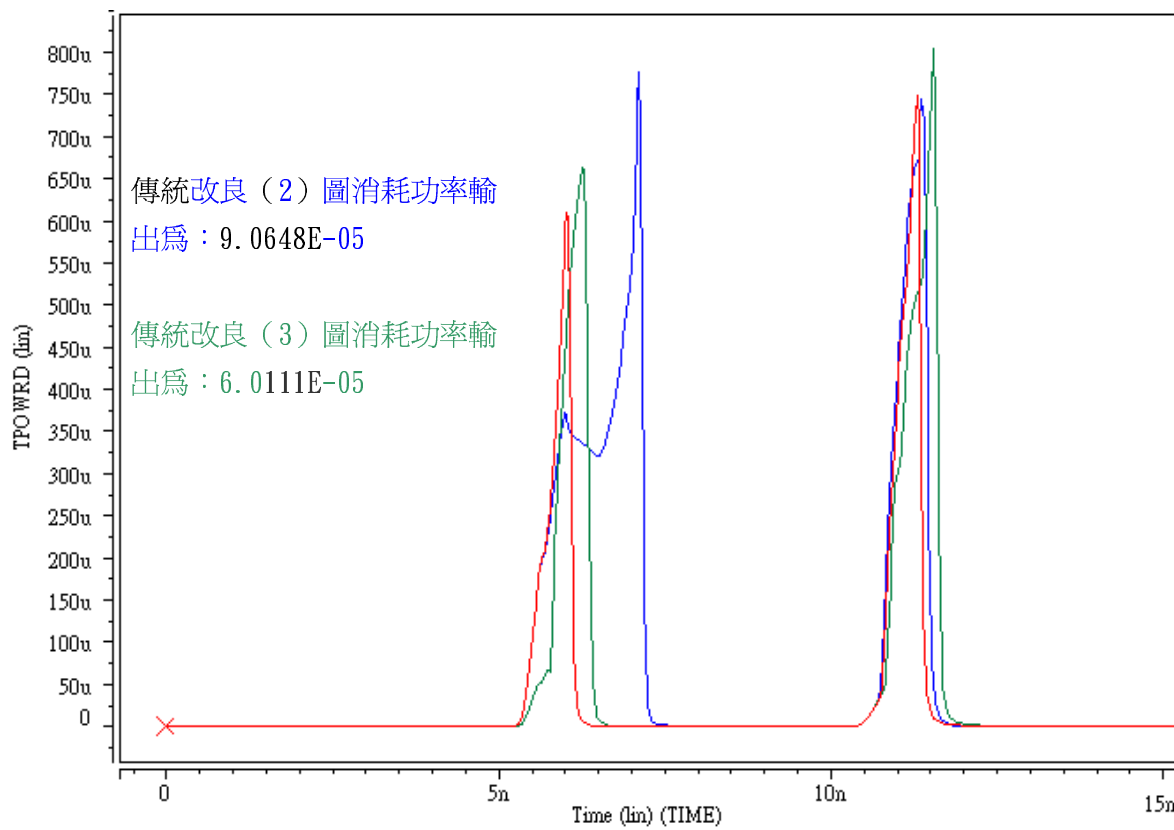
本專題主要是以針對傳統 LC (2) 和 (3) 電路做改良，由上面的輸出波形和功率輸出兩比較圖可知，本專題所提出之改良電路，不僅功率上有明顯的改良之外，在速度上也有一些微的提升。

4-1.輸出波形比較



圖十三 輸出波形比較

4-2. 消耗功率比較



圖十四 消耗功率比較

參考文獻

- [1] 徐振豪，「具有電流鏡與小露電流的數位電路」，中華民國專利公開編號 200611496(2006)。
- [2] 魏慶隆，「應用於數位積體電路的低功率設計技術」，CICeNEWS December 15th , 2007 Volume 86。
- [3] 王進賢，「VLSI 電路設計，」 高立圖書有限公司, 2003。
ISBN957-584-819-5。