

電壓峰值檢知器

蕭明椿

摘要

本文提出一種電壓峰值檢知器，其主要由一差動放大器、一電流鏡、一二極體和一電容器所組成。該差動放大器之兩輸入端係分別接受輸入電壓信號及檢知器之輸出電壓回授信號，並提供適當之充電電流給電流鏡。其中，該差動放大器係做為比較器使用，該電流鏡係做為第一充電器使用，以提供電容器所需之第一充電電流，而該二極體則做為第二充電器使用，以提供電容器所需之第二充電電流，俾藉此種雙充電路徑之結構，以精確且快速地取得輸入電壓波形之峰值電壓。本文所提出之電壓峰值檢知器，不但電路架構新穎、簡單，並且可以精確、快速地檢知輸入電壓波形之峰值。

關鍵字：電壓峰值檢知器，差動放大器、電流鏡、比較器

A Novel design for voltage peak detector

Ming-chuen Shiau

Abstract

A novel voltage peak detector is proposed. The peak detector includes a differential amplifier, a current mirror, a diode, and a capacitor. The two input terminals for the differential amplifier are coupled to the input voltage signal and the feedback signal of the output voltage. The single output terminal for the differential amplifier is coupled to the current mirror and induces the current mirror supplying the first charging current to the capacitor. The diode acts as the second charger to supply the second charging current to the capacitor. Therefore, the peak voltage of the input signal can be detected. During the period of detection, the differential amplifier acts as a comparator and the current mirror and the diode, respectively, as the first and the second charger. It is possible for the present invention to provide a novel peak detector capable of simplifying the circuit structure and maintaining the accuracy.

Key words : voltage peak detector, differential amplifier, current mirror, comparator.

一、簡介

電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而光譜(spectral)和質譜儀(mass spectrometer)也需要用到電壓峰值檢知器。

在先前技藝(prior art)中，電壓峰值檢知器之最簡單作法係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

如第一圖所示，當輸入電壓 $V(IN)$ 大於電容器 C 之電壓時，二極體 D 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 C 不能再繼續充電為止，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。

由於輸出端與輸入端之間存在二極

體 D ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 V_d 之誤差。亦即， $MAX(V(OUT))=MAX(V(IN))-V_d$ ，如第二圖所示(該圖係OrCAD PSpice之暫態分析模擬結果)。

對於許多應用而言，上述二極體導通電壓 V_d 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。

為了能夠精確地檢測輸入電壓之峰值電壓，另一種常用之先前技藝[1]係使用了由二個運算放大器 $OP1$ 和 $OP2$ 、二個二極體 $D1$ 和 $D2$ 、二個電阻器 $R1$ 和 $R2$ 、以及一個電容器 C 來構成一電壓峰值檢知器，如第三圖所示；其OrCAD PSpice之暫態分析模擬結果，於電源供應電壓分別為 $5V$ 及 $7.5V$ 時如第四A圖及第四B圖所示。

於第三圖中， $OP1$ 是一個精確的半波整流器，當輸入電壓 $V(IN)$ 大於電容電壓 $V(C)$ 時，二極體 $D1$ 將傳送偏壓對電容器 C 進行充電，最後電容電壓 $V(C)$

將會等於輸入電壓 $V(IN)$ 之峰值電壓，所檢測出的輸出電壓 $V(OUT)$ 也會等於輸入電壓 $V(IN)$ 之峰值電壓，不會再有如第二圖所示於輸出端與輸入端之間恆存在一二極體導通電壓 V_d 之誤差。而當輸入電壓 $V(IN)$ 小於電容電壓 $V(C)$ 時，二極體 D_2 將會導通，二極體 D_1 將會截止而不再對電容器 C 進行充電之動作，這使得所檢測出的輸出電壓 $V(OUT)$ 會等於輸入電壓 $V(IN)$ 之峰值電壓。

雖說第三圖之電壓峰值檢知器能精確地檢測出輸入電壓 $V(IN)$ 之峰值電壓，但此電路之 OP 運算放大器在其電源供應電壓及輸出端之間恆存在一電壓降 V_{op} (該電壓降 V_{op} 之大小視該 OP 運算放大器之設計而定)，且二極體也存在一導通電壓 V_d ，如此使得檢知器所能輸出之最大輸出電壓恆比電源供應電壓小 $(V_{op}+V_d)$ 之電壓，所以當輸入電壓 $V(IN)$ 之峰值電壓與電源供應電壓之差值電壓小於該 $(V_{op}+V_d)$ 之電壓時，檢知器將無法精確量測該輸入電壓 $V(IN)$ 之峰值電壓，如第四A圖所示。但此時仍可藉由增加電源供應電壓以精確地量測

輸入電壓 $V(IN)$ 之峰值電壓，例如，將電源供應電壓由原有之 $5V$ 提高至 $7.5V$ ，即能夠精確地量測出輸入電壓 $V(IN)$ 之峰值電壓，如第四B圖所示。

雖然第三圖之電壓峰值檢知器能精確地檢測出輸入電壓 $V(IN)$ 之峰值電壓，但此電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。

其他已知的電壓峰值檢知器[2]-[5]均使用到運算放大器，因此同樣具有電路結構複雜、佔用的晶片面積大等缺失。

有鑑於此，本文之主要目的係提出一種新穎之電壓峰值檢知器，其不但能精確地檢測出峰值電壓，並且兼具電路結構簡單、佔用的晶片面積小等多重功效。

二、設計與模擬

本文所提出之電壓峰值檢知器如第五圖所示，其係由一差動放大器1、一電流鏡2、一二極體3以及一電容器 C 所組成。該差動放大器1之兩輸入端係分別接受輸入電壓信號 $V(IN)$ 及檢知器之

輸出電壓回授信號 $V(\text{OUT})$ ，並提供適當之充電電流給電流鏡2。其中，該差動放大器係做為比較器使用，該電流鏡係做為第一充電器使用，以提供電容器所需之第一充電電流，而該二極體3則做為第二充電器使用，以提供電容器所需之第二充電電流，俾藉此種雙充電路徑之結構，以精確且快速地取得輸入電壓波形之峰值電壓。

請參考第五圖，差動放大器1係由PMOS電晶體MP1和MP2、以及NMOS電晶體MN1、MN2和MN3所組成。其中，該NMOS電晶體MN1和MN2係做為驅動器(driver)使用，該PMOS電晶體MP1和MP2係做為主動負載(active load)使用，而該NMOS電晶體MN3則提供一參考電流給該差動放大器1使用。該NMOS電晶體MN1和MN2之閘極(gate)係分別接受輸入電壓信號 $V(\text{IN})$ 及檢知器之輸出電壓回授信號 $V(\text{OUT})$ ，源極(source)連接在一起，並連接至NMOS電晶體MN3之汲極(drain)，而其汲極則分別與PMOS電晶體MP1和MP2之汲極相連接；該NMOS電晶體MN3之閘極與電源供應電壓 V_{dd} 連接，而源極則接

地；該PMOS電晶體MP1和MP2之源極均與電源供應電壓 V_{dd} 連接，而閘極則連接在一起，且該PMOS電晶體MP2之閘極與汲極係連接在一起，以形成一電流鏡組態。

請再參考第五圖，電流鏡2係由PMOS電晶體MP3和MP4所組成。其中，該PMOS電晶體MP3和MP4之源極均與電源供應電壓 V_{dd} 連接，而閘極則連接在一起，並連接至NMOS電晶體MN1之汲極，且該PMOS電晶體MP3之閘極與汲極係連接在一起，以形成一電流鏡組態；再者，PMOS電晶體MP4之汲極係與電容器C之一端連接，並形成輸出端，而該電容器C之另一端則接地。該電流鏡係做為第一充電器使用，以提供電容器所需之第一充電電流。

至於二極體3則係由NMOS電晶體MN4所組成。其中，該NMOS電晶體MN4之汲極及閘極連接在一起，並與輸入電壓 $V(\text{IN})$ 連接，源極則連接至輸出端。該二極體係做為第二充電器使用，以提供電容器所需之第二充電電流。

由第五圖所示電路得知，電容器之充電過程可分成二個階段，第一階段係

將輸出電壓 $V(\text{OUT})$ 拉升至輸入電壓 $V(\text{IN})$ 之峰值扣減 V_t 之電壓準位（其中 V_t 代表NMOS電晶體MN4之臨限電壓），第二階段係將輸出電壓 $V(\text{OUT})$ 由輸入電壓 $V(\text{IN})$ 之峰值扣減 V_t 之電壓準位再拉升至輸入電壓 $V(\text{IN})$ 峰值之電壓準位。在該第一階段中，係具有雙充電路徑之結構，亦即，同時以第一及第二充電電流來對電容器進行充電作業，因此，可有效縮短該第一階段所需之時間。而在該第二階段中則因二極體3已截止，因此僅以第一充電電流來對電容器進行後續之充電作業。於此，爲了快速完成電容器之充電作業，將第一充電電流設計成大於第二充電電流。

在該第一階段中，就第一充電電流來看，因輸入電壓 $V(\text{IN})$ 大於電容電壓 $V(\text{C})$ ，因此，電流 $I_d(\text{MN1})$ 會大於 $-I_d(\text{MP2})$ ，其中，流入電晶體之電流取正號，而流出電晶體之電流則取負號，且電流 $I_d(\text{MN1})$ 代表流入NMOS電晶體MN1之汲極的電流，而 $-I_d(\text{MP2})$ 則代表流出PMOS電晶體MP2之汲極的電流。又

$$-I_d(\text{MP1}) = -I_d(\text{MP2}) \quad (1)$$

$$-I_d(\text{MP3}) = I_d(\text{MN1}) - [-I_d(\text{MP1})] \quad (2)$$

所以

$$-I_d(\text{MP3}) > 0 \quad (3)$$

而因PMOS電晶體MP3、MP4也係組成一電流鏡電路，因此，當 $-I_d(\text{MP3}) > 0$ 時，電流 $-I_d(\text{MP4})$ 也會等於 $-I_d(\text{MP3})$ ，故可對電容器C進行充電作業（該電流 $-I_d(\text{MP4})$ 即爲上述之第一充電電流）。

再者，就第二充電電流來看，因輸入電壓 $V(\text{IN})$ 之峰值扣減 V_t 之電壓準位係大於電容電壓 $V(\text{C})$ ，因此，電流 $I_d(\text{MN4})$ 也會對電容器C進行充電作業（該電流 $I_d(\text{MN4})$ 即爲上述之第二充電電流）。

在該第二階段中，因輸入電壓 $V(\text{IN})$ 之峰值扣減 V_t 之電壓準位係小於電容電壓 $V(\text{C})$ ，因此，二極體3呈截止狀態，亦即第二充電電流

$$I_d(\text{MN4}) = 0 \quad (4)$$

此時只剩第一充電電流繼續對電容器C進行充電作業，直到輸出電壓 $V(\text{OUT})$ （也就是 $V(\text{C})$ ）等於輸入電壓 $V(\text{IN})$ 之峰值電壓爲止。

而當充電動作達到輸出電壓

$V(\text{OUT})$ 等於輸入電壓 $V(\text{IN})$ 之峰值電壓時，由於差動放大器1之作用，電流

$$-I_d(\text{MP1}) = -I_d(\text{MP2}) = I_d(\text{MN1}) \quad (5)$$

所以電流

$$-I_d(\text{MP3}) = -I_d(\text{MP4}) = 0 \quad (6)$$

因而不對電容器進行充電作業，所以所檢測出的輸出電壓 $V(\text{OUT})$ 將會等於輸入電壓 $V(\text{IN})$ 之峰值電壓。

最後當輸入電壓 $V(\text{IN})$ 小於電容電壓 $V(\text{C})$ 時，PMOS電晶體MP3將處於截止區，因而電流

$$-I_d(\text{MP3}) = -I_d(\text{MP4}) = 0 \quad (7)$$

所以也不會對電容器進行充電作業，因此所檢測出的輸出電壓 $V(\text{OUT})$ 仍會維持在輸入電壓 $V(\text{IN})$ 之峰值電壓。

本文所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第六圖所示。其可精確且有效地檢知輸入電壓波形之峰值電壓。

本文之電壓峰值檢知器在使用時可於電容器兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

三、結論

本文提出一種新穎之電壓峰值檢知器，其包括：

一輸入端，用以提供一輸入電壓信號；
一輸出端，用以輸出該輸入電壓信號之峰值電壓；

一電源供應電壓，用以提供電壓峰值檢知器所需之電源 電壓和參考接地；

一差動放大器，用以接受輸入電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡；

一電流鏡，用以根據該差動放大器所提供之充電電流信號，而提供第一充電電流給電容器；

一二極體，該二極體之一端連接至輸入電壓，而另一端連接至電容器，用以提供第二充電電流給電容器；以及

一電容器，該電容器之一端連接至參考接地，而另一端 連接至電流鏡與二極體，以接受該電流鏡與該二極體所供應之第一與第二充電電流。本文提出之電壓峰值檢知器，僅使用了4個PMOS電晶體和4個NMOS電晶體以及1個電容器，其不但電路架構新穎、簡單、使用的電晶體數量少、佔用的晶片面積少，

並且可以精確且快速地檢知輸入電壓波形之峰值；同時，由於本文之電壓峰值檢知器並不使用到運算放大器，因而也有利於裝置之小型化。

四、參考文獻

1. Robert F. Coughlin and Frederick F. Driscoll, Operational amplifier & linear integrated circuits, Prentice-Hall, pp. 180-182, 1991.
2. David C. Davies, "Tracking peak detector", US patent, patent number US5304939, April 19, 1994.
3. Steyaert, Michael S. et al., "A CMOS rectifier-integrator for amplitude detection in hard disk servo loops", IEEE Journal of Solid-State Circuits, vol.30, No. 7, pp.743-751, July 1995.
4. Eiji Shinozaki, "Peak detector", US patent, patent number US5546027, Aug. 13, 1996.
5. Kamran Assadian and Jeannie H. Josiec, "Peak detector circuit", US patent, patent number US5969545, Oct. 19, 1999.

五、圖式說明

第一圖 係顯示第一先前技藝中電壓峰值檢知器之電路圖；

第二圖 係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

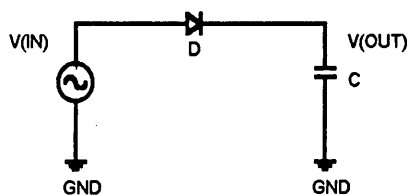
第三圖 係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四A圖 係顯示第三圖電壓峰值檢知器當電源供應電壓為5V時之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

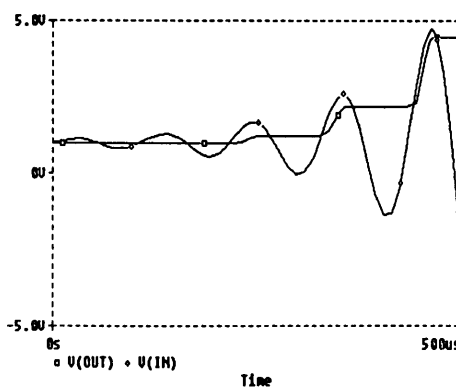
第四B圖 係顯示第三圖電壓峰值檢知器當電源供應電壓為7.5V時之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第五圖 係顯示本發明較佳實施例之電壓峰值檢知器之電路圖；

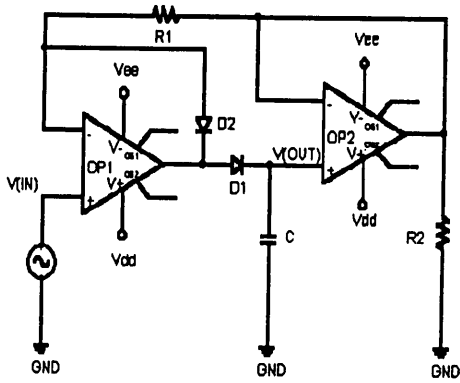
第六圖 係顯示本發明電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖。



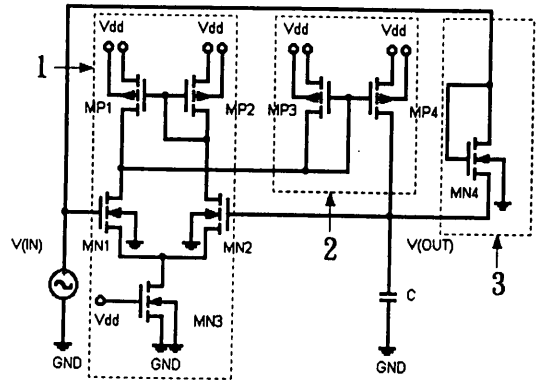
第一圖



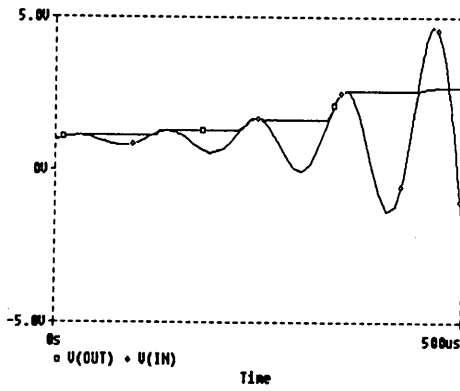
第二圖



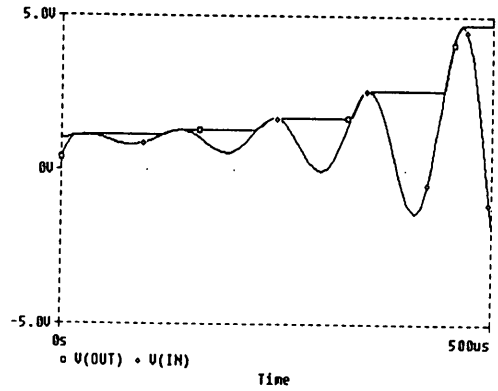
第三圖



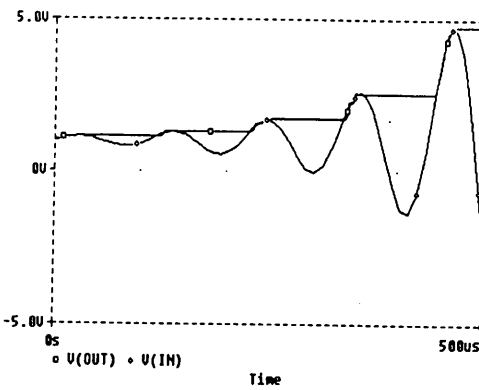
第五圖



第四A圖



第六圖



第四B圖