

行政院國家科學委員會專題研究計畫 成果報告

互補式金氧半結構之電壓峰值檢知器

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-164-001-

執行期間：93年08月01日至94年07月31日

執行單位：修平技術學院電機工程系

計畫主持人：蕭明椿

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 17 日

中、英文摘要

迄今，有許多電壓峰值檢知器之技術被提出以精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失。

最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，該等技術係由本計畫主持人所提出，其均係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。但由於該等技術所使用之差動放大器均具有對稱之兩個負載電晶體，且使用獨立之電流鏡，因此，在減少電壓峰值檢知器所需之電晶體數量方面仍有改良空間存在。此外，該等技術並未於峰值檢知器中設置良好的輸出級，輸出級於所檢知之輸入峰值電壓被外部電路擷取時可有效保持該輸入峰值電壓，不致於因擷取動作而降低，甚至遭受破壞。

為了解決習知方法之缺失，本計畫提出一種電壓峰值檢知器，其至少由一具單邊負載電晶體之差動放大器、一充電電晶體、一電容器、以及一輸出級所組成，並且兼具高精度、良好之輸出特性、較少之電晶體數量、以及佔用較少之晶片面積等多重功效。

關鍵詞：電壓峰值檢知器，差動放大器，電流鏡

Abstract

Previously, numerous peak voltage detection technologies had been brought to our attentions for accurate detection of the input signals' peak voltages. But most of these peak voltage detectors have more than one operational amplifier, which translate into disadvantages like complex circuit design, larger chip space, and so on.

Recently, there emerged several precision peak voltage detection technologies proposed by the proposal leader. For these technologies, the operational amplifier was replaced by the circuits consisting of a differential amplifier and a current mirror; and without the operational amplifiers, the technologies also had effects of simple circuit design, minimal chip space, and are good for use with smaller devices. However, there exists room for improvements in the number of transistors because the differential amplifier employed two load transistors and an independent current mirror was used. In addition, the peak voltage detectors didn't equip with a good output stage; the output stage can effectively maintain the held peak voltage during the accesses from outer circuits, and protect it from dropping or even destroyed due to any outer accessing activities.

The proposal overcomes the aforementioned shortcomings and deficiencies of the prior peak voltage detection by providing a novel voltage peak detector consisting of a differential amplifier having only one-sided load transistor, a charge transistor, a capacitor, and a good output stage. The developed peak voltage detector can accurately measure the peak voltage of an input signal and it also comes with advantages like simple circuit design, minimal chip space, and is good for use with smaller devices. In addition, the inclusion of a good output stage can further prevent the held peak voltage disruption resulted from the accessing activities of the outer circuits.

Keywords: voltage peak detector, differential amplifier, current mirror.

一、前言

電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，簡言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器(A/D converter)、最大近似解碼系統(maximum likelihood decoding system)以及用以檢測核輻射之脈衝信號檢測電路等也需要用到電壓峰值檢知器。

迄今，有許多電壓峰值檢知器之技術[1]-[11]被提出以精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失。例如第一圖所示之電壓峰值檢知器[1]，其係由二個運算放大器 OP1 和 OP2、二個二極體 D1 和 D2、二個電阻器 R1 和 R2、以及一個電容器 C 所組成，該電壓峰值檢知器之模擬結果，如第二圖所示，輸出電壓信號 V(OUT)之最大誤差小於 0.01V。其中，OP1 是一個精確的半波整流器，當輸入電壓信號 V(IN)大於輸出電壓信號 V(OUT)時，二極體 D1 將傳送偏壓對電容器 C1 進行充電，最後輸出電壓信號 V(OUT)將會與輸入電壓信號 V(IN)之峰值電壓相當接近；而當輸入電壓信號 V(IN)小於輸出電壓信號 V(OUT)時，二極體 D2 將會導通，二極體 D1 將會截止，而不再對電容器 C 進行充電之動作，這使得所檢測出的輸出電壓信號 V(OUT)會等於輸入電壓信號 V(IN)之峰值電壓。雖說第一圖之電壓峰值檢知器能精確地檢測出峰值電壓，但其電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。

最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出[12]-[17]，該等技術[12]-[17]如第三、第四、第五、第六、第七、以及第八圖所示，其係由本計畫主持人所提出，且均係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。

但由於該等技術[12]-[13]所使用之差動放大器均具有對稱之兩個負載電晶體，且使用獨立之電流鏡，因此，在減少電壓峰值檢知器所需之電晶體數量方面仍有改良空間存在。此外，該等技術並未於峰值檢知器中設置輸出級，輸出級於所檢知之輸入峰值電壓被外部電路擷取時可有效保持該輸入峰值電壓，不致於因擷取動作而降低，甚至遭受破壞。另，該等技術亦未考慮到差動放大器之超量電壓 (OverShoot Voltage 簡稱 Vos) 效應，熟悉差動放大器之人士皆可由差動放大器之電壓轉換特性曲線(voltage transfer characteristic)得知，欲使差動放大器一方之驅動電晶體呈流通有該差動放大器之所有電流之導通狀態，則需於該一方驅動電晶體之輸入端與另一方驅動電晶體之輸入端間施加至少一超量電壓 Vos 之電壓差。注意，此超量電壓 Vos 即為上述該等技術之固有誤差，因此，該等技術於精確度方面仍有改進空間存在。至於[14]-[15]所使用之差動放大器由於均使用到 50MΩ 以上之電阻器而導致消耗過大晶片面積之問題，因此還有改進空間存在。

二、研究目的

有鑑於此，本計畫之主要目的係提出一種新穎架構之電壓峰值檢知器，其不但佔用的晶片面積小以及具高集積度，並且兼具電路結構簡單、高精確度等多重功效，同時亦設置

有輸出級以有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓。

本計畫之次要目的係提出一種互補式金氧半(CMOS)結構之電壓峰值檢知器，其可有效消除差動放大器之超量電壓效應。

三、研究方法

本計畫所提出之CMOS電壓峰值檢知器如第九圖所示，其係由一差動放大器、一充電電晶體、一電容器、一輸出級以及一電流鏡電路所組成，該差動放大器是使用非對稱性之電路組態來設計，其係由NMOS電晶體MN1、MN2以及PMOS電晶體MP1所組成，其中，該NMOS電晶體MN1和MN2係做為驅動器(driver)使用，而該PMOS電晶體MP1則作為負載電晶體使用。該NMOS電晶體MN1和MN2之閘極(gate)係分別接受輸入電壓信號V(IN)及電容器上之電壓信號V(C)，源極(source)連接在一起，並連接至電流鏡電路，而其汲極則分別與負載電晶體MP1及電源供應電壓Vdd相連接。

請再參考第九圖，負載電晶體MP1與充電電晶體MP2共同構成一電流鏡，且該PMOS電晶體MP1和MP2之源極均與電源供應電壓Vdd連接，而閘極則連接在一起，並連接至NMOS電晶體MN1之汲極，同時該PMOS電晶體MP1之閘極與汲極係連接在一起，以形成一電流鏡；再者，PMOS電晶體MP2之汲極係與電容器C之一端連接，而該電容器C之另一端則接地；此外，輸出級係由一NMOS電晶體MN3所組成，並連接在電源供應電壓Vdd與輸出端之間。另，電流鏡電路係由NMOS電晶體MN4、MN5、MN6以及一電阻器R所組成，該電流鏡電路係用以產生一參考電流 I_R ，並將該參考電流 I_R 經由該NMOS電晶體MN4和MN5所組成之電流鏡鏡射後，提供一與該參考電流 I_R 成鏡射比率之電流 I_B 至該差動放大器，同時亦經由該NMOS電晶體MN5和MN6所組成之電流鏡鏡射後，提供一與該參考電流 I_R 成鏡射比率之電流 I_{OUT} 至該輸出級。

為了便於說明起見，以下之推導過程，均將金氧半電晶體以最簡單模型來描述，且不考慮通道長度調變(channel length modulation) 效應。但於後續之模擬驗證時，則考慮了所有電晶體參數(當然包括通道長度調變效應)。

首先推導參考電流 I_R 、流經差動放大器1之電流 I_B 以及流經輸出級3之電流 I_{OUT} ，由第九圖所示之電流鏡電路可知，參考電流 I_R 等於

$$I_R = (V_{dd} - V_{GS5})/R \quad (1)$$

其中， V_{GS5} 為NMOS電晶體MN5之閘源極電壓 V_{GS5} ，其可由下列方程式求得：

$$(V_{dd} - V_{GS5})/R = [KP \cdot W_{N5}/(2 \cdot L_{N5})] \cdot (V_{GS5} - V_{TN5})^2 \quad (2)$$

方程式(2)中之 W_{N5} 和 L_{N5} 分別表示該NMOS電晶體MN5之有效通道寬度及有效通道長度， KP 表示一金氧半電晶體模型參數，而 V_{TN5} 則表示該NMOS電晶體MN5之零基底偏壓之臨限電壓 (zero-bias threshold voltage)。再者，由第九圖所示之電流鏡電路並配合電流鏡電路之工作原理，可分別求出流經差動放大器1之電流 I_B 以及流經輸出級之電流 I_{OUT} ，其結果為

$$I_B = I_R \cdot (W_{N4}/L_{N4}) / (W_{N5}/L_{N5}) \quad (3)$$

$$I_{OUT} = I_R \cdot (W_{N6}/L_{N6}) / (W_{N5}/L_{N5}) \quad (4)$$

其中， W_{N4} 和 L_{N4} 分別表示該NMOS電晶體MN4之有效通道寬度及有效通道長度，而 W_{N6} 和 L_{N6} 則分別表示該NMOS電晶體MN6之有效通道寬度及有效通道長度。

接著，當輸入電壓 $V(IN)$ 大於電容器上之電壓 $V(C)$ 時，電流 $I_d(MN1)$ 會大於 $I_d(MN2)$ ，且

$$I_d(MN1) + I_d(MN2) = I_B \quad (5)$$

又

$$I_d(MN1) = -I_d(MP1) \quad (6)$$

由於PMOS電晶體MP1及MP2係構成一電流鏡，因此

$$-I_d(MP1) = -I_d(MP2) \quad (7)$$

，故可對電容器C進行充電動作。

當電容器上之電壓 $V(C)$ 等於輸入電壓 $V(IN)$ 之峰值電壓時，電流

$$I_d(MN1) = I_d(MN2) = I_B / 2 \quad (8)$$

，此時仍會對電容器C進行充電動作。

依據差動放大器之電壓轉換特性曲線得知：電容器上之電壓 $V(C)$ 須較輸入峰值電壓 V_{peak} 高過一超量電壓（OverShoot Voltage簡稱Vos）以後，才能將NMOS電晶體MN1強迫為截止狀態，當NMOS電晶體MN1為截止狀態時，充電電晶體即停止對電容器C進行充電作用，此時電容器上之電壓 $V(C)$ 為

$$V(C) = V_{peak} + V_{os} \quad (9)$$

由於此時的NMOS電晶體MN2係工作於飽和區，而NMOS電晶體MN1恰由飽和區進入截止區，因此，可由下列關係方程式求出 V_{GS2} 及 V_{GS1} ：

$$I_d(MN2) = I_B \quad (10)$$

$$I_d(MN1) = 0 \quad (11)$$

故超量電壓 V_{os} 等於

$$V_{os} = V_{GS2} - V_{GS1} = [2 \cdot I_B \cdot L_{N2} / (K_P \cdot W_{N2})]^{1/2} \quad (12)$$

其中， W_{N2} 和 L_{N2} 分別表示NMOS電晶體MN2之有效通道寬度及有效通道長度，有關超量電

壓 V_{os} 之推導可參考[18]。

之後，當輸入電壓 $V(IN)$ 由峰值電壓 V_{peak} 往下掉時，因NMOS電晶體MN1已進入截止狀態，因此電流

$$-I_d(MP1) = -I_d(MP2) = 0 \quad (13)$$

所以充電電晶體不會再對電容器C進行充電動作，因此電容器上之電壓 $V(C)$ 仍會固定維持在方程式(9)之電壓。

請再參考第九圖，電容器上之電壓 $V(C)$ 扣抵一個NMOS電晶體MN3之閘源極電壓 V_{GS3} 後，即成為電壓峰值檢知器之輸出電壓 $V(OUT)$ ，亦即

$$V(OUT) = V(C) - V_{GS3} \quad (14)$$

於此，為了易於設計以及能在大輸入電壓 $V(IN)$ 範圍內，均能精確地檢測出輸入電壓 $V(IN)$ 信號之峰值電壓，於是可將輸出級中之NMOS電晶體MN3之基底與源極連接在一起，俾藉此以消除該NMOS電晶體MN3之基底效應(body effect)，此時方程式(30)可改寫為

$$V(OUT) = V(C) - V_{TN3} - [2 \cdot I_{OUT} \cdot L_{N3} / (KP \cdot W_{N3})]^{1/2} \quad (15)$$

其中， W_N 和 L_N 分別表示該NMOS電晶體MN3之有效通道寬度及有效通道長度，而 V_{TN3} 則表示該NMOS電晶體MN3之零基底偏壓之臨限電壓。

最後，由方程式(9)、(12)、(14)及(15)得知，欲使輸出電壓 $V(OUT)$ 等於輸入峰值電壓 V_{peak} ，則須

$$V_{os} = V_{GS3} \quad (16)$$

亦即

$$[2 \cdot I_B \cdot L_{N2} / (KP \cdot W_{N2})]^{1/2} = V_{TN3} + [2 \cdot I_{OUT} \cdot L_{N3} / (KP \cdot W_{N3})]^{1/2} \quad (17)$$

藉此即可輕易地設計出電壓峰值檢知器。

第九圖所示電壓峰值檢知器之暫態分析模擬結果，如第十圖所示，由該模擬結果可証實，本計畫所提出之電壓峰值檢知器可精確且有效地檢知輸入電壓波形之峰值電壓。

四、結果與討論

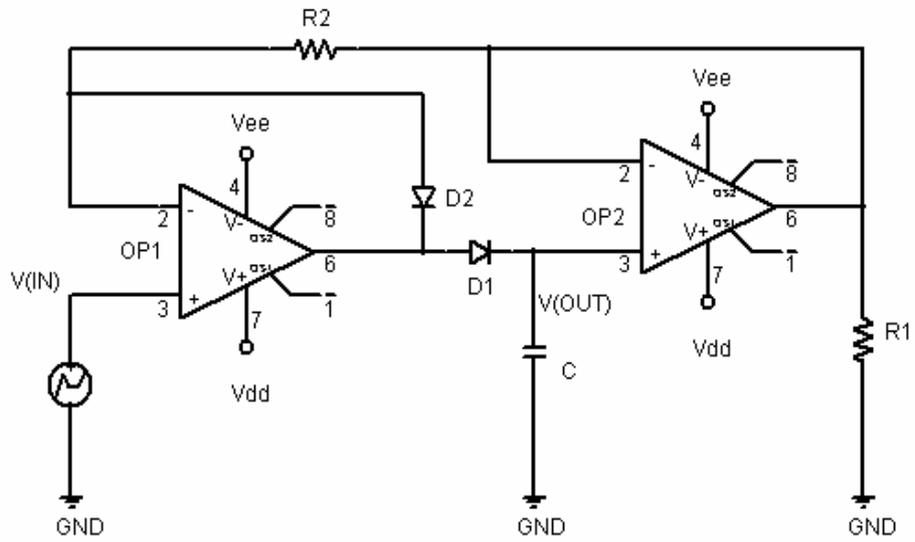
本計畫所提出之電壓峰值檢知器，具有如下優點：

- (1) 高集積度：由於本計畫所提出之電壓峰值檢知器僅使用了2個PMOS電晶體、6個NMOS電晶體、1個電阻器以及1個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量少，並且因不需使用運算放大器及50MΩ以上之電阻器，因而也具有較高之集積度；
- (2) 高精確度：由於本計畫所提出之電壓峰值檢知器可有效消除差動放大器之超量電壓效應，因此可有效提高峰值檢知器之精確度；

(3) 輸出電壓 $V(\text{OUT})$ 不會因外部電路之擷取而有所變化：由於本計畫所提出之電壓峰值檢知器設置有輸出級，因此可有效避免所保持之輸入峰值電壓不致因外部電路之擷取動作而遭致破壞。

本文之電壓峰值檢知器在使用時可於電容器 C 兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

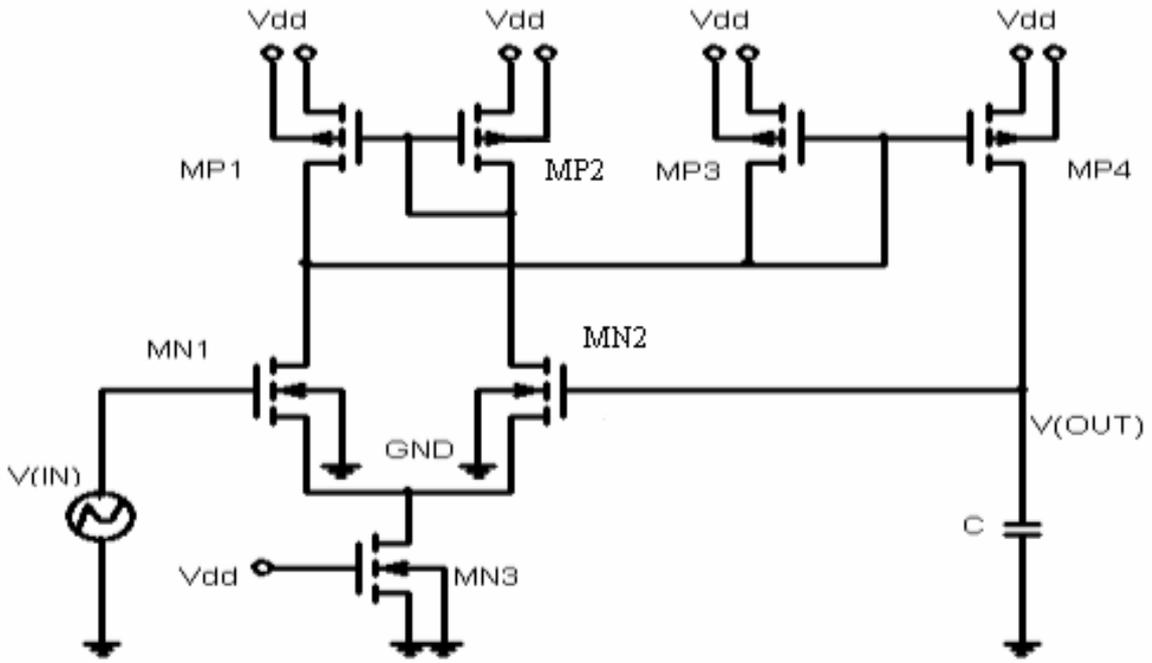
本計畫所提出之電壓峰值檢知器已於中華民國 94 年 9 月 27 日獲准發明專利[19]。



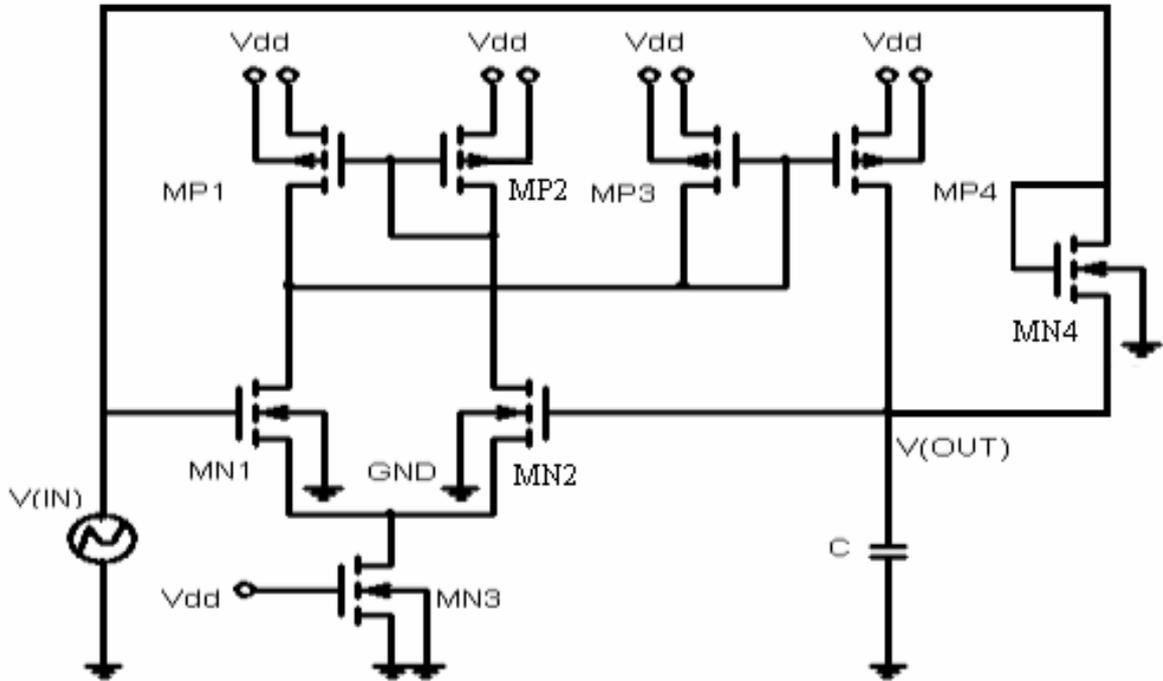
第一圖 習知之電壓峰值檢知器



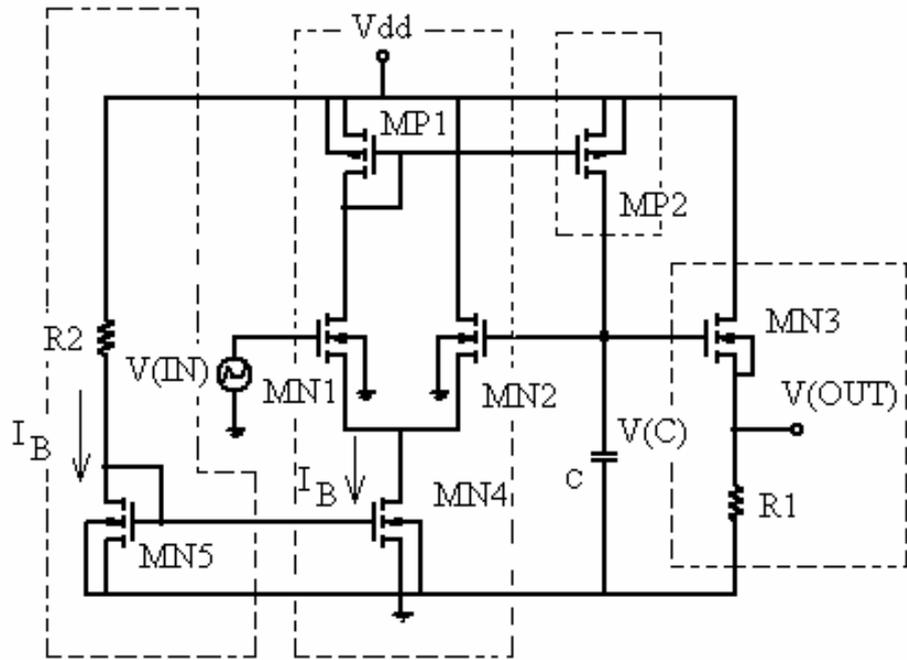
第二圖 圖一之電壓峰值檢知器的模擬結果



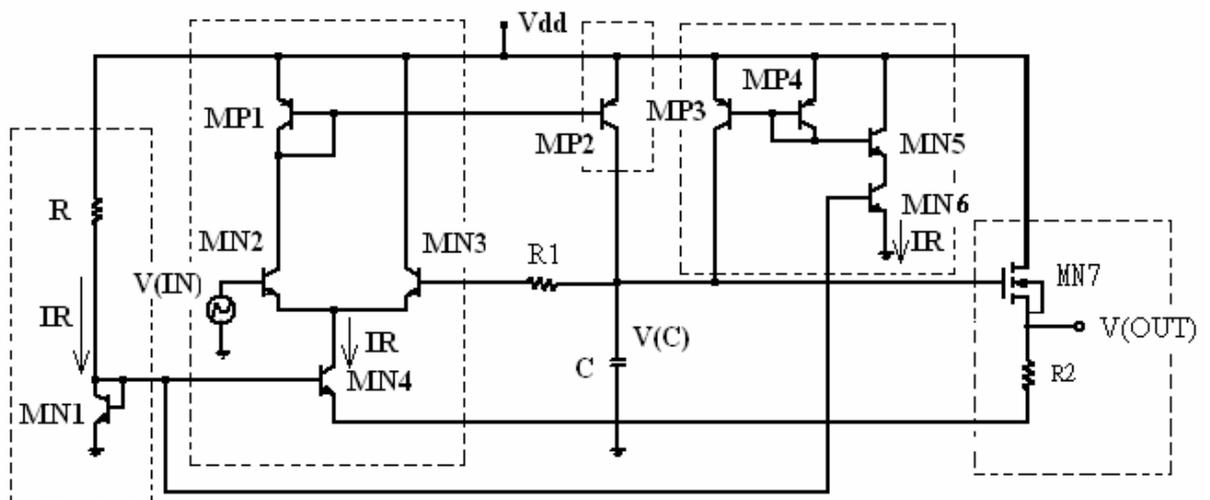
第三圖 中華民國專利公告案號第 517161 號之電壓峰值檢知器[12]



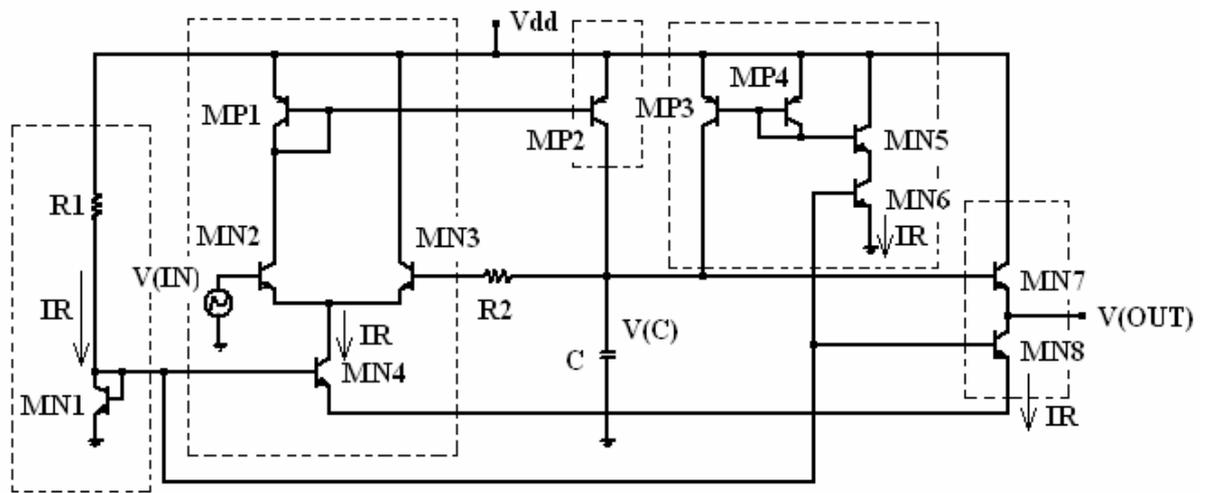
第四圖 中華民國專利公告案號第 523592 號之電壓峰值檢知器[13]



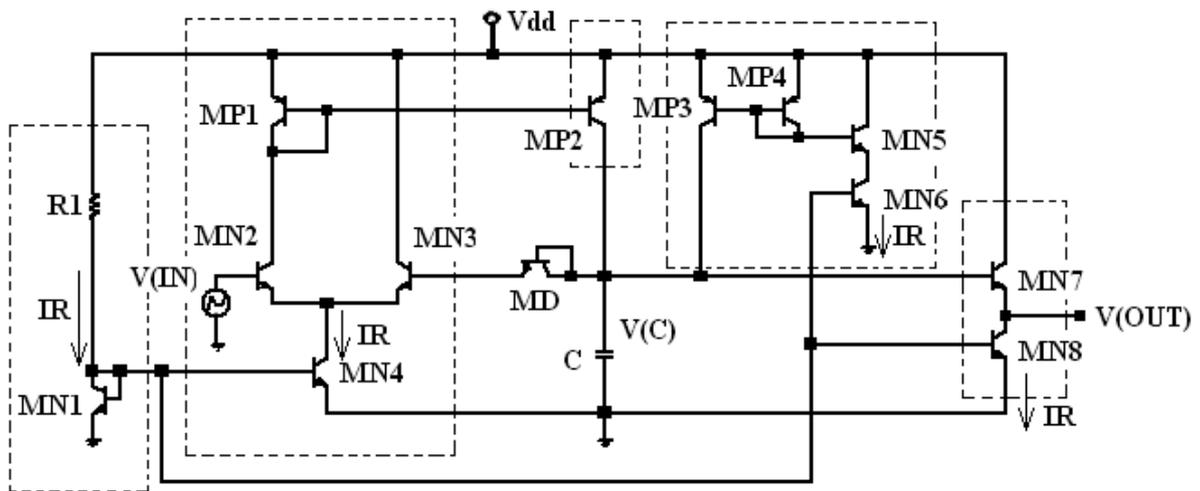
第五圖 CMOS 電壓峰值檢知器[14]



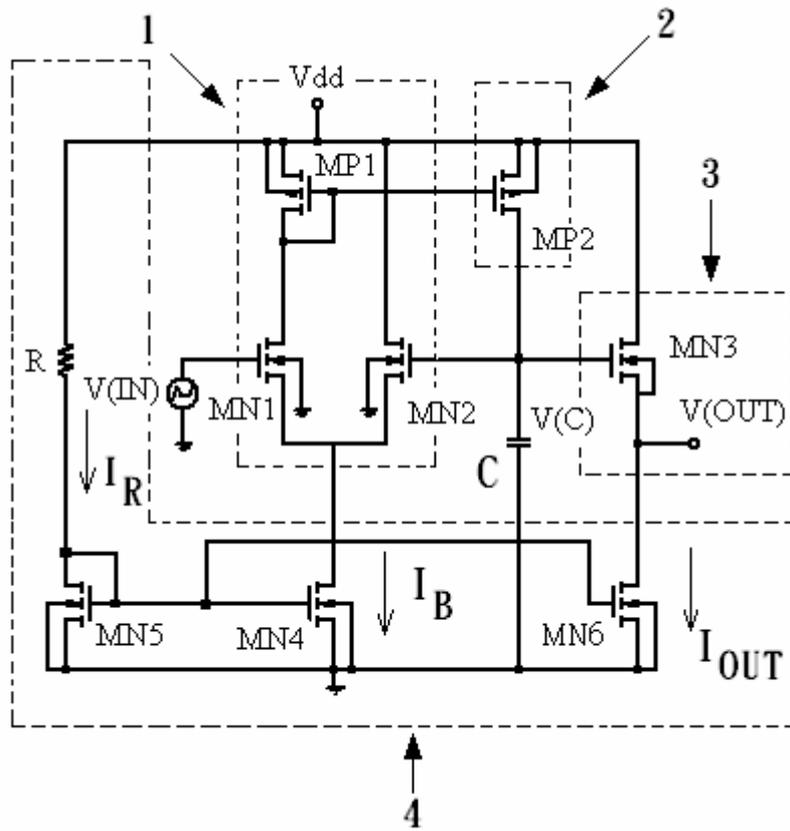
第六圖 中華民國專利公告案號第 I223080 號之電壓峰值檢知器[15]



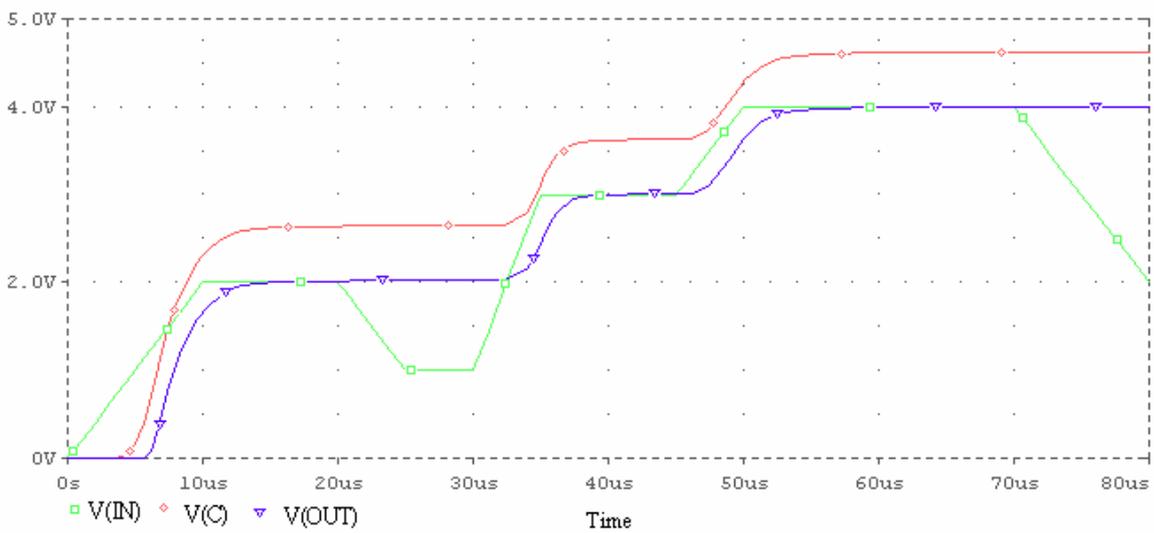
第七圖 中華民國專利公告案號第 I223078 號之電壓峰值檢知器[16]



第八圖 中華民國專利公告案號第 I223079 號之電壓峰值檢知器[17]



第九圖 本計畫所提出之電壓峰值檢知器



第十圖 本計畫所提出之電壓峰值檢知器的模擬結果

參考文獻

- [1] Robert , F. C., and Frederick ,F. D., *Operational Amplifier & Linear Integrated Circuits*, Prentice-Hall, Englewood Cliffs, pp. 180-182, 1991.
- [2] David,C.D.,”Tracking Peak Detect or,” U.S. pat. 5304939, Apr.1994.
- [3] Ericson, M. N., and Simpson, M. L.,”A Low-power CMOS Peak Detect and Hold Circuit for Nuclear,” *IEEE Transactions on Nuclear Science*, vol.42, pp.724-728 ,1995.
- [4] Eiji ,S.,Kiyoshi, F., and Masafumi, K.,” Peak Detector,” U.S. pat. 5546027, Aug., 1996.
- [5]Ozguç ,I.H. , “Dual Stage Differ- ential Adaptive Peak Detector for Data Communications Receivers,” U.S. pat.5502746, Mar., 1996.
- [6] Smith ,M.D., “Differential Cross Coupled Peak Detector,” U.S. pat. 5828240,Oct., 1998.
- [7] Assadian, K., and Kosiec, J. H., “Peak Detector Circuit,” U.S. pat. 5969545,Oct., 1999.
- [8] Lee ,J.C., and Brauns, G.T., “Offset- compensated Peak Detector with Output Buffering,”U.S. pat. 6051998, Apr., 2000.
- [9] Wight ,M.S., Brazeau, S. H., and Grant, I. I., “Low Amplitude Peak Detector,” U.S. pat. 6064238, May, 2000.
- [10]Chen, C.M., and Chen, P. F., “Peak Detector,” U.S. pat. 6472861,Oct., 2002.
- [11]高承永、陳文藻和李永斌，「峰值擷取及其校正電路」，中華民國專利公告案號 476418，二月，2002。
- [12]蕭明椿、林育正、魏滄亮和林春凱，「電壓峰值檢知器」，中華民國專利公告案號 517161，一月，2003。(發明第 171678 號專利證書)
- [13]蕭明椿，「具雙充電路徑之電壓峰值檢知器」，中華民國專利公告案號 523592，三月，2003。(發明第 175256 號專利證書)
- [14]Shiau, M. C., “CMOS peak voltage detector”, *Electron Devices and Materials Symposium 2003*, pp. 150-153, Nov. 2003.
- [15]蕭明椿，「雙極性金氧半結構之電壓峰值檢知器」，中華民國專利公告案號 I223080，十一月，2004。(發明第 I223080 號專利證書)
- [16]蕭明椿，「雙極電晶體結構之電壓峰值檢知器」，中華民國專利公告案號 I223078，十一月，2004。(發明第 I223078 號專利證書)
- [17]蕭明椿，「雙極電晶體(BJT)結構之電壓峰值檢知器」，中華民國專利公告案號 I223079，十一月，2004。(發明第 I223079 號專利證書)
- [18]Fjeldly, T. A., Ytterdal, T., and Shur, M.,*Introduction to Device Modeling and Circuit Simulation*, New york,John Wiley & Sons, pp.166-185,1997.
- [19]蕭明椿，「互補式金氧半(CMOS)電壓峰值檢知器」，中華民國專利申請案號第 93131601 號,發明專利申請中,核准日期，九月，2005.

可供推廣之研發成果資料表

■ 已獲得發明專利

■ 可技術移轉

日期：94年10月15日

| | |
|---------------------------------------|---|
| <p>國科會補助計畫</p> | <p>計畫名稱：互補式金氧半結構之電壓峰值檢知器 計畫主持人：蕭明椿 計畫編號：NSC 93-2215-M-164-001- 學門領域：微電子學門</p> |
| <p>技術/創作名稱</p> | <p>互補式金氧半(CMOS)電壓峰值檢知器</p> |
| <p>發明人/創作人</p> | <p>蕭明椿</p> |
| <p>技術說明</p> | <p>本發明提出一種新穎架構之電壓峰值檢知器，其係由一差動放大器、一充電電晶體、一電容器 C、一輸出級以及一電流鏡電路所組成，其中，該差動放大器係以非對稱式結構來設計，亦即僅使用單邊之負載電晶體，且該負載電晶體與該充電電晶體共同構成一電流鏡。該差動放大器係做為比較器使用，該充電電晶體係做為充電器使用，用以提供電容器 C 所需之充電電流，而該輸出級則用以調整該電容器 C 上之電壓信號 V(C)，以便精確地輸出該輸入電壓信號之峰值電壓。本創作所提出之電壓峰值檢知器僅使用了 2 個 PMOS 電晶體、6 個 NMOS 電晶體、1 個電阻器以及 1 個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量少，並且因不需使用運算放大器，因而也具有較高之集積度。此外，本創作所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且設置有輸出級以有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓，同時亦能有效消除差動放大器之超量電壓效應。</p> |
| <p>可利用之產業 及 可開發之產品</p> | <p>半導體產業 語音辨識產品、類比至數位轉換器、核輻射檢測裝置等產品</p> |
| <p>技術特點</p> | <p>本發明所提出之電壓峰值檢知器，具有如下優點： (1)高集積度：由於本創作所提出之電壓峰值檢知器僅使用了2個 PMOS電晶體、6個NMOS電晶體、1個電阻器以及1個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量少，並且因不需使用運算放大器，因而也具有較高之集積度； (2)高精確度：由於本創作所提出之電壓峰值檢知器可有效消除差動放大器之超量電壓效應，因此可有效提高峰值檢知器之精確度； (3)輸出電壓 V(OUT)不會因外部電路之擷取而有所變化：由於本創作所提出之電壓峰值檢知器設置有輸出級，因此可有效避免所保持之輸入峰值電壓不致因外部電路之擷取動作而遭致破壞。</p> |

※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。

※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

※ 3. 本表若不敷使用，請自行影印使用。