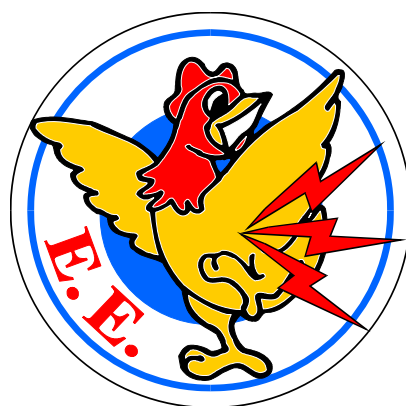
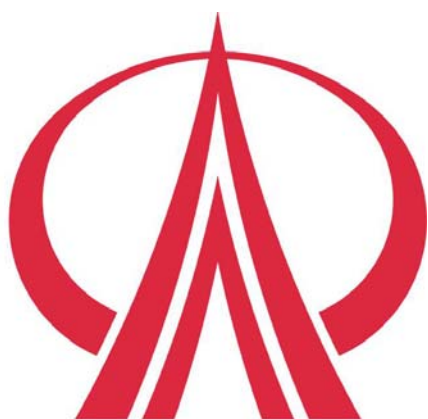


# 修平技術學院 電機工程系

DEPARTMENT OF ELECTRICAL ENGINEERING  
HSIU-PING INSTITUTE OF TECHNOLOGY

## 實務專題報告書

### 具單一位元線之單埠 SRAM



指導老師：蕭明椿 老師

專題製作學生：二技電二甲 廖柏勛 AD97004

二技電二甲 劉政怡 AD97005

二技電二甲 黎岳達 AD97009

中華民國 九十八 年 十二 月 一 日

修平技術學院  
電機工程系

98-1

具單一位元線之單埠 SRAM

指導老師：蕭明椿

學生：廖柏勛、劉政怡、黎岳達

# 一、摘要：

本文提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體 (Single port SRAM)，其係包括一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞 (1)；一第一偏壓電路 (2)；一第二偏壓電路 (3)；複數個寫入電壓控制電路 (5)，每一列記憶體晶胞設置一個寫入電壓控制電路 (5)。該等記憶體晶胞 (1) 係連接在一高電壓節點 (VH) 與一低電壓節點 (VL) 之間，該等寫入電壓控制電路 (5) 於對應之一控制信號 (CTL) 為代表選定寫入狀態之邏輯高位準時，將一低電源供應電壓 (LVDD) 供應至該高電壓節點 (VH)，俾藉由寫入操作時降低電源電壓以有效避免寫入邏輯 1 相當困難之問題；而於待機模式 (standby mode) 時，則藉由將該低電源供應電壓 (LVDD) 供應至該高電壓節點 (VH) 以及將較接地電壓為高之一電壓位準供應至該低電壓節點 (VL)，以有效降低靜態隨機存取記憶體之功率消耗；再者，為了於高記憶容量及/或高速操作時仍能具有高可靠性與高穩定性之寫入操作，以及為了於待機模式時確實將該高電壓節點 (VH) 固定在該低電源供應電壓 (LVDD) 之位準。結果，本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，不但可有效避免習知具單一位元線之單埠 SRAM 所存在寫入邏輯 1 相當困難之問題，並

且也能兼具待機模式時降低漏電流之功效，同時即使於高記憶容量及/或高速操作時仍能具有高可靠性與高穩定性之寫入操作。

二、目錄:	
一、摘要:	1
二、目錄:	3
三、內容報告:	4
3-1 專題動機:	4
3-2 結構:	7
3-3 工作原理:	8
3-3-1 主動模式:	10
3-3-2 待機模式:	14
3-4 功效:	16
3-5 圖式說明:	17
3-6 元件說明:	18
3-7 專題目的:	19
3-8 程式:	23
3-9 附錄:	25
四、參考文獻:	33
4-1 總結:	34
五、作者簡介:	37

## 三、內容報告：

### 3-1 專題動機

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為動態隨機存取記憶體（DRAM）及靜態隨機存取記憶體（SRAM）兩種。動態隨機存取記憶體（DRAM）具有面積小及價格低等優點，但操作時必須不時地更新（refresh）以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體（SRAM）的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

目前以行動電話為代表之行動電子設備所採用之半導體記憶裝置，係以 SRAM 為主流。此乃由於 SRAM 待機電流小，適於連續通話時間、連續待機時間盡可能延長之手機。

靜態隨機存取記憶體（SRAM）主要包括一記憶體陣列（memory array），該記憶體陣列係由複數列記憶體晶胞（a plurality of rows of memory cells）與複數行記憶體晶胞（a plurality of columns of memory cells）所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞；複數條字元線（word line），每一字元線對應至複數列記憶體晶胞中之一列；以及複數位元線對（bit line pairs），每一位元線對係對應至複數行記憶體晶胞中之一行，且每一位元線對係由一位元線及一互補位元線所組成。

第 1 圖所示即是 6T 靜態隨機存取記憶體（SRAM）晶胞之電路示意圖，其中，PMOS 電晶體 P1 和 P2 稱為負載電晶體（load transistor），NMOS 電

晶體 M1 和 M2 稱為驅動電晶體 (driving transistor)，NMOS 電晶體 M3 和 M4 稱為存取電晶體 (access transistor)，WL 為字元線 (word line)，而 BL 及 BLB 分別為位元線 (bit line) 及互補位元線 (complementary bit line)，由於該 SRAM 晶胞需要 6 個電晶體，且驅動電晶體與存取電晶體間的電流驅動能力比 (即單元比率 (cell ratio)) 通常設定在 2 至 3 之間，而導致存在有高集積化困難及價格高等缺失。第 1 圖所示 6T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如第 2 圖所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬。

用來減少 6T 靜態隨機存取記憶體 (SRAM) 晶胞之電晶體數之一種方式係揭露於第 3 圖中。第 3 圖顯示一種僅具單一位元線之 5T 靜態隨機存取記憶體晶胞之電路示意圖，與第 1 圖之 6T 靜態隨機存取記憶體晶胞相比，此種 5T 靜態隨機存取記憶體晶胞比 6T 靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該 5T 靜態隨機存取記憶體晶胞在不變更 PMOS 電晶體 P1 和 P2 以及 NMOS 電晶體 M1、M2 和 M3 的通道寬長比的情況下存在寫入邏輯 1 相當困難之問題。茲考慮記憶晶胞左側節點 A 原本儲存邏輯 0 的情況，由於節點 A 之電荷僅單獨自位元線 (BL) 傳送，因此很難將節點 A 中先前寫入的邏輯 0 蓋寫成邏輯 1。第 3 圖所示 5T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如第 4 圖所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，具單一位元線之 5T 靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

迄今，有許多具單一位元線之 5T 靜態隨機存取記憶體晶胞之技術被提出，例如非專利文獻 1(I. Carlson et al. ,” A high density, low leakage,

5T SRAM for embedded caches,” Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European, pp.215-218, 2004. ) 之 5T SRAM 由於係藉由重新設計晶胞中之二驅動電晶體、二負載電晶體以及一存取電晶體之通道寬長比以解決寫入邏輯 1 困難之問題，而造成破壞原有晶胞中之驅動電晶體與負載電晶體之對稱性關係並從而易受製程變異的影響；非專利文獻 2(M. Wieckowski et al. ,” A novel five-transistor (5T) sram cell for high performance cache,” IEEE Conference on SOC, pp.1001-1002, 2005. ) 之 5T SRAM 由於係於晶胞中之二負載電晶體間設置一長通道長度之存取電晶體以解決寫入邏輯 1 困難之問題，而造成降低存取速度之缺失；專利文獻 3 (98 年 6 月 1 日第 TW M358390 號) 所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體 (其主要代表圖如第 5 圖所示) 雖可有效解決寫入邏輯 1 困難之問題，惟寫入操作時，由於高電壓節點 (VH) 在由高電源供應電壓 ( $HV_{DD}$ ) 下降至低電源供應電壓 ( $LV_{DD}$ ) 的過程中缺乏有效的放電路徑，而造成於高記憶容量及/或高速操作時存在低寫入可靠度與低寫入穩定度等問題，因此仍有改進空間。

有鑑於此，本文之主要目的係提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其能藉由寫入操作時降低電源電壓以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

本文之次要目的係提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其能有效降低待機模式時之漏電流。

本文之再一目的係提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其即使於高記憶容量及/或高速操作時仍能具有高可靠性與高穩定性之寫入操作。



## 3-2 結構

本新型提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其係包括一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞 (1)；一第一偏壓電路 (2)，該第一偏壓電路 (2) 係用以接收一待機模式控制信號 (S)，且於該待機模式控制信號 (S) 為代表主動模式 (active mode) 之邏輯低位準時，將一高電源供應電壓 ( $HV_{DD}$ ) 供應至一電壓模式節點 (VM)，而於該待機模式控制信號 (S) 為代表待機模式 (standby mode) 之邏輯高位準時，則將一低電源供應電壓 ( $LV_{DD}$ ) 供應至該電壓模式節點 (VM)；一第二偏壓電路 (3)，該第二偏壓電路 (3) 係用以接收該待機模式控制信號 (S) 之反相信號 (為了便於說明起見，爾後稱該待機模式控制信號 (S) 之反相信號為一反相待機模式控制信號 (/S))，且於該反相待機模式控制信號 (/S) 為代表主動模式之邏輯高位準時，將接地電壓供應至一低電壓節點 (VL)，而於該反相待機模式控制信號 (/S) 為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點 (VL)，當一控制信號 (CTL) 為代表選定寫入狀態之邏輯高位準時，以將儲存在該高電壓節點 (VH) 之電荷放電一預定時間，而當該待機模式控制信號 (S) 為代表待機模式之邏輯高位準時，以將儲存在該高電壓節點 (VH) 之電荷放電另一預定時間；以及複數個寫入電壓控制電路 (5)，每一列記憶體晶胞設置一個寫入電壓控制電路。該等寫入電壓控制電路 (5) 於對應之該控制信號 (CTL) 為代表選定寫入狀態之邏輯高位準時，將該低電源供應電壓 ( $LV_{DD}$ ) 供應至一高電壓節點 (VH)；而於對應之該控制信號 (CTL) 為代表非選定寫入狀態之邏輯低位準時，則將該電壓模式節點 (VM) 之電壓供應至該高電壓節點 (VH)。

### 3-3 工作原理

根據上述之主要目的，本文提出一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，該寫入操作時降低電源電壓之單埠靜態隨機存取記憶體係包括一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞（1）；一第一偏壓電路（2）；一第二偏壓電路（3）；及複數個寫入電壓控制電路（5），每一列記憶體晶胞設置一個寫入電壓控制電路（5）。

為了便於說明起見，第 6 圖所示之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體僅以一個記憶體晶胞（1）、一條字元線（WL）、一條位元線（BL）、一控制信號（CTL）、一第一偏壓電路（2）、一第二偏壓電路（3）、以及一寫入電壓控制電路（5）做為實施例來說明，其中該控制信號（CTL）為一寫入致能（Write Enable，簡稱 WE）信號與對應之字元線（WL）信號的及閘（AND gate）運算結果，亦即僅於該寫入致能（WE）信號與該對應之字元線（WL）信號均為邏輯高位準時，該控制信號（CTL）方為邏輯高位準。該記憶體晶胞（1）係包括一第一反相器（由第一 PMOS 電晶體 P1 與第一 NMOS 電晶體 M1 所組成）、一第二反相器（由第二 PMOS 電晶體 P2 與第二 NMOS 電晶體 M2 所組成）、一第三 NMOS 電晶體（M3），其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出（即節點 A）係連接該第二反相器之輸入，而該第二反相器之輸出（即節點 B）則連接該第一反相器之輸入，並且該第一反相器之輸出（節點 A）係用於儲存 SRAM 晶胞之資料，而該第二反相器之輸出（節點 B）則用於儲存 SRAM 晶胞之反相資料，該第三 NMOS 電晶體（M3），係連接在該儲存節點（A）與

位元線 (BL) 之間，且閘極連接至字元線 (WL)。

請再參考第 6 圖，該第一偏壓電路 (2) 係由一第三 PMOS 電晶體 (P21)、一第四 PMOS 電晶體 (P22) 以及一第三反相器 (I23) 所組成，該第三 PMOS 電晶體 (P21) 之源極、閘極與汲極係分別連接至一高電源供應電壓 ( $HV_{DD}$ )、一待機模式控制信號 (S) 與一電壓模式節點 (VM)；該第四 PMOS 電晶體 (P22) 之源極、閘極與汲極係分別連接至一低電源供應電壓 ( $LV_{DD}$ )、該第三反相器 (I23) 之輸出端與該電壓模式節點 (VM)，而該第三反相器 (I23) 之輸入端則用以接收該待機模式控制信號 (S)，並輸出一反相待機模式控制信號 ( $\bar{S}$ )。再者，該第二偏壓電路 (3) 係由一第四 NMOS 電晶體 (M31) 以及一第五 NMOS 電晶體 (M32) 所組成，該第四 NMOS 電晶體 (M31) 之源極、閘極與汲極係分別連接至接地電壓、該反相待機模式控制信號 ( $\bar{S}$ ) 與一低電壓節點 (VL)，該第五 NMOS 電晶體 (M32) 之源極係連接至接地電壓，而閘極與汲極係連接在一起，並連接至該低電壓節點 (VL)。

此外，該寫入電壓控制電路 (5) 係由一第五 PMOS 電晶體 (P51)、一第六 PMOS 電晶體 (P52) 以及一第四反相器 (I53) 所組成，該第五 PMOS 電晶體 (P51) 之源極、閘極與汲極係分別連接至該電壓模式節點 (VM)、一控制信號 (CTL) 與一高電壓節點 (VH)；該第六 PMOS 電晶體 (P52) 之源極、閘極與汲極係分別連接至該低電源供應電壓 ( $LV_{DD}$ )、該第四反相器 (I53) 之輸出端與該高電壓節點 (VH)，而該第四反相器 (I53) 之輸入端則用以接收該控制信號 (CTL)。該控制信號 (CTL) 為代表選定寫入狀態之邏輯高位準，可將該低電源供應電壓 ( $LV_{DD}$ ) 供應至該高電壓節點 (VH)；而於該控制信號 (CTL) 為代表非選定寫入狀態之邏輯低位準時，則將該電壓模式節點 (VM) 之電壓供應至該高電壓節點 (VH)。

茲依單埠 SRAM 之工作模式說明第 6 圖之本文較佳實施例的工作原理如下：

### 3-3-1 主動模式 (active mode)

此時該待機模式控制信號 (S) 為邏輯低位準，該邏輯低位準之待機模式控制信號 (S) 經該第一偏壓電路 (2) 中之該第三反相器 (I23) 反相後輸出邏輯高位準之該反相待機模式控制信號 ( $\bar{S}$ )，該邏輯低位準之該待機模式控制信號 (S) 可使得該第一偏壓電路 (2) 中之該第三 PMOS 電晶體 (P21) ON (導通)，於是可將該高電源供應電壓 ( $HV_{DD}$ ) 供應至該電壓模式節點 (VM)；而該邏輯高位準之反相待機模式控制信號 ( $\bar{S}$ ) 可使得該第二偏壓電路 (3) 中之該第四 NMOS 電晶體 (M31) ON (導通)，於是可將該低電壓節點 (VL) 拉下至接地電壓。

假設此時該控制信號 (CTL) 為代表選定寫入狀態之邏輯高位準，該邏輯高位準之該控制信號 (CTL) 可使得該寫入電壓控制電路 (5) 中之第五 PMOS 電晶體 (P51) OFF (截止)，並使得第六 PMOS 電晶體 (P52) ON (導通)，於是可將該低電源供應電壓 ( $LV_{DD}$ ) 供應至該高電壓節點 (VH)；而於該控制信號 (CTL) 為代表非選定寫入狀態之邏輯低位準時，則該邏輯低位準之該控制信號 (CTL) 可使得該寫入電壓控制電路 (5) 中之該第五 PMOS 電晶體 (P51) ON (導通)，於是可將該電壓模式節點 (VM) 之電壓供應至該高電壓節點 (VH)。

接下來依單埠靜態隨機存取記憶晶胞之 4 種寫入狀態來說明第 6 圖之本文較佳實施例如何完成寫入動作。

(一) 節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 0：

在寫入動作發生前 (該字元線 WL 為接地電壓)，該第一 NMOS 電晶體

(M1) 為 ON (導通)，該高電源供應電壓 ( $HV_{DD}$ ) 供應至該高電壓節點 (VH)。因為該第一 NMOS 電晶體 (M1) 為 ON，所以當寫入動作開始時，該字元線 (WL) 由 Low (接地電壓) 轉 High (高電源供應電壓  $HV_{DD}$ )。當該字元線 (WL) 的電壓大於該第三 NMOS 電晶體 (M3) (即存取電晶體) 的臨界電壓 (threshold voltage) 時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通)，此時因為位元線 (BL) 是接地電壓，所以會將該節點 A 放電，而完成邏輯 0 的寫入動作，直到寫入週期結束。在此值得注意的是，該高電壓節點 (VH) 於寫入初期係具有該低電源供應電壓 ( $LV_{DD}$ ) 之位準，而於寫入週期結束後則具有該高電源供應電壓 ( $HV_{DD}$ ) 之位準。

(二) 節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1：

在寫入動作發生前 (該字元線 WL 為接地電壓)，該第一 NMOS 電晶體 (M1) 為 ON (導通)，該高電源供應電壓 ( $HV_{DD}$ ) 供應至該高電壓節點 (VH)。因為該第一 NMOS 電晶體 (M1) 為 ON，所以當寫入動作開始時，該字元線 (WL) 由 Low (接地電壓) 轉 High (該高電源供應電壓  $HV_{DD}$ )，該節點 A 的電壓會跟隨該字元線 (WL) 的電壓而上升。

當該字元線 (WL) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓時以及該控制信號 (CTL) 的電壓大於臨界電壓時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通)，此時因為該位元線 (BL) 是 High (高電源供應電壓  $HV_{DD}$ )，並且因為該第一 NMOS 電晶體 M1 仍為 ON 且該節點 B 仍處於電壓位準為接近於該高電源供應電壓 ( $HV_{DD}$ ) 之電壓位準的初始放電狀態，所以該第一 PMOS 電晶體 P1 仍為 OFF (截止)，而該節點 A 則會快速充電至該第三 NMOS 電晶體 (M3) 之導通等效電阻 ( $R_{M3}$ ) 與該第一 NMOS 電晶體 (M1) 之導通等效電阻 ( $R_{M1}$ ) 所呈現之分壓電壓位準，該分壓電壓

位準等於  $R_{M1} / (R_{M3} + R_{M1})$  乘以該高電源供應電壓 ( $HV_{DD}$ ) 所提供之電壓位準，此時由於該第三 NMOS 電晶體 (M3) 係工作於飽和區 (saturation region) 且該第一 NMOS 電晶體 (M1) 係工作於線性區 (triode region)，因此該第三 NMOS 電晶體 (M3) 之導通等效電阻 ( $R_{M3}$ ) 會遠大於該第一 NMOS 電晶體 (M1) 之導通等效電阻 ( $R_{M1}$ )，於是該節點 A 會呈現低的分壓電壓位準，其值約等於第 4 圖之習知 5T 靜態隨機存取記憶體晶胞在時間為 25 奈秒至 30 奈秒期間所模擬之 0.52mV。

接著該節點 B 逐步放電至較低電壓位準，該節點 B 之較低電壓位準會使得該第一 NMOS 電晶體 (M1) 之導通等效電阻 ( $R_{M1}$ ) 呈現較高的電阻值，該第一 NMOS 電晶體 (M1) 之該較高的電阻值會於該節點 A 獲得較高電壓位準，該節點 A 之較高電壓位準又會經由一第二反相器 (由第二 PMOS 電晶體 P2 與第二 NMOS 電晶體 M2 所組成)，而使得該節點 B 呈現更低電壓位準，該節點 B 之更低電壓位準又會經由一第一反相器 (由第一 PMOS 電晶體 P1 與第一 NMOS 電晶體 M1 所組成)，而使得該節點 A 獲得更高電壓位準，依此循環，即可將該節點 A 充電至該高電源供應電壓 ( $HV_{DD}$ ) 扣減該第三 NMOS 電晶體 (M3) 的臨界電壓或該低電源供應電壓 ( $LV_{DD}$ ) 兩者中之較大者，而完成邏輯 1 的寫入動作。在此值得注意的是，由於該電壓節點 (VH) 於寫入初期係具有該低電源供應電壓 ( $LV_{DD}$ ) 之位準，而於寫入週期結束後則具有該高電源供應電壓 ( $HV_{DD}$ ) 之位準，因此，寫入週期結束後，該節點 A 會被充電至該高電源供應電壓 ( $HV_{DD}$ ) 之位準。

(三) 節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 1：

在寫入動作發生前 (該字元線 WL 為接地電壓)，該第一 PMOS 電晶體 (P1) 為 ON (導通)，該高電源供應電壓 ( $HV_{DD}$ ) 供應至該電壓節點 (VH)。

當該字元線 (WL) 由 Low (接地電壓) 轉 High (該高電源供應電壓  $HV_{DD}$ )，且該字元線 (WL) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓以及該控制信號 (CTL) 的電壓大於臨界電壓時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通)；待該低電源供應電壓 ( $LV_{DD}$ ) 供應至該高電源節點 ( $HV_{DD}$ ) 後，此時因為該位元線 (BL) 是 High (該高電源供應電壓  $HV_{DD}$ )，並且因為該第一 PMOS 電晶體 (P1) 仍為 ON，所以該節點 A 的電壓會降低至高電源供應電壓 ( $HV_{DD}$ ) 扣減該第三 NMOS 電晶體 (M3) 的臨界電壓或該低電源供應電壓 ( $LV_{DD}$ ) 兩者中之較大者，直到寫入週期結束，該高電源供應電壓 ( $HV_{DD}$ ) 供應至電壓節點 (VH)。

(四) 節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 0：

在寫入動作發生前 (該字元線 WL 為接地電壓)，該第一 PMOS 電晶體 (P1) 為 ON (導通)，該高電源供應電壓 ( $HV_{DD}$ ) 供應至電壓節點 (VH)。當該字元線 (WL) 由 Low (接地電壓) 轉 High (該高電源供應電壓  $HV_{DD}$ )，且該字元線 (WL) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通)，此時因為該位元線 (BL) 是 Low (接地電壓)，所以會將該節點 A 放電而完成邏輯 0 的寫入動作，直到寫入週期結束。在此值得注意的是，該高電壓節點 (VH) 於寫入初期係具有該低電源供應電壓 ( $LV_{DD}$ ) 之位準，而於寫入週期結束後則具有該高電源供應電壓 ( $HV_{DD}$ ) 之位準。

第 6 圖所示之本文較佳實施例，於寫入操作時之 HSPICE 暫態分析模擬結果，如第 7 圖所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，本文提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，能藉由寫入操作時降低電源電壓，以

有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。再者，本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體。

### 3-3-2 待機模式 (standby mode)

此時該待機模式控制信號 (S) 為邏輯高位準，該邏輯高位準之待機模式控制信號 (S) 經該第一偏壓電路 (2) 中之該第三反相器 (I23) 反相後輸出邏輯低位準之該反相待機模式控制信號 ( $\bar{S}$ )，該邏輯高位準之該待機模式控制信號 (S) 可使得該第一偏壓電路 (2) 中之該第三 PMOS 電晶體 (P21) OFF (截止)，並使得該第四 PMOS 電晶體 (P22) ON (導通)，於是可將該低電源供應電壓 ( $LV_{DD}$ ) 供應至該電壓模式節點 (VM)；此外，該邏輯低位準之該反相待機模式控制信號 ( $\bar{S}$ ) 可使得該第二偏壓電路 (3) 中之該第四 NMOS 電晶體 (M31) OFF (截止)，由於此時該第二偏壓電路 (3) 中之該第五 NMOS 電晶體 (M32) 為 ON (導通)，於是可將該低電壓節點 (VL) 維持在該第五 NMOS 電晶體 (M32) 之臨界電壓的位準。

接下來說明本文於待機模式 (standby mode) 時如何減少漏電流，請參考第 8 圖，第 8 圖表示了第 6 圖處於待機模式時所產生之各次臨界漏電流 (subthreshold leakage current)  $I_1$ 、 $I_2$  和  $I_3$ ，其中假設 SRAM 晶胞中之該第一反相器之輸出 (即節點 A) 為邏輯 Low (接地電壓)，而該第二反相器之輸出 (即節點 B) 為邏輯 High (低電源供應電壓  $LV_{DD}$ )。請再參考



第1圖之先前技藝與第8圖之本文實施例，關於流經該第三NMOS電晶體(M3)之漏電流 I1 之比較，由於待機模式時該字元線 (WL) 係為接地電壓，因此流經該第三 NMOS 電晶體 (M3) 之漏電流 I1 與第1圖之先前技藝 (先前技藝中之 NMOS 電晶體 M3 即相當於本文實施例中之該第三 NMOS 電晶體 M3) 具有相同的漏電流；關於流經該第一 PMOS 電晶體 (P1) 之漏電流 I2 之比較，由於待機模式時該高電壓節點 (VH) 係具有低電源供應電壓 (LV<sub>DD</sub>) 之電壓位準，該低電源供應電壓 (LV<sub>DD</sub>) 之電壓位準係小於該高電源供應電壓 (HV<sub>DD</sub>)，因此可藉由降低汲極引發能障下跌 (Drain-Induced Barrier Lowering, 簡稱 DIBL) 效應以有效減少漏電流，結果流經第一 PMOS 電晶體 (P1) 之漏電流 I2 係小於第1圖之先前技藝者 (先前技藝中之 PMOS 電晶體 P1 即相當於本文實施例中之該第一 PMOS 電晶體 P1)；最後關於流經第二 NMOS 電晶體 (M2) 之漏電流 I3 之比較，由於待機模式時該低電壓節點 (VL) 係維持在該第四 NMOS 電晶體 (M32) 之臨界電壓的位準，又因為該儲存節點 A 為邏輯 Low (接地電壓)，根據本體效應 (body effect)，第二 NMOS 電晶體 (M2) 之臨界電壓上升，又依 2005 年 3 月 8 日第 US6865119 號專利案第 3(A) 及 3(B) 圖之結果 (該結果顯示，對於 NMOS 電晶體而言，閘源極電壓為 -0.1 伏特時之次臨界電流約為閘源極電壓為 0 伏特時之次臨界電流的 1%)，因此流經該第二 NMOS 電晶體 (M2) 之漏電流 I3 係遠小於第1圖之先前技藝者 (先前技藝

中之 NMOS 電晶體 M2 即相當於本文實施例中之該第二 NMOS 電晶體 M2)。

本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體與第 1 圖之先前技藝於待機模式時，在各種不同製程(TT、SS、FF)與溫度的 HSPICE 暫態分析模擬結果，如表 1 所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，本文於待機模式(standby mode)時確實可有效減少漏電流。

表1 本文與第1圖之先前技藝之次臨界漏電流模擬比較

製程與溫度		第1圖	本文	減少百分比(%)
TT	25°C	0.020nA	0.012 nA	40
SS	-40°C	0.019nA	0.011 nA	42
FF	125°C	3.658nA	2.450 nA	33

### 3-4 功效

本新型所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，具有如下功效：

- (1) 避免寫入邏輯1困難之問題：本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體於寫入操作時，可藉由寫入操作時降低高電壓節點(VH)之電壓位準以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯1相當困難之問題；
- (2) 低次臨界漏電流：由於本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體於待機模式時，高電壓節點(VH)係為低電源供應電壓(LV<sub>DD</sub>)之電壓位準，而低電壓節點(VL)係固定在該第四NMOS電晶體

(M32)之臨界電壓的位準，因此本文所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體亦具備低次臨界漏電流之功效。

雖然本文特別揭露並描述了所選之較佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本文的精神與範圍。因此，所有相關技術範疇內之改變都包括在本文之申請專利範圍內。

### 3-5 圖式說明

- 第 1 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 5 圖 係顯示習知第 TW M358390 號之 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 6 圖 係顯示本文較佳實施例所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體之電路示意圖；
- 第 7 圖 係顯示第 6 圖之本文較佳實施例之寫入動作時序圖；
- 第 8 圖 係顯示第 6 圖單埠靜態隨機存取記憶體於待機模式時所產生之各次臨界漏電流。

### 3-6 元件說明

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	CTL	控制信號
WL	字元線	BL	位元線
BLB	互補位元線	A	儲存節點
B	反相儲存節點	HV <sub>DD</sub>	高電源供應電壓
LV <sub>DD</sub>	低電源供應電壓	S	待機模式控制信號
/S	反相待機模式控制信號	P21	第三 PMOS 電晶體
P22	第四 PMOS 電晶體	P51	第五 PMOS 電晶體
P52	第六 PMOS 電晶體	I23	第三反相器
I53	第四反相器	M31	第四 NMOS 電晶體
M32	第五 NMOS 電晶體	VH	高電壓節點
VL	低電壓節點	VM	電壓模式節點
V <sub>DD</sub>	電源電壓	1	SRAM 晶胞
2	第一偏壓電路	3	第二偏壓電路
CTL	控制信號	5	寫入電壓控制電路

### 3-7 專題目的：

1. 一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，包括：

一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞（1）；

一第一偏壓電路（2），該第一偏壓電路（2）係用以接收一待機模式控制信號（S），且於該待機模式控制信號（S）為代表主動模式（active mode）之邏輯低位準時，將一高電源供應電壓（ $HV_{DD}$ ）供應至一電壓模式節點（VM），而於該待機模式控制信號（S）為代表待機模式（standby mode）之邏輯高位準時，則將一低電源供應電壓（ $LV_{DD}$ ）供應至該電壓模式節點（VM）；

一第二偏壓電路（3），該第二偏壓電路（3）係用以接收一反相待機模式控制信號（ $/S$ ），且於該反相待機模式控制信號（ $/S$ ）為代表主動模式之邏輯高位準時，將接地電壓供應至一低電壓節點（VL），而於該反相待機模式控制信號（ $/S$ ）為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點（VL）；

及複數個寫入電壓控制電路（5），每一列記憶體晶胞設置一個寫入電壓控制電路，該等寫入電壓控制電路（5）於對應之一控制信號（CTL）為代表選定寫入狀態之邏輯高位準時，將該低電源供應電壓（ $LV_{DD}$ ）供應至一高電壓節點（VH）；而於對應之該控制信號（CTL）為代表非選定寫入狀態之邏輯低位準時，則將該電壓模式節點（VM）之電壓供應至該高電壓節點（VH）；

其中，每一記憶體晶胞（1）更包含：

一第一反相器，係由第一PMOS電晶體（P1）與第一NMOS電晶體（M1）所組成，該第一反相器係連接在該高電壓節點（VH）與該低電壓節點（VL）之間；

一第二反相器，係由第二PMOS電晶體（P2）與第二NMOS電晶體（M2）所

組成，該第二反相器係連接在該高電壓節點 (VH) 與該低電壓節點 (VL) 之間；

一儲存節點 (A)，係由該第一反相器之輸出端所形成；

一反相儲存節點 (B)，係由該第二反相器之輸出端所形成；

一第三NMOS電晶體 (M3)，係連接在該儲存節點(A)與一對應位元線(BL)之間，且閘極連接至一對應字元線(WL)，該第三NMOS電晶體 (M3)係作為記憶體晶胞 (1) 之存取電晶體使用；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端 (即儲存節點 A) 係連接至該第二反相器之輸入端，而該第二反相器之輸出端 (即反相儲存節點 B) 則連接至該第一反相器之輸入端；

其中，該第一偏壓電路 (2) 更包含：

一第三 PMOS 電晶體 (P21)，該第三 PMOS 電晶體 (P21) 之源極、閘極與汲極係分別連接至該高電源供應電壓 ( $HV_{DD}$ )、該待機模式控制信號 (S) 與該電壓模式節點 (VM) ；

一第四 PMOS 電晶體 (P22)，該第四 PMOS 電晶體 (P22) 之源極、閘極與汲極係分別連接至該低電源供應電壓 ( $LV_{DD}$ )、一第三反相器 (I23) 之輸出端與該電壓模式節點 (VM) ；以及

一第三反相器 (I23)，該第三反相器 (I23) 之輸入端用以接收該待機模式控制信號 (S)，並供產生該反相待機模式控制信號 ( $/S$ ) ；

其中，該第二偏壓電路 (3) 更包含：

一第四NMOS電晶體 (M31)，該第四NMOS電晶體 (M31) 之源極、閘極與汲極係分別連接至接地電壓、該反相待機模式控制信號 ( $/S$ ) 與該低電壓節點 (VL) ；以及

一第五NMOS電晶體 (M32)，該第五NMOS電晶體 (M32) 之源極係連接至接地電壓，而閘極與汲極則連接在一起，並連接至該低電壓節點 (VL) ；

其中，每一寫入電壓控制電路 (5) 更包含：

一第五 PMOS 電晶體 (P51) ，該第五 PMOS 電晶體 (P51) 之源極、閘極與汲極係分別連接至該電壓模式節點 (VM)、該控制信號 (CTL) 與該高電壓節點 (VH) ；

一第六 PMOS 電晶體 (P52) ，該第六 PMOS 電晶體 (P52) 之源極、閘極與汲極係分別連接至該低電源供應電壓 ( $LV_{DD}$ )、一第四反相器 (I53) 之輸出端與該高電壓節點 (VH) ；以及

一第四反相器 (I53) ，該第四反相器 (I53) 之輸入端用以接收該控制信號 (CTL)，而該第四反相器 (I53) 之輸出端則連接至該第六 PMOS 電晶體 (P52) 之閘極；

2. 如申請專利範圍第1項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該第一控制信號 (CTL1) 為一寫入致能 (Write Enable，簡稱WE) 信號與該對應字元線(WL)的及閘 (AND gate) 運算結果，亦即僅於該寫入致能 (WE) 信號與該對應字元線(WL)均為邏輯高位準時，該第一控制信號 (CTL1) 方為代表選定寫入狀態之邏輯高位準；而於該第一控制信號 (CTL1) 為代表非選定寫入狀態之邏輯低位準時，則將該高電源供應電壓( $HV_{DD}$ )供應至該高電壓節點(VH)。
3. 如申請專利範圍第2項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該對應字元線(WL)之邏輯高位準係為該高電源供應電壓( $HV_{DD}$ )之位準。
4. 一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，包括：
  - 一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞 (1) ；
  - 複數條字元線，每一字元線對應至複數列記憶體晶胞中之一列；
  - 複數條位元線，每一位元線係對應至複數行記憶體晶胞中之一行；以及
  - 複數個寫入電壓控制電路 (2)，每一行記憶體晶胞設置一個寫入電壓控制電路；

其中，每一記憶體晶胞 (1) 更包含：

一第一反相器，係由第一PMOS電晶體(P1)與第一NMOS電晶體(M1)所組成，該第一反相器係連接在一高電壓節點(VH)與接地電壓之間；

一第二反相器，係由第二PMOS電晶體(P2)與第二NMOS電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與接地電壓之間；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反相器之輸出端所形成；以及

一存取電晶體(M3)，係連接在該儲存節點(A)與一對應位元線(BL)之間，且閘極連接至一對應字元線(WL)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；

而每一寫入電壓控制電路 (2) 更包含：

一第三 PMOS 電晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至一高電源供應電壓(HV<sub>DD</sub>)、一第二控制信號 (CTL2) 與該高電壓節點(VH)；

一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至一低電源供應電壓(LV<sub>DD</sub>)、一第三反相器(I23)之輸出端與該高電壓節點(VH)；以及

一第三反相器(I23)，該第三反相器(I23)之輸入端用以接收該第二控制信號 (CTL2)，而該第三反相器(I23)之輸出端則連接至該第四PMOS電晶體(P22)之閘極。

5. 如申請專利範圍第 4 項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該第二控制信號 (CTL2) 為一寫入致能 (Write Enable，簡稱 WE) 信號與該對應位元線(BL)的及閘 (AND gate) 運算結果，亦即僅於該寫入致能 (WE) 信號與該對應位元線(BL)均為邏輯高位



準時，該第二控制信號 (CTL2) 方為代表選定寫入邏輯 1 狀態之邏輯高位準；而於該第二控制信號 (CTL2) 為代表非選定寫入邏輯 1 狀態之邏輯低位準時，則將該高電源供應電壓(HV<sub>DD</sub>)供應至該高電壓節點(VH)。

6. 如申請專利範圍第 5 項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該對應位元線(BL)於該選定寫入邏輯 1 狀態時係為該高電源供應電壓(HV<sub>DD</sub>)之位準。

### 3-8 程式：

CMOS

```
.OPTION ACCT LIST POST
```

```
.GLOBAL VDD
```

```
.PRO
```

```
.LIB 'mm0355v.1' TT
```

```
.UNPRO
```

```
V1 44 0 3.3
```

```
V2 1 0 PULSE 0 3.3 20.5n 0.1n 0.1n 20.8n 45n
```

```
V4 2 0 PULSE 0 3.3 5n 0.1n 0.1n 4.8n 10n
```

```
V6 66 0 1.8
```

```
V7 77 0 3.3
```

```
Mp21 55 44 66 77 pch L=0.35U W=1U
```

```
Mp22 55 14 77 77 pch L=0.35U W=1U
```

```
Mp23 14 44 77 77 pch L=1.4U W=1U
```

```
Mn24 14 44 0 0 nch L=0.35U W=1.3U
```

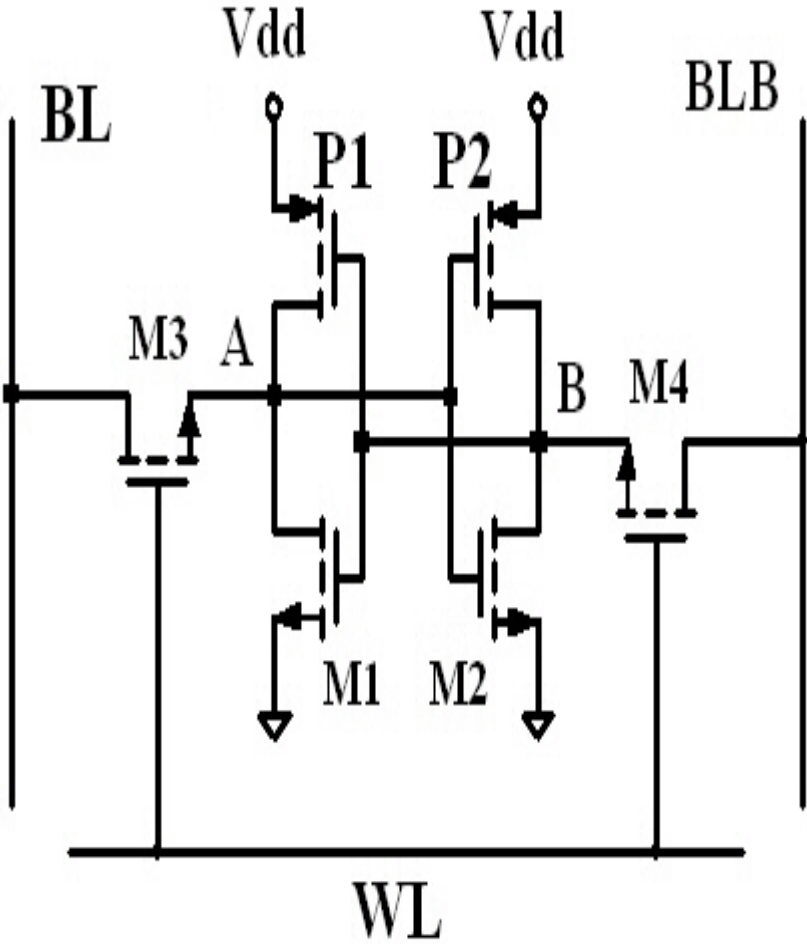
Mp51 7 2 55 77 pch L=0.35U W=2U  
Mp52 7 10 66 77 pch L=0.35U W=2U  
Mp53 10 2 77 77 pch L=1.4U W=1U  
Mn54 10 2 0 0 nch L=0.35U W=1.3U

Mn3 1 2 3 0 nch L=0.35U W=1.3U  
Mn1 3 6 33 0 nch L=0.35U W=2U  
Mn2 6 3 33 0 nch L=0.35U W=2U  
Mp1 3 6 7 77 pch L=1.4U W=1U  
Mp2 6 3 7 77 pch L=1.4U W=1U

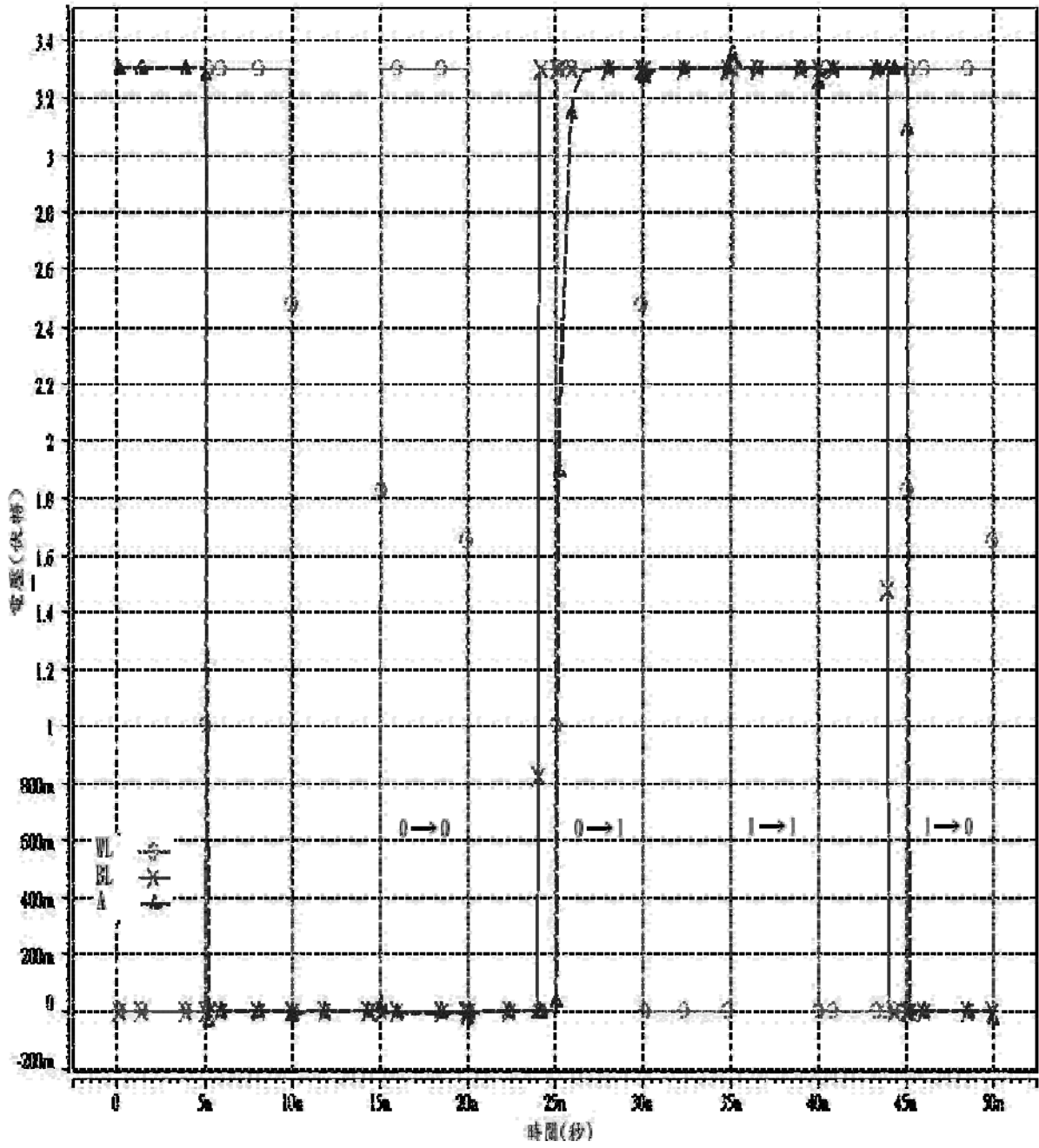
Mn31 33 44 0 0 nch L=0.35U W=30U  
Mn32 33 33 0 0 nch L=0.35U W=30U

.TRAN 0.1n 50n 0.1n  
.PRINT TRAN  
.OP  
.END

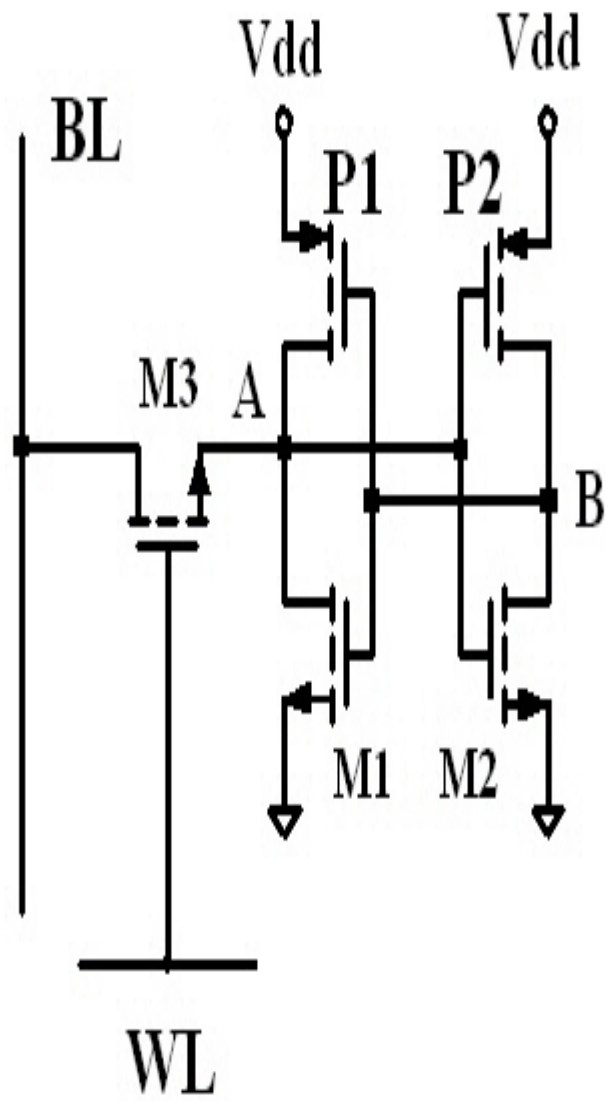
3-9 附錄：



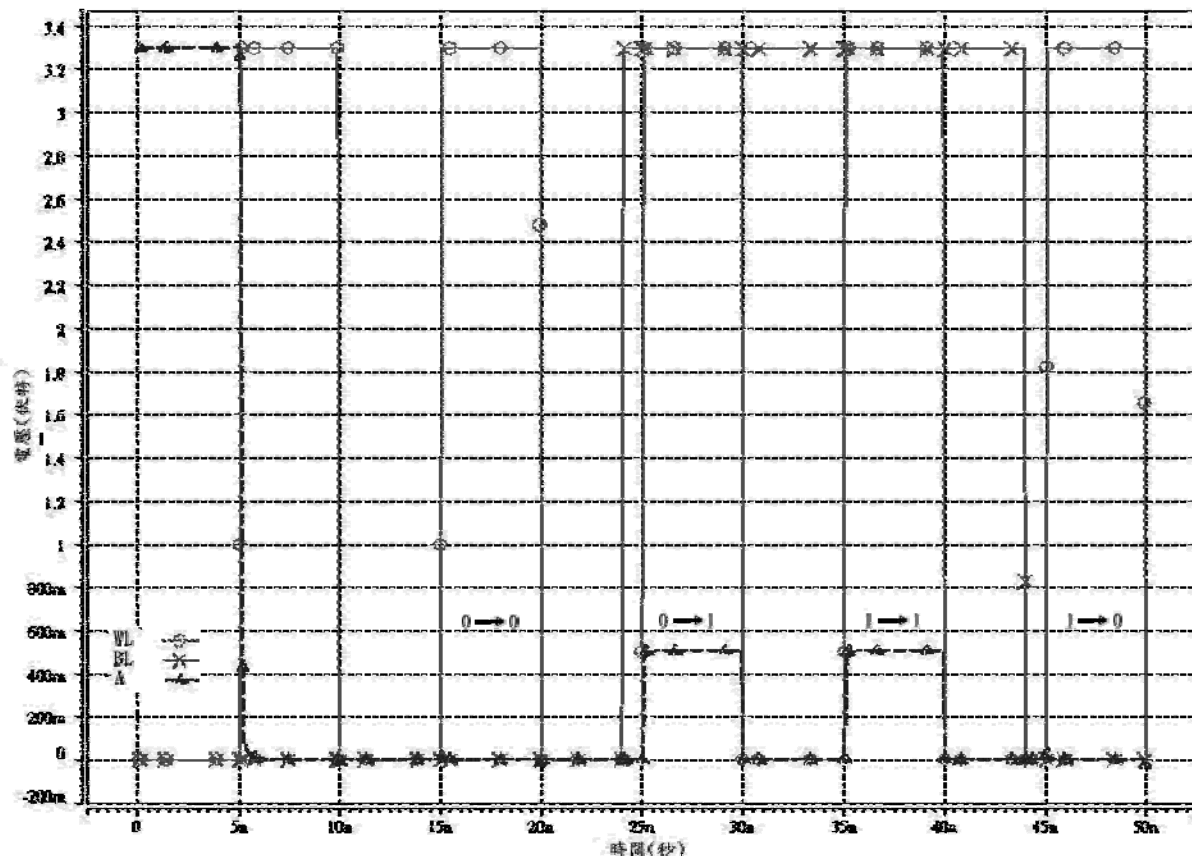
第 1 圖



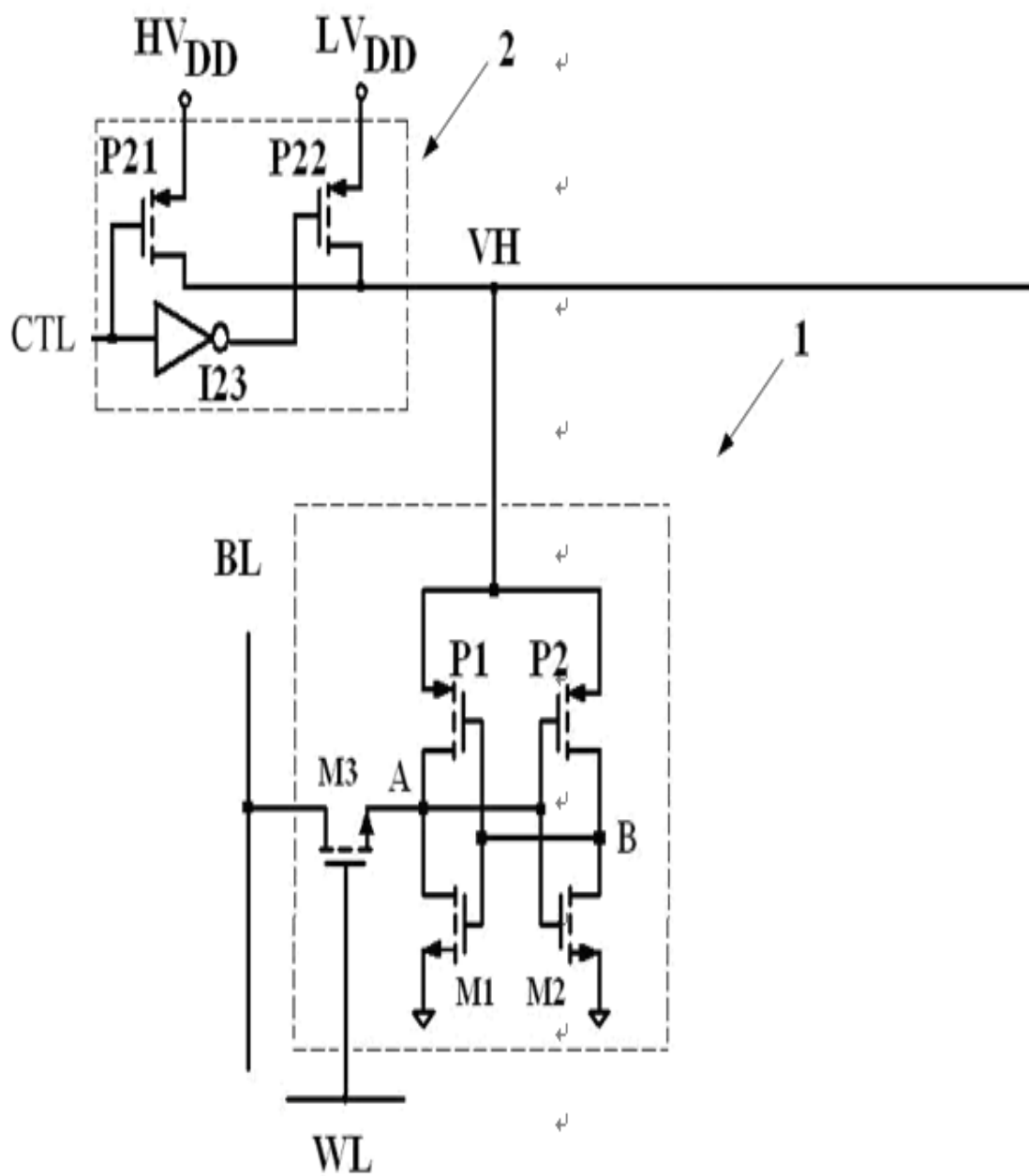
第 2 圖



第 3 圖



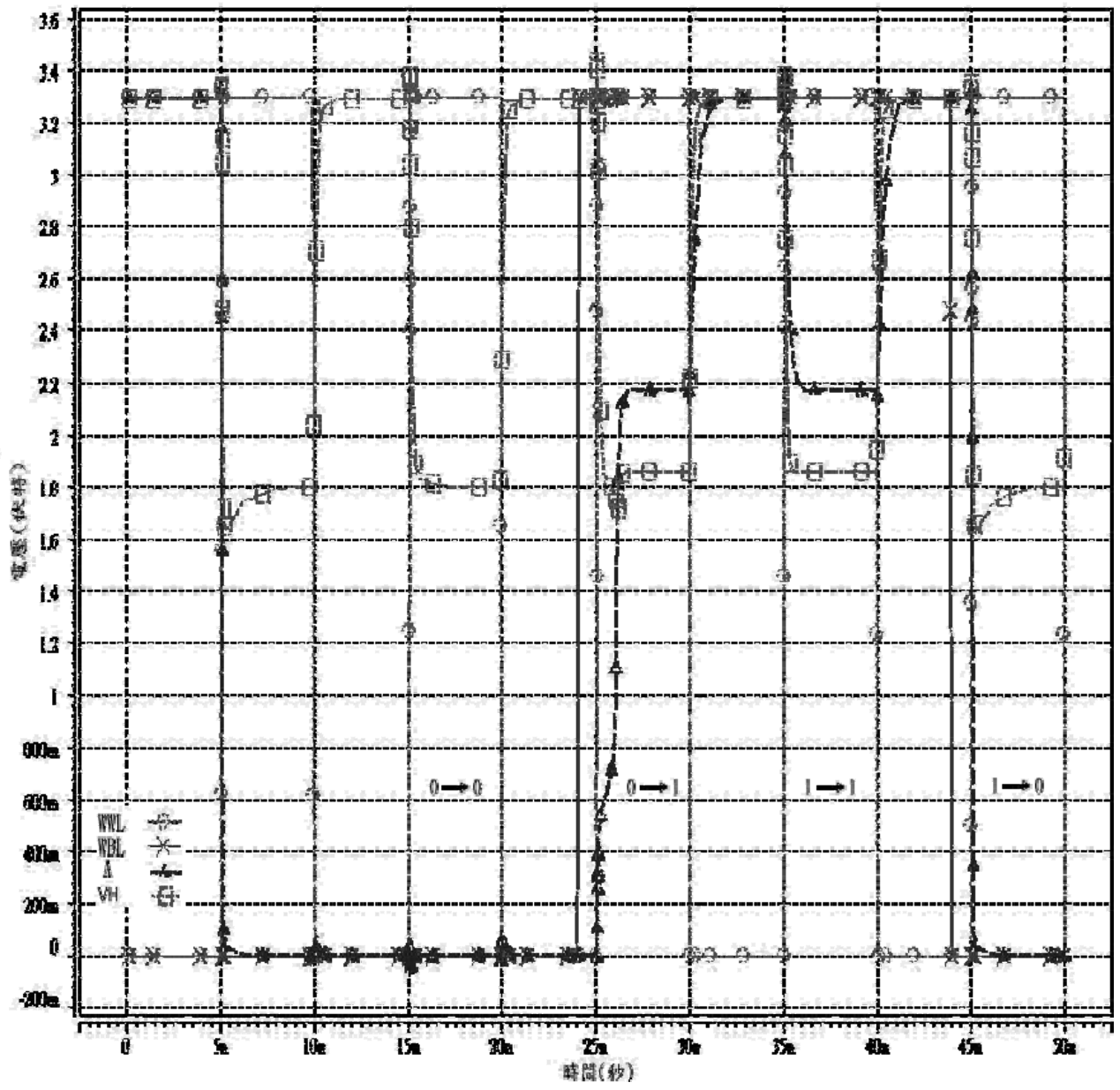
第 4 圖



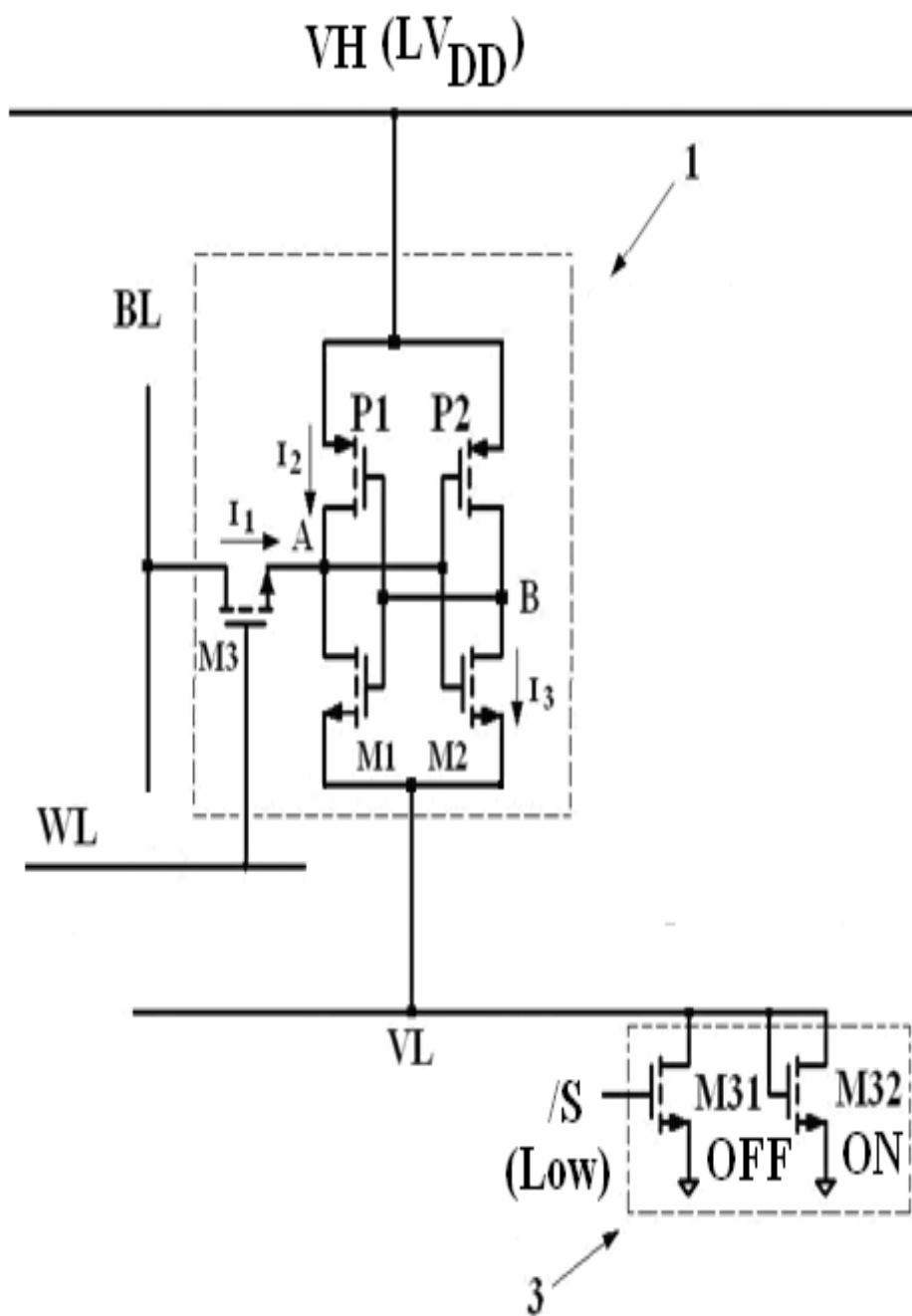
第 5 圖







第 7 圖



第 8 圖

## 四、參考文獻

- [1] 張書賢，「靜態隨機存取記憶體感測放大電路之分析與研究」，碩士論文，長庚大學，半導體科技研究所，2003
- [2] 蔡俊威，「可抑制感測容限降低之雙埠靜態存取記憶體單元」，碩士論文，朝陽科技大學，資訊工程系，2007
- [3] 廖笙緯、蕭明椿，「具低漏電流及預寫控制之雙埠靜態隨機存儲記憶體」，中華民國專利公告案號M352747，2009。
- [4] H. Tran, “Demonstration of 5T SRAM and 6T dual-port RAM cell arrays”, *VLSI Circuits Digest of Technical Papers*, pp. 68-69, 1996.
- [5] J. B. Kuo et al. , “A novel two-port 6T CMOS SRAM cell structure for low-voltage VLSI SRAM with single-bit-line simultaneous read-and-write access (SBLSRWA) capability,” *IEEE Symposium on Circuits and Systems*, pp. 733-736, 2000.
- [6] I. Carlson et al. , “A high density, low leakage, 5T SRAM for embedded caches,” *Proceeding of the 30th European Solid-State Circuits Conference*, pp. 215-218, 2004.
- [7] M. Wieckowski et al. , “A novel five-transistor (5T) sram cell

- for high performance cache,” *IEEE Conference on SOC*, pp. 1001–1002, 2005.
- [8] S. M. Kang, S. M. Yoo. “Self reverse bias low-power high-performance storage circuitry and related methods” , U. S. pat. 6992915, Mar. , 2003
- [9] 洪子健,「SRAM 中的漏電流控制」,系統晶片,004 期,111–118 頁,2006
- [10]S. M Kang ,Yusuf Lebleici , 吳紹懋、黃光正譯,「CMOS 數位積體電路設計與分析」,全華科技圖書股份有限公司,台北,2004
- [11]P. Geens et al. , “A dual port dual width 90nm SRAM with guaranteed data retention at minimal standby supply voltage” , *34th European Solid-State Circuits Conference*, pp. 290–293 , 2008.
- [12]D. M. Kwai , “Standby Current Reduction of Compilable SRAM Using Sleep Transistor and Source Line Self Bias” , *IEEE Asian Solid-State Circuits Conference*, pp. 23–26 , 2006.
- [13]K. Sasaki et al. , “A 23-ns 4-Mb CMOS SRAM with 0.2- $\mu$ A standby current,” *IEEE JSSC*, vol. 25, pp. 1075–1081 , 1990.
- [14]M. Ando et al., “A 0.1  $\mu$ A standby current,

- bouncing-noise-immune 1Mb SRAM,” *VLSI Circuits Digest of Technical Papers* , pp. 49–50 , 1988.
- [15]H. Pilo et al., “A 0.9ns random cycle 36Mb network SRAM with 33mW standby power,” *VLSI Circuits Digest of Technical Papers*, pp. 284–287 , 2004.
- [16]B. Ebrahimi et al., “Low Standby Power and Robust FinFET Based SRAM Design,” *IEEE Symposium on VLSI*, pp. 185–190, 2008.
- [17]J. Wang et al. , “Canary Replica Feedback for Near-DRV Standby VDD Scaling in a 90nm SRAM,” *IEEE Conference on Custom Integrated Circuits*, pp. 29–32, 2007.
- [18]林世欽，「低漏電流之靜態隨機存儲記憶體」，中華民國專利公告案號 200529227，二月，台北，2004。
- [19]林文吉，「高速相位可調式直接數位式頻率合成器與低功率 SRAM 設計」，碩士論文，國立中山大學，電機工程學系碩士班。
- [20]Aly E. Salama et al., “Increasing the Sense Margin of 1T-1C Ferroelectric Random-Access Memories” , *IEEE International Symposium on Circuits and Systems*, pp 2268–2271, 27–30 May, 2007.
- [21]O. Semenov et al., “Impact of gate induced drain leakage on

- overall leakage of submicrometer CMOS VLSI circuits” ,  
*Semiconductor Manufacturing, IEEE Trans.*, Vol. 15, pp 9-18, Feb.  
2002.
- [22]S. T. Becker, “Negatively charged wordline for reduced  
subthreshold current” , U.S. pat.6865119, Mar., 2005.
- [23]S. K. Jain et al., “A low leakage and SNM free SRAM cell design  
in deep sub micron CMOS technology” , *19th International  
Conference on VLSI Design(VLSID’ 06)*, 4 pp , 3-7 Jan. 2006.
- [24]A.A. et al., “Two-dimensional analytical model for drain  
induced barrier lowering (DIBL) in short channel MOSFETs” ,  
*Southeastcon 2000, Proceedings of the IEEE*, pp 340-344, 7-9 Apr.  
2000.
- [25]J. M. Park et al. , “A Novel Body Effect Reduction Technique  
to Recessed Channel Transistor Featuring Partially Insulating  
Layer Under Source and Drain : Application to Sub-50nm DRAM  
Cell” , *Electron Devices Meeting, 2007. IEDM 2007. IEEE  
International*, pp 903-906, 10-12 Dec. 2007.
- [26]T. J. Song, J. S. Choi ,「使用對各種製程-電壓-溫度變異性為穩定的虛擬軌方  
式的SRAM」, 中華民國專利公告案號 I261250 , 2005。

## 五、作者簡介:

組員-廖柏勳 AD97004

組員-劉政怡 AD97005

組員-黎岳達 AD97009

## 總結:

本專題研究的設計上，歷經多次的改良與修正，且在這次專題中所學的程序系統是使用Hspice，在這次的研究中學習Hspice，而且把Hspice學會如何key in程式、撰寫程式，如何成功將電路無錯誤的key in，與組員的互相討論達到模擬結果，然而成功提出了一種新穎架構來達成降低電路的功率消耗與降低雜訊的發生，然而這將是未來在電路設計上必然的趨勢；也因人類的快速發展，對能源的消耗也越來越快，以至於出現能源快使用殆盡之下，再加上替代能源的研發技術不夠成熟、快速，就必須對現今所有的電子產品加以改良，具降低漏電流之電路、具低功率消耗之電路、具高性能之電路，提升其高速度與穩定度，降低其電子產品的快速消耗及汰換，然而這將是未來在電路設計上必然的趨勢。