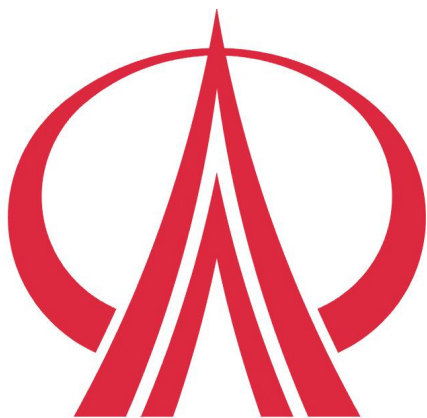


# 修平技術學院 電機工程系

DEPARTMENT OF ELECTRICAL ENGINEERING  
HSIU-PING INSTITUTE OF TECHNOLOGY

## 實務專題報告書

### 具單一位元線之單埠 SRAM



指導老師：蕭明椿 老師

專題製作學生：二技電二甲 吳軍毅 AD97002

二技電二甲 黃偲維 AD97030

二技電二甲 李祖義 AD97043

中華民國 九十八 年 十二 月 一 日

修平技術學院  
電機工程系

98-1

具單一位元線之單埠 SRAM

指導老師：蕭明椿

學生：吳軍毅、黃偲維、李祖義

# 一、摘要

本文係有關於一種寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體 (Static Random Access Memory, 簡稱 SRAM), 尤指一種可解決習知單埠靜態隨機存取記憶體中寫入邏輯 1 困難之單埠 (single port) 靜態隨機存取記憶體, 請參照圖 5, 其包括一記憶體陣列, 該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成, 每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞 (1); 複數條字元線, 每一字元線對應至複數列記憶體晶胞中之一列; 複數條位元線, 每一位元線係對應至複數行記憶體晶胞中之一行; 一第一偏壓電路 (3); 一第二偏壓電路 (4); 以及複數個字元線電壓控制電路 (2), 每一列記憶體晶胞設置一個字元線電壓控制電路。該等字元線電壓控制電路 (2) 於對應之字元線(WL)為邏輯高位準, 且一寫入致能 (Write Enable, 簡稱 WE) 信號為代表致能狀態之邏輯高位準時, 方將一寫入用電源供應電壓(WVDD)供應至一存取電壓節點(VA); 而該等字元線電壓控制電路 (2) 於對應之字元線(WL)為邏輯高位準, 但該寫入致能 (WE) 信號為代表非致能狀態之邏輯低位準時, 則將該電源電壓(Vdd)供應至該存取電壓節點(VA), 藉由僅於寫入操作時提高字元線電壓位準以有效避免寫入邏輯 1 相當困難之問題。

## 二、目錄

一、摘要	0 2
二、目錄	0 3
三、內容報告	
3-1 記憶體	0 5
3-1-1 6T SRAM	0 6
3-1-2 5T SRAM	0 7
3-2 5T SRAM 結構	0 8
3-2-1 記憶體晶胞	0 9
3-2-2 字元線電壓控制電路	1 0
3-2-3 偏壓電路	1 2
3-3 工作原理	1 3
3-3-1 主動模式 (active mode)	1 3
3-3-2 待機模式 (standby mode)	1 6
3-3-3 減少漏電流損失	1 7
3-4 實際效用	1 8
四、參考文獻	2 0

五、作者簡介 . . . . .	2 2
六、總結 . . . . .	2 4
七、附錄 . . . . .	2 4
7-1 圖示 . . . . .	2 5
7-2 主要元件符號說明 . . . . .	3 2
7-3 HSPICE 軟體簡介 . . . . .	3 3

## 三、報告內容

### 3-1 記憶體

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為動態隨機存取記憶體（DRAM）及靜態隨機存取記憶體（SRAM）兩種。動態隨機存取記憶體（DRAM）具有面積小及價格低等優點，但操作時必須不時地更新（refresh）以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體（SRAM）的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

由於 SRAM 待機電流小，故 SRAM 已成為行動電話為代表之行動電子設備所採用之半導體記憶裝置的主流。

### 3-1-1 6T SRAM

靜態隨機存取記憶體(SRAM)主要包括一記憶體陣列(memory array)，該記憶體陣列係由複數列記憶體晶胞(a plurality of rows of memory cells)與複數行記憶體晶胞(a plurality of columns of memory cells)所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞；複數條字元線(word line)，每一字元線對應至複數列記憶體晶胞中之一列；以及複數位元線對(bit line pairs)，每一位元線對係對應至複數行記憶體晶胞中之一行，且每一位元線對係由一位元線及一互補位元線所組成。

圖 1 所示即是 6T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖，其中，PMOS 電晶體 P1 和 P2 稱為負載電晶體(load transistor)，NMOS 電晶體 M1 和 M2 稱為驅動電晶體(driving transistor)，NMOS 電晶體 M3 和 M4 稱為存取電晶體(access transistor)，WL 為字元線(word line)，而 BL 及 BLB 分別為位元線(bit line)及互補位元線(complementary bit line)，由於該 SRAM 晶胞需要 6 個電晶體，且驅動電晶體與存取電晶體間的電流驅動能力比(即單元比率(cell ratio)通常設定在 2 至 3 之間，而導致存在有高集積化困難及價格高等缺失。圖 1 所示 6T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如圖 2 所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬之結果。

### 3-1-2 5T SRAM

圖 3 顯示一種僅具單一位元線之 5T 靜態隨機存取記憶體晶胞之電路示意圖，與圖 1 之 6T 靜態隨機存取記憶體晶胞相比，此種 5T 靜態隨機存取記憶體晶胞比 6T 靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該 5T 靜態隨機存取記憶體晶胞在不變更 PMOS 電晶體 P1 和 P2 以及 NMOS 電晶體 M1、M2 和 M3 的通道寬長比的情況下存在寫入邏輯 1 相當困難之問題。茲考慮記憶晶胞左側節點 A 原本儲存邏輯 0 的情況，由於節點 A 之電荷僅單獨自位元線 (BL) 傳送，因此很難將節點 A 中先前寫入的邏輯 0 蓋寫成邏輯 1。圖 3 所示 5T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如圖 4 所示，其係以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，具單一位元線之 5T 靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。



## 3-2 5T SRAM 結構

我們將提出一種寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，其能藉由提高字元線電壓位準以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

圖 5 所示即為本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體之示意圖，為了方便說明故僅以一個記憶體晶胞 (1)、一條字元線 (WL)、一條位元線 (BL)、一第一偏壓電路 (3)、一第二偏壓電路 (4) 以及一字元線電壓控制電路 (2) 做為範例來說明；每一列記憶體晶胞設置一個字元線電壓控制電路。該等字元線電壓控制電路 (2) 於對應之字元線 (WL) 為邏輯高位準，且一寫入致能 (Write Enable, 簡稱 WE) 信號為代表致能狀態之邏輯高位準時，方將一寫入用電源供應電壓 (WVDD) 供應至一存取電壓節點 (VA)，其中該寫入用電源供應電壓 (WVDD) 之位準係設定至少為一電源電壓 (Vdd) 加上一第三 NMOS 電晶體 (M3) 之臨界電壓之位準；而該等字元線電壓控制電路 (2) 於對應之字元線 (WL) 為邏輯高位準，但該寫入致能 (WE) 信號為代表非致能狀態之邏輯低位準時，則將該電源電壓 (Vdd) 供應至該存取電壓節點 (VA)，藉由僅於寫入操作時提高字元線電壓位準以有效避免寫入邏輯 1 相當困難之問題；而於待機模式 (standby mode) 時，則藉由將一低電源供應電壓 (LVDD) 供應至一高電壓節點 (VH)

以及將較接地電壓為高之一電壓位準供應至一低電壓節點(VL)，以有效降低靜態隨機存取記憶體之功率消耗。結果，本發明所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，不但可有效避免習知具單一位元線之單埠 SRAM 所存在寫入邏輯 1 相當困難之問題，並且也能兼具待機模式時降低漏電流之功效。

### 3-2-1 記憶體晶胞

請參照圖 5 中第 1 區塊電路(1)，其包括一第一反相器(由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一電源電壓(Vdd)與接地電壓之間)、一第二反相器(由第二 PMOS 電晶體 P2 與第二 NMOS 電晶體 M2 所組成，該第二反相器係連接在該電源電壓(Vdd)與接地電壓之間)以及一第三 NMOS 電晶體(M3)，其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出(即節點 A)係連接該第二反相器之輸入，而該第二反相器之輸出(即節點 B)則連接該第一反相器之輸入，並且該第一反相器之輸出(節點 A)係用於儲存 SRAM 晶胞之資料，而該第二反相器之輸出(節點 B)則用於儲存 SRAM 晶胞之反相資料。該第三 NMOS 電晶體(M3)係做為存取電晶體(access transistor)使用，其閘極係連接至一存取電壓節點(VA)。

## 3-2-2 字元線電壓控制電路

請參照圖 5 中第 2 區塊電路 (2)，由一第三 PMOS 電晶體 (P21)、一第四 PMOS 電晶體 (P22)、一第三反相器 (I21)、一第五 PMOS 電晶體 (P23)、一第四 NMOS 電晶體 (M21) 以及一第四反相器 (I22) 所組成，該第三 PMOS 電晶體 (P21) 之源極、閘極與汲極係分別連接至該電源電壓 (Vdd)、一寫入致能 (Write Enable, 簡稱 WE) 信號與該第四 PMOS 電晶體 (P22) 之汲極端；該第四 PMOS 電晶體 (P22) 之源極、閘極與汲極係分別連接至一寫入用電源供應電壓 (WVDD)、該第三反相器 (I21) 之輸出端與該第五 PMOS 電晶體 (P23) 之源極端；該第三反相器 (I21) 之輸入端用以接收該寫入致能 (WE) 信號；該第五 PMOS 電晶體 (P23) 之源極、閘極與汲極係分別連接至該第三 PMOS 電晶體 (P21) 之汲極端和第四 PMOS 電晶體 (P22) 之汲極端、一反相字元線 (/WL) 與該存取電壓節點 (VA)；該第四 NMOS 電晶體 (M21) 之源極、閘極與汲極係分別連接至接地電壓、該反相字元線 (/WL) 與該存取電壓節點 (VA)；而該第四反相器 (I22) 之輸入端則用以接收該字元線 (WL)，且輸出該反相字元線 (/WL)。其中，該第三反相器 (I21) 與該第四反相器 (I22) 之操作電壓係為該電源電壓 (Vdd)。

當該字元線電壓控制電路 (2) 於該字元線 (WL) 為邏輯高位準，且該寫入致能 (WE) 信號為代表致能狀態之邏輯高位準時，可使得該字元線電壓控制電路 (2) 中之第三 PMOS 電晶體 (P21) OFF (截止)，並使得第四 PMOS 電晶體 (P22) ON (導通)，於是可將該寫入用電源供應電壓 (WVDD) 供應至該存取電壓節點 (VA)，其中該寫入用電源供應電壓 (WVDD) 之位準係設定至少為該電源電壓 (Vdd) 加上該第三 NMOS 電晶體 (M3) 之臨界電壓之位準。

而當該字元線電壓控制電路 (2) 於該字元線 (WL) 為邏輯高位準，但該寫入致能 (WE) 信號為代表非致能狀態之邏輯低位準時，可使得該字元線電壓控制電路 (2) 中之第三 PMOS 電晶體 (P21) ON (導通)，並使得第四 PMOS 電晶體 (P22) OFF (截止)，於是可將該電源電壓 (Vdd) 供應至該存取電壓節點 (VA)；而於對應之字元線 (WL) 為邏輯低位準時，則可使得該字元線電壓控制電路 (2) 中之第四 NMOS 電晶體 (M21) ON (導通)，於是可將該存取電壓節點 (VA) 拉下至接地電壓。

### 3-2-3 偏壓電路

請參照圖 5 中第 3 及第 4 區塊電路 (3) & (4)，該第一偏壓電路 (3) 係由一第五 NMOS 電晶體 (M31) 以及一第六 NMOS 電晶體 (M32) 所組成，該第五 NMOS 電晶體 (M31) 之源極、閘極與汲極係分別連接至接地電壓、一反相待機模式控制信號 (/S) 與一低電壓節點 (VL)，該第六 NMOS 電晶體 (M32) 之源極係連接至接地電壓，而閘極與汲極係連接在一起，並連接至該低電壓節點 (VL)。

該第二偏壓電路 (4) 係由一第六 PMOS 電晶體 (P41)、一第七 PMOS 電晶體 (P42) 以及一第五反相器 (I41) 所組成，該第六 PMOS 電晶體 (P41) 之源極、閘極與汲極係分別連接至該電源電壓 (Vdd)、一待機模式控制信號 (S) 與一高電壓節點 (VH)；該第七 PMOS 電晶體 (P42) 之源極、閘極與汲極係分別連接至一低電源供應電壓 (LVDD)、該反相器 (I41) 之輸出端與該高電壓節點 (VH)，而該第五反相器 (I41) 之輸入端則用以接收該待機模式控制信號 (S)，並產生該反相待機模式控制信號 (/S)。

### 3-3 工作原理

此節將依照 5T SRAM 之工作模式說明圖 5 之基本工作原理，基本工作模式有兩種：(I) 主動模式 (active mode) & (II) 待機模式 (standby mode) 其中在待機模式時又如何減少漏電流。

#### 3-3-1 主動模式 (active mode)

此時該待機模式控制信號 (S) 為邏輯低位準，該邏輯低位準之待機模式控制信號 (S) 經該第二偏壓電路 (4) 中之該第五反相器 (I41) 反相後輸出邏輯高位準之該反相待機模式控制信號 (/S)，該邏輯低位準之該待機模式控制信號 (S) 可使得該第二偏壓電路 (4) 中之該第六 PMOS 電晶體 (P41) ON (導通)，於是可將電源電壓 (Vdd) 供應至該電壓模式節點 (VH)；而該邏輯高位準之該反相待機模式控制信號 (/S) 可使得該第二偏壓電路 (3) 中之該第五 NMOS 電晶體 (M31) ON (導通)，於是可將該低電壓節點 (VL) 拉下至接地電壓。

接下來依單埠靜態隨機存取記憶晶胞之 4 種寫入狀態來說明第 5 圖如何完成寫入動作，在此值得注意的是，於寫入動作期間，係將該寫入用電源供應電壓 (WVDD) 供應至該存取電壓節點 (VA)，且該寫入用電源供應電壓 (WVDD) 之位準係設定至少為該電源電壓 (Vdd) 加上該第三 NMOS 電晶體 (M3) 之臨界電壓之位準。

① 儲存節點 (A) 原本儲存邏輯 0，而現在欲寫入邏輯 0：

在寫入動作發生前(字元線 WL 為接地電壓)，第一 NMOS 電晶體(M1) 為 ON (導通) 。而當該存取電壓節點 (VA) 的電壓大於該第三 NMOS 電晶體 (M3)(即存取電晶體) 的臨界電壓時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通) ，此時因為位元線 (BL) 是 Low (接地電壓)，所以會將儲存節點 (A) 放電，而完成邏輯 0 的寫入動作，直到寫入週期結束。

② 儲存節點 (A) 原本儲存邏輯 0，而現在欲寫入邏輯 1：

在寫入動作發生前(字元線 WL 為接地電壓)，第一 NMOS 電晶體(M1) 為 ON (導通) 。而當該存取電壓節點 (VA) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓時，該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通) ，此時因為位元線 (BL) 是 High (電源電壓 Vdd)，所以會對儲存節點 (A) 快速充電；於儲存節點 (A) 充電中，由於該寫入用電源供應電壓 (WVDD) 之位準係設定至少為該電源電壓 (Vdd) 加上該第三 NMOS 電晶體 (M3) 之臨界電壓之位準，且該寫入用電源供應電壓 (WVDD) 係供應至該存取電壓節點 (VA)，因此有助於反相儲存節點 (B) 由 High (電源電壓 Vdd) 朝 Low (接地電壓) 方向轉變，當反相儲存節點 (B) 之電壓位準下降至足以使第一 PMOS 電晶體 (P1) 導通時，該第一

PMOS 電晶體 (P1) 即由 OFF (截止) 轉變為 ON (導通), 而完成邏輯 1 的寫入動作。

③ 儲存節點 (A) 原本儲存邏輯 1, 而現在欲寫入邏輯 1:

在寫入動作發生前 (字元線 WL 為接地電壓), 第一 PMOS 電晶體 (P1) 為 ON (導通)。而當該存取電壓節點 (VA) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓時, 該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通) ; 此時因為位元線 (BL) 是 High (電源電壓 Vdd), 並且因為第一 PMOS 電晶體 (P1) 仍為 ON, 所以儲存節點 (A) 的電壓不會變動, 而會平穩地保持在該電源電壓 (Vdd) 之位準, 直到寫入週期結束。

④ 儲存節點 (A) 原本儲存邏輯 1, 而現在欲寫入邏輯 0:

在寫入動作發生前 (字元線 WL 為接地電壓), 第一 PMOS 電晶體 (P1) 為 ON (導通)。而當該存取電壓節點 (VA) 的電壓大於該第三 NMOS 電晶體 (M3) 的臨界電壓時, 該第三 NMOS 電晶體 (M3) 由 OFF (截止) 轉變為 ON (導通) , 此時因為位元線 (BL) 是 Low (接地電壓), 且因為該寫入用電源供應電壓 (WVDD) 之位準係設定至少為該電源電壓 (Vdd) 加上該第三 NMOS 電晶體 (M3) 之臨界電壓之位準, 所以會將儲存節點 (A) 快速放電而完成邏輯 0 的寫入動作, 直到寫入週期結束。



將圖 5 之電路以 HSPICE 暫態分析模擬結果如圖 6 所示，是以 level 49 模型且使用 TSMC 0.35 微米 CMOS 製程參數加以模擬，由模擬結果可証實，本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，能藉由寫入操作時提高字元線電壓位準，以有效避免寫入邏輯 1 相當困難之問題。

### 3-3-2 待機模式 (standby mode)

此時該待機模式控制信號 (S) 為邏輯高位準，該邏輯高位準之待機模式控制信號 (S) 經該第二偏壓電路 (4) 中之該第五反相器 (I41) 反相後輸出邏輯低位準之該反相待機模式控制信號 (/S)，該邏輯高位準之該待機模式控制信號 (S) 可使得該第二偏壓電路 (4) 中之該第六 PMOS 電晶體 (P41) OFF (截止)，並使得該第七 PMOS 電晶體 (P42) ON (導通)，於是可將該低電源供應電壓 (LVDD) 供應至該電壓模式節點 (VH)；此外，該邏輯低位準之該反相待機模式控制信號 (/S) 可使得該第一偏壓電路 (3) 中之該第五 NMOS 電晶體 (M31) OFF (截止)，由於此時該第一偏壓電路 (3) 中之該第六 NMOS 電晶體 (M32) 為 ON (導通)，於是可將該低電壓節點 (VL) 維持在該第六 NMOS 電晶體 (M32) 之臨界電壓的位準。

### 3-3-3 減少漏電流損失

請參照圖 7，表示了第 5 圖處於待機模式時所產生之各次臨界漏電流 (subthreshold leakage current)  $I_1$ 、 $I_2$  和  $I_3$ ，其中假設 SRAM 晶胞中之該第一反相器之輸出 (即儲存節點 A) 為邏輯 Low (接地電壓)，而該第二反相器之輸出 (即節點 B) 為邏輯 High (低電源供應電壓 LVDD)。

再參考圖 1 之 6T SRAM 電路與圖 7 之本文電路，關於流經該第三 NMOS 電晶體 (M3) 之漏電流  $I_1$  之比較，由於待機模式時該字元線 (WL) 為接地電壓，因此流經該第三 NMOS 電晶體 (M3) 之漏電流  $I_1$  與圖 1 之 6T SRAM 電路 (6T SRAM 中之 NMOS 電晶體 M3 即相當於本圖 7 中之該第三 NMOS 電晶體 M3) 具有相同的漏電流；關於流經該第一 PMOS 電晶體 (P1) 之漏電流  $I_2$  之比較，由於待機模式時該高電壓節點 (VH) 具有低電源供應電壓 (LVDD) 之電壓位準，該低電源供應電壓 (LVDD) 之電壓位準小於該電源供電壓 (Vdd)，因此可藉由降低汲極引發能障下跌 (Drain-Induced Barrier Lowering, 簡稱 DIBL) 效應以有效減少漏電流，結果流經第一 PMOS 電晶體 (P1) 之漏電流  $I_2$  小於圖 1 之 6T SRAM (6T SRAM 中之 PMOS 電晶體 P1 即相當於本文圖 7 中之該第一 PMOS 電晶體 P1)；最後關於流經第二 NMOS 電晶體 (M2) 之漏電流  $I_3$  之比較，由於待機模式時該低電壓節點 (VL) 維持在該第六 NMOS 電晶體 (M32) 之臨界電壓的位準，又因為

該儲存節點 A 為邏輯 Low (接地電壓)，根據本體效應 (body effect)，第二 NMOS 電晶體 (M2) 之臨界電壓上升，又對於 NMOS 電晶體而言，閘源極電壓為 -0.1 伏特時之次臨界電流約為閘源極電壓為 0 伏特時之次臨界電流的 1%，因此流經該第二 NMOS 電晶體 (M2) 之漏電流  $I_3$  係遠小於圖 1 之 6T SRAM (6T SRAM 中之 NMOS 電晶體 M2 即相當於本文圖 7 中之該第二 NMOS 電晶體 M2)。

### 3-4 實際效用

本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，具有如下功效：

(1) 避免寫入邏輯 1 困難之問題：本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體於寫入操作時，由於將一寫入用電源供應電壓 ( $WV_{DD}$ ) 供應至一存取電壓節點 (VA)，且該寫入用電源供應電壓 ( $WV_{DD}$ ) 之位準設定至少為一電源電壓 (Vdd) 加上一第三 NMOS 電晶體 (M3，即存取電晶體) 之臨界電壓之位準，因此可藉由提高字元線電壓位準至高於 SRAM 晶胞之該電源電壓 (Vdd) 以有效避免寫入邏輯 1 相當困難之問題。

(2) 讀取操作時序與6T SRAM相同：本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體於讀取操作時，由於是將該電源電壓（V<sub>dd</sub>）供應至該存取電壓節點（V<sub>A</sub>），因此可與6T SRAM具有相同的讀取操作時序。

(3) 高集積度：本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，雖然每一列記憶體晶胞須設置一個字元線電壓控制電路（2），惟相較於習知6T靜態隨機存取記憶體（SRAM）晶胞，本創作之5T SRAM晶胞（1）可節省一個存取電晶體以及一條互補位元線，因此整體而言，本創作可較習知6T靜態隨機存取記憶體晶胞具有更高之集積度。

(4) 低次臨界漏電流：由於本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體於待機模式時，高電壓節點（V<sub>H</sub>）係為低電源供應電壓（LV<sub>DD</sub>）之電壓位準，而低電壓節點（V<sub>L</sub>）係固定在該第六NMOS電晶體（M32）之臨界電壓的位準，因此本發明所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體亦具備低次臨界漏電流之功效。

## 四、參考文獻

- [1] M. Ukita et al. ,” A single-bit-line cross-point cell activation (SCPA) architecture for ultra-low-power SRAM's,” IEEE JSSC, vol.28, pp.1114-1118 ,1993.
- [2] H. Tran,” Demonstration of 5T SRAM and 6T dual-port RAM cell arrays,” VLSI Circuits Digest of Technical Papers., 1996 Symposium , pp.68-69 ,1996.
- [3] J.B. Kuo et al. ,” A novel two-port 6T CMOS SRAM cell structure for low-voltage VLSI SRAM with single-bit-line simultaneous read-and-write access (SBLSRWA) capability,” IEEE Symposium on Circuits and Systems, pp.733-736,2000.
- [4] I. Carlson et al. ,” A high density, low leakage, 5T SRAM for embedded caches,” Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European, pp.215-218,2004.
- [5] M. Wieckowski et al. ,” A novel five-transistor (5T) sram cell for high performance cach,” IEEE Conference on SOC, pp.1001-1002,2005.
- [6] 蕭明椿和蔡俊威，「具預寫控制之雙埠靜態隨機存取記憶晶胞」，中華民國專利公告案號 M285004，一月，2006。
- [7] P. Geens et al. ,” A dual port dual width 90nm SRAM with guaranteed data retention at minimal standby supply voltage,” Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European, pp.290-293 ,2008.
- [8] D. M. Kwai ,” Standby Current Reduction of Compilable SRAM Using Sleep Transistor and Source Line Self Bias,” Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian, pp.23-26 ,2006.
- [9] K. Sasaki et al. ,” A 23-ns 4-Mb CMOS SRAM with 0.2- $\mu$ A standby current,” IEEE JSSC, vol.25, pp.1075-1081 ,1990.
- [10] M. Ando et al.,” A 0.1 $\mu$ A standby current, bouncing-noise-immune 1Mb SRAM,” VLSI Circuits Digest of Technical Papers., 1988 Symposium , pp.49-50 ,1988.
- [11] H. Pilo et al.,” A 0.9ns random cycle 36Mb network SRAM with 33mW standby power,” VLSI Circuits Digest of Technical Papers., 2004 Symposium , pp.284-287 ,2004.

- [12] B. Ebrahimi et al. ,” Low Standby Power and Robust FinFET Based SRAM Design,” IEEE Symposium on VLSI, pp.185-190,2008.
- [13] J. Wang et al. ,” Canary Replica Feedback for Near-DRV Standby VDD Scaling in a 90nm SRAM,” IEEE Conference on Custom Integrated Circuits, pp.29-32,2007.
- [14] O. Semenov et al.,” Impact of gate induced drain leakage on overall leakage of submicrometer CMOS VLSI circuits”, Semiconductor Manufacturing, IEEE Trans., Vol. 15, pp 9-18, Feb. 2002.
- [15] S. T. Becker, “Negatively charged wordline for reduced subthreshold current,” U.S. pat.6865119, Mar., 2005.
- [16] A.A. et al. ,” Two-dimensional analytical model for drain induced barrier lowering (DIBL) in short channel MOSFETs”, Southeastcon 2000, Proceedings of the IEEE, pp 340-344, 7-9 Apr. 2000.
- [17] J. M. Park et al. ,” A Novel Body Effect Reduction Technique to Recessed Channel Transistor Featuring Partially Insulating Layer Under Source and Drain : Application to Sub-50nm DRAM Cell”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pp 903-906, 10-12 Dec. 2007.

## 五、 作者介紹

組長：吳軍毅 AD97002

組員：黃偲維 AD97030

組員：李祖義 AD97043

### 心得：

很榮幸能夠由蕭明椿教授來指導我們本次的專題，由於這次專題的主要內容在於改良 SRAM，由於我們三位同學對於該領域都不是非常了解，但蕭教指導有佳，讓我們三位慢慢的從基礎開始一步一步的往上爬，才有辦法順利成功。而系上的研究所學長也經常協助我們，一些比較容易講解的內容都是由學長來教的，我們也非常感謝學長的幫忙。

由於我們專題主要目的是申請新型的改良專利，所以在專題製作過程，我們也學習到了專利書的撰寫流程，需要一次又一次的潤稿，讓我們了解到專利申請是如此辛苦。

另外在這次專題所需要的模擬結果，我們是利用了 HSPICE 這套軟體，由於該套軟體在一般大學生的課程裡絕大部分不會應用到，所以我們也重心的學習了這套軟體，主要的難題在於它並沒有模擬的電路零件可供視覺

化的設計，而是需要用概念式的方法給予電路上的節點編號，以及給予電子元件規格，經由程式碼來進行模擬結果；所以本次專題另一個最大收穫就是我們學會了 HSPICE 這套電子電路模擬軟體。

雖然這是我們第二次製作專題，但是我們還是遇到了許多合作分工上的爭執，但在我們一再的協調之後，最終還是順利的將專題如期完成，因為有專題製作的關係，再次讓我們了解一個團隊的重要性，小組成員之間需要互相的信任、配合，才能夠一起同心協力突破各種難關。

因為有了專題製作的寶貴經驗，對於明年畢業後即將要投入職場工作的我們多了點自信心，實在是非常感謝各位老師和學長的幫忙，讓我們在畢業前夕能擁有如此豐富的研究過程，讓我們收穫良多。



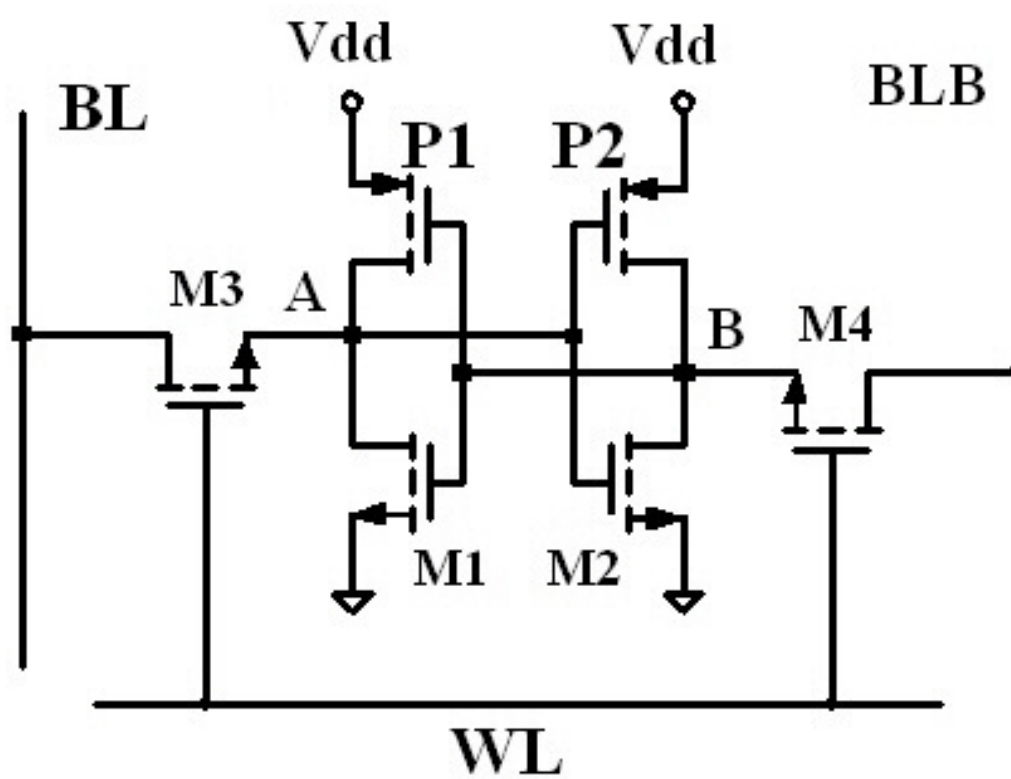
## 六、結論：

從模擬結果可以知道，即使減少了電晶體也可以達到相同的功效，甚至可以提升效能，最大的獲益還是在體積方面的減小，在相同體積下可以容下更多的模組，意味著可以在同樣的空間配置效能更加優異的 SRAM，使產品提升整體效率。

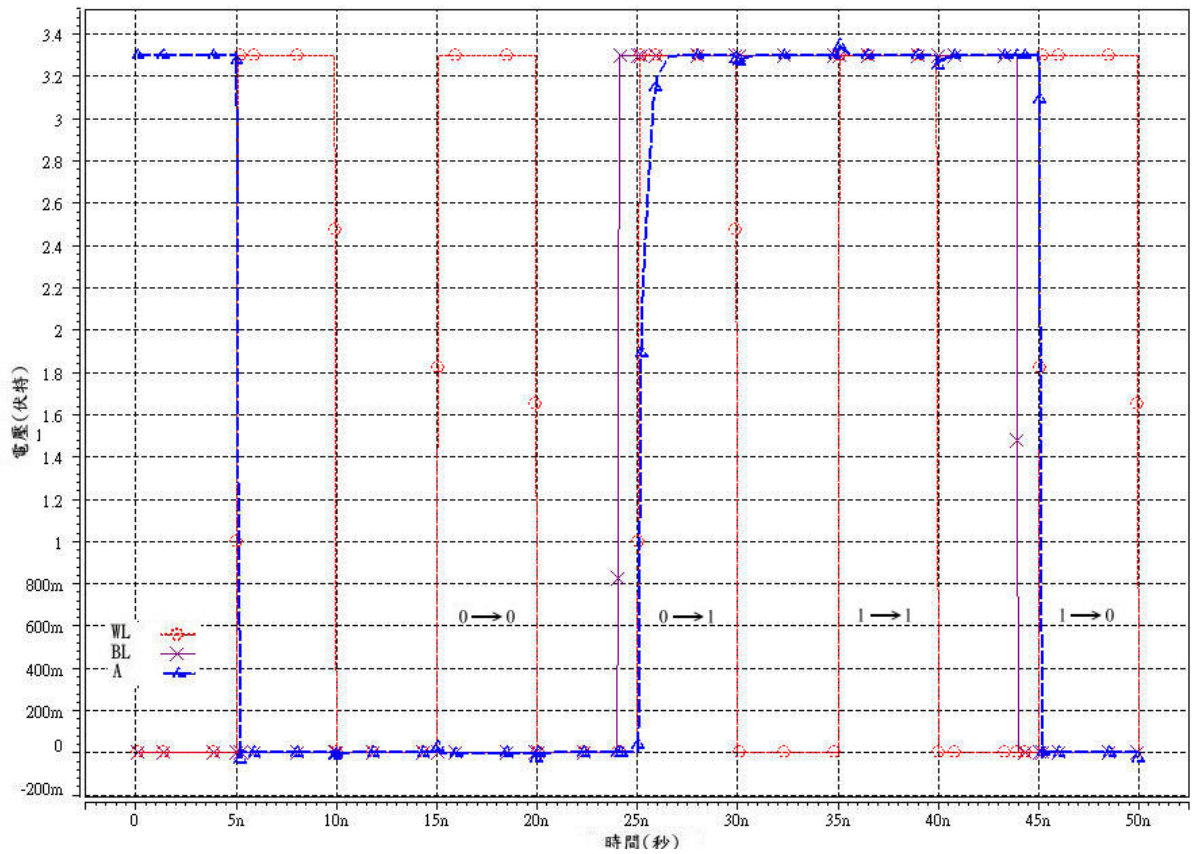
過程中我們遇到最大的阻礙，就是如何解決邏輯寫入 1 困難的障礙，但是在經過指導教授與學長的協助下，我們順利的找到了解決的方案，參數也在一次次的修改中更臻完美，更加的貼近 6T 原來的工作時序。

# 七、附錄

## 7-1 圖示

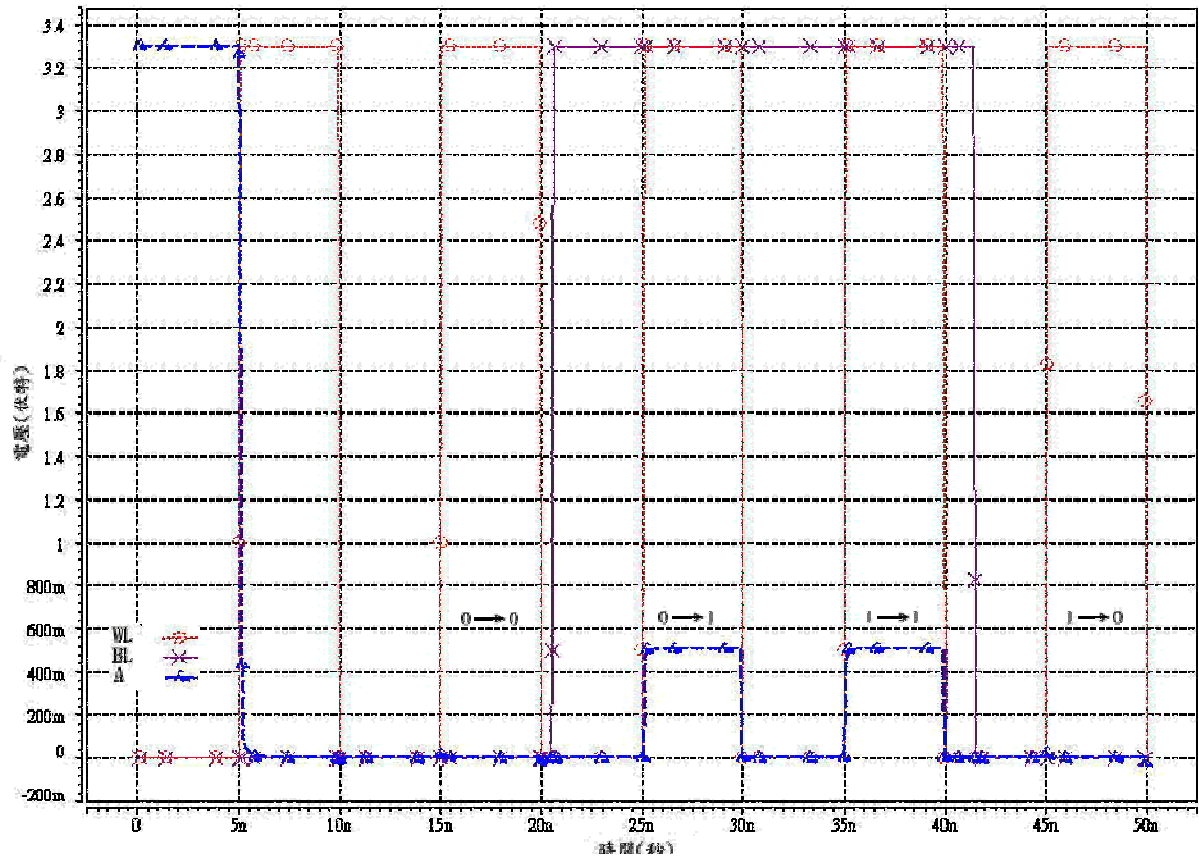


(圖 1) 6T 靜態隨機存取記憶體晶胞之電路示意圖



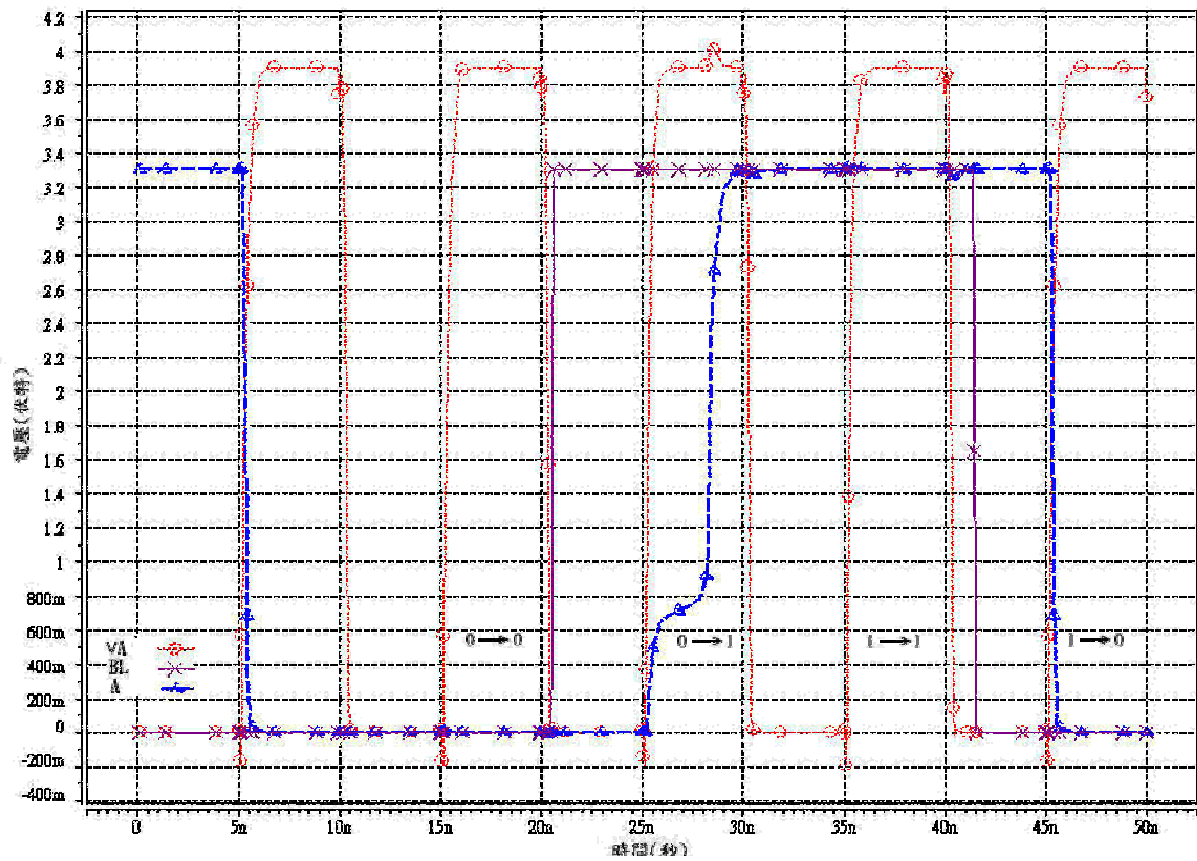
(圖 2) 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖





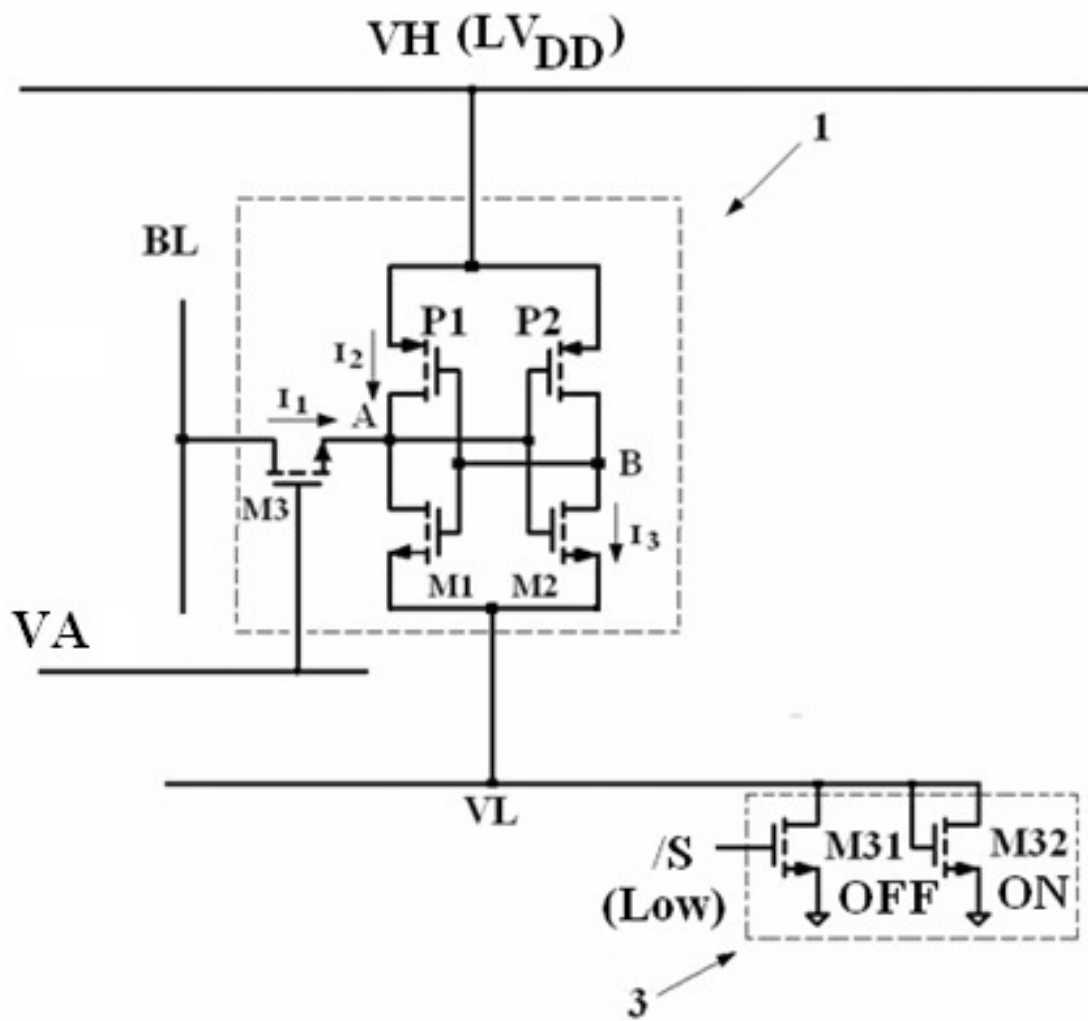
(圖 4) 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖





(圖6) 本文所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存

取記憶體之寫入動作時序圖



(圖7) 圖5單埠靜態隨機存取記憶體於待機模式時所產生之各次臨界漏電流。



## 7-2 【主要元件符號說明】

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	/WL	反相字元線
BL	位元線	Vdd	電源電壓
WVDD	寫入用電源供應電壓	LVDD	低電源供應電壓
S	待機模式控制信號	/S	反相待機模式控制信號
A	儲存節點	B	反相儲存節點
GND	接地	VA	存取電壓節點
1	SRAM 晶胞	2	字元線電壓控制電路
3	第一偏壓電路	4	第二偏壓電路
P21	第三 PMOS 電晶體	P22	第四 PMOS 電晶體
M21	第四 NMOS 電晶體	P23	第五 PMOS 電晶體
I21	第三反相器	I22	第四反相器
I41	第五反相器	M31	第五 NMOS 電晶體
M32	第六 NMOS 電晶體	P41	第六 PMOS 電晶體
P42	第七 PMOS 電晶體	WL	字元線

WE	寫入致能	VL	低電壓節點
VH	高電壓節點		

## 7-3 HSPICE 軟體簡介

HSPICE 為 Synopsys 公司所有之電路模擬軟體，其功能包含電路階層之交、直流及暫態分析、雜訊分析與參數變異之 Monte-Carlo 分析等。HSPICE 的語法與一般 SPICE 的描述格式相容。可應用於各類數位、類比積體電路設計的特性分析上。在所支援的電晶體模型方面，包含 Modified-BSIM1 的 level 28 及 BSIM3V3 的 level 49 模型等。AWaves (Linux 系統中支援 Cosmos Scope 軟體) 為一模擬資料的圖形分析處理界面，可顯示及處理 Synopsys HSPICE 的各類模擬結果。

資料來源：國科會國家晶片系統設計中心

[http://www.cic.org.tw/cic\\_v13/main.js](http://www.cic.org.tw/cic_v13/main.js)