

動態隨機存取記憶體單元中之冠狀 電容的設計

蔣 忠 誠

摘 要

本文提出一種用於動態隨機存取記憶體單元中之冠狀電容的製造方法，該方法係包含下列步驟：首先製作一電晶體，並於該電晶體上形成一絕緣層；接著選擇性蝕刻以形成一接觸開口，並在絕緣層以及接觸開口上沉積一第一導電層；再接著形成一犧牲層，並選擇性蝕刻以僅在電晶體汲極上方處留下部分犧牲層以及部分第一導電層；然後全面沉積一第二導電層，且施行非等向性蝕刻以僅在該部分犧牲層兩側壁上留下部分第二導電層；其次移除該部分犧牲層，該部分第二導電層以及部分第一導電層係共同形成冠狀電容之下電極；最後依序形成一介電層以及冠狀電容之上電極。

關鍵字：冠狀電容，犧牲層，接觸開口，選擇性蝕刻，非等向性蝕刻，介電層。

一、簡 介

本文係有關於一種半導體記憶元件的設計，尤指一種有關於動態隨機存取記憶體（dynamic random access memory, DRAM）之冠狀電容的設計。動態隨機存取記憶體為一廣泛應用的積體電路元件，特別是在現今的資訊電子產業中更有不可或缺的地位。隨著半導體技術的演進，目前科學園區生產線上常見的 DRAM 記憶體單元大多是由一個電晶體 T 和一個電容 C 所構成，如第 1 圖的電路示意圖所示。電晶體 T 的源極（source）係連接到對應的位元線（bit line, BL），汲極（drain）連接到電容 C 的下電極（bottom electrode），而閘極（gate）則連接到對應的字元線（word line, WL），電容 C 的上電極（top electrode）則連接到一固定電壓源（例如接地），並在下電極和上電極間隔著一介電層。

電容 C 是用來儲存電子資訊的，其應具備足夠大的電容量，以避免資料的流失並減低充電再新（refresh）的頻率。目前，可由兩個方面著手來增加電容 C 的電容量，一為減少介電層的厚度，另一為增加下電極的表面積。在減少介電層的厚度方面，現今製造的電容均已使用到極薄的介電層，然而其厚度並非無限制的縮小，當介電層的厚度小於 50 埃時，極可能因為直接載子穿隧（direct carrier tunneling）而產生過大的漏電流，並進而影響元件的特性。因此目前業界大多致力於研究如何增加下電極的表面積，藉以提升電容的電容量。

在傳統少於一百萬位元（1MB）的 DRAM 製程中，一般多利用二度空間的電容來儲存資料，亦即泛稱的平面型電容（planar-type capacitor）。然而，平面型電容需利用基底一相當大的面積來形成下電極 C，才可提供足夠的電容量，所以並不適用於目前日益高度積集化之 DRAM 元件的製程要求。

通常，高度積集化的 DRAM，例如具有大於 16MB 位元的儲存容量者，需要利用到三度空間的電容結構。目前業界最常用的三度空間電容結構有凹槽型（trench type）以及堆疊型（stack type）兩種。但凹槽型電容於蝕刻凹槽來製作電容時會不可避免地於基底產生晶格缺陷（defects），以導致漏電流的增

加並影響元件的特性，且隨著凹槽縱橫比（aspect ratio）的增加，其蝕刻速率將遞減，此不僅增加製程的困難度，同時也影響其生產效率，因此凹槽型電容的製程在實際生產線上的應用有其困難度。相反的，堆疊型電容的製程並不會產生上述的缺點，因此科學園區業者均係針對此一型式的記憶元件進行改良，以達到在元件尺寸縮小時仍可以確保提供足夠大之電容量。

在各種堆疊型電容的記憶元件中，電容具有向上突出的冠狀電容（crown-type capacitor）【1-18】，由於其內外側表面均可提供有效的電容面積，相當適合於製造高度積集化的元件，特別是大於 64MB 位元的記憶元件。但習知製造動態隨機存取記憶單元之冠狀電容的方法，步驟繁多，不僅增加製程的複雜度，同時所提高的電容量也不敷使用，因此影響生產效率。而一些改良製程雖可簡化步驟，但於製程條件控制上的要求也相對地比較嚴苛，所以並不有利於生產線上的實施。

二、冠狀電容的設計

本文提出一種冠狀電容之設計理念，其主要係利用一犧牲層來達成形成冠狀電容之目的，其不但可簡化製程，並且可藉改變犧牲層之幾何外形以及增加犧牲層之數目而在有限的面積上製造出具足夠大電容量之冠狀電容。爲了更清楚說明起見，請參見第 2 圖至第 7 圖，以說明此動態隨機存取記憶單元之冠狀電容的製造流程。如第 2 圖所示，首先於一半導體基底 200 上形成一場氧化層 202 以界定出元件區（active area）。接著依序形成一閘氧化層 204、一複晶矽層 210、一矽化鎢層（ WSi_x ）212、一氧化矽層 214 及一氮氧化矽層 216 後，並定義圖案以形成一閘極（gate electrode）構造 G。然後利用此閘極構造 G 當作罩幕，佈植雜質進入半導體基底 200 中，以形成淡摻雜源極和汲極區。之後於閘極構造 G 的側壁上以沉積和回蝕程序形成一閘極間隔物 217，再以閘極構造 G 和閘極間隔物 217 當作罩幕，佈植較高濃度的雜質進入半導體基底 200 中，以形成濃摻雜源極和汲極區，完成源極和汲極區 208 和 206，至此形成一

電晶體元件。

接著，在上述電晶體元件表面上依序沉積一第一絕緣層 218 和一遮蔽層 222，並以微影成像和蝕刻程序在第一絕緣層 218 和一遮蔽層 222 中形成一接觸開口 (contact opening) 224，以露出源極區 208 當作接觸區，同時在遮蔽層 222 上和接觸開口 224 內沉積一第一導電層 226，藉以和源極區 208 形成電性連接。之後在第一導電層 226 上沉積一犧牲層 228。再接著，利用微影技術和蝕刻程序定義犧牲層 228 和第一導電層 226，結果如第 3 圖所示。之後再沉積一適當厚度之第二導電層 230 以覆蓋犧牲層 228 和遮蔽層 222，結果如第 4 圖所示。接著回蝕第二導電層 230 至遮蔽層 222，此時第二導電層 230 只留下在犧牲層 228 側壁上之部分，並暴露出犧牲層 228 之頂端表面，結果如第 5 圖所示。

其次移除剩餘之犧牲層 228，並留下的第二導電層 230 及第一導電層 226 共同形成冠狀下電極 240，結果如第 6 圖所示。最後請參見第 7 圖，在下電極 240 的表面上依序形成一介電層 242 及作上電極用之第三導電層 244，三者共同構成一電容元件，便完成動態隨機存取記憶體單元之冠狀電容的製作。

三、結 論

文中提出一種用於動態隨機存取記憶體單元中之冠狀電容的設計理念，其主要係利用一犧牲層 228 來達成製作冠狀電容之目的，此冠狀電容之設計並不受限於微影製程所需之臨界尺寸的限制，也不需繁瑣之微影製程步驟，同時亦可視情況需要改變犧牲層之幾何外形以及增加犧牲層之數目，以便在有限的基底面積上製造出具例如多冠狀、崎嶇形冠狀、凹凸形冠狀、魚鱗形冠狀等其他幾何外形之冠狀電容，以利於下一世代之高記憶容量之需求以及有效之基底空間利用。

四、圖式簡單說明

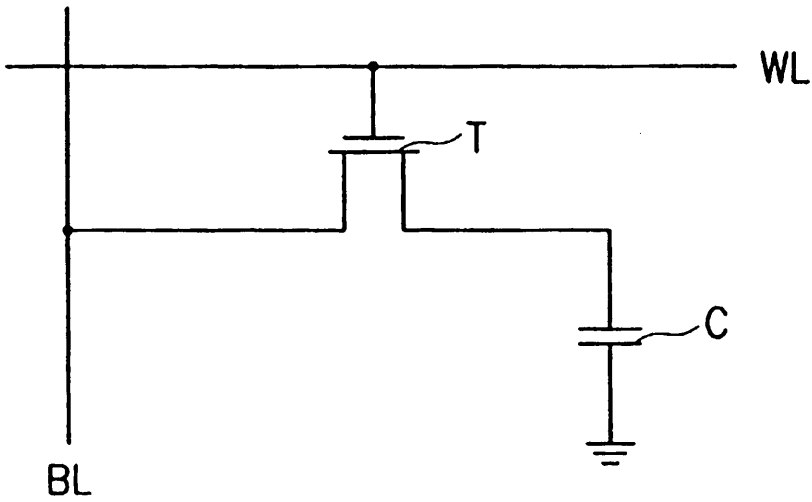
第 1 圖係顯示一般之動態隨機存取記憶體單元之電路示意圖；

第 2 至 7 圖均為剖面示意圖，用以說明動態隨機存取記憶體單元之冠狀電容的製作流程。

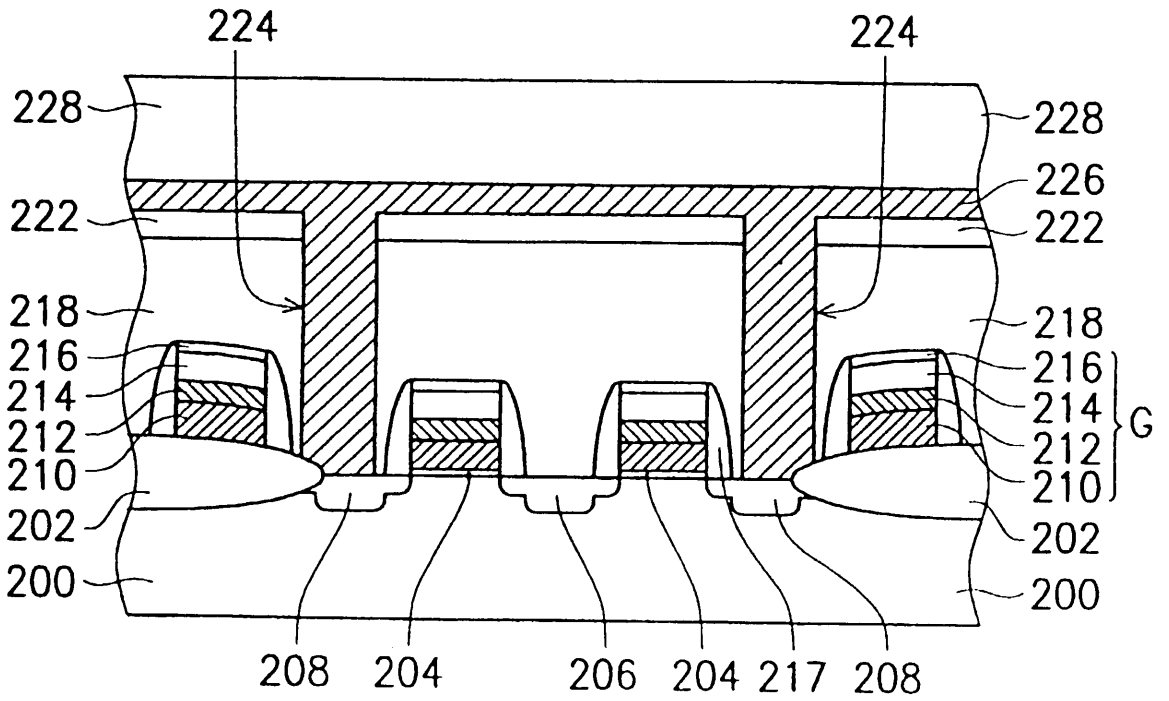
五、參考文獻

1. “冠狀電容器的製造方法”，專利公報 27 卷 18 期，公告案號 395051
 2. “動態隨機存取記憶體中之皇冠形電容器的製造方法”，專利公報 27 卷 14 期，公告案號 390020
 3. “高密度動態隨機存取記憶體之自行對準冠狀電容並”，專利公報 27 卷 07 期，公告案號 383497
 4. “冠狀電容器下電極之製造方法”，專利公報 27 卷 04 期，公告案號 381341
 5. “動態隨機存取記憶體冠形電容器之製造方法”，專利公報 27 卷 02 期，公告案號 379447
 6. “動態隨機存取記憶體之冠形電容器的製造方法”，專利公報 26 卷 34 期，公告案號 375790
 7. “皇冠形電容之製作方法”，專利公報 26 卷 20 期，公告案號 364208
 8. “皇冠形電容結構之製造方法”，專利公報 26 卷 11 期，公告案號 355842
 9. “具冠狀電容之動態隨機存取記憶單元的製造方法”，專利公報 25 卷 18 期，公告案號 334617
 10. “具冠狀結構之堆疊電容及其製作方法”，專利公報 25 卷 13 期，公告案號 331029
 11. “動態隨機存取記憶體之皇冠形堆疊式電容器的製造方法”，專利公報 24 卷 36 期，公告案號 323393
 12. “製造皇冠形電容器結構的方法”，專利公報 24 卷 21 期，公告案號 366498
-

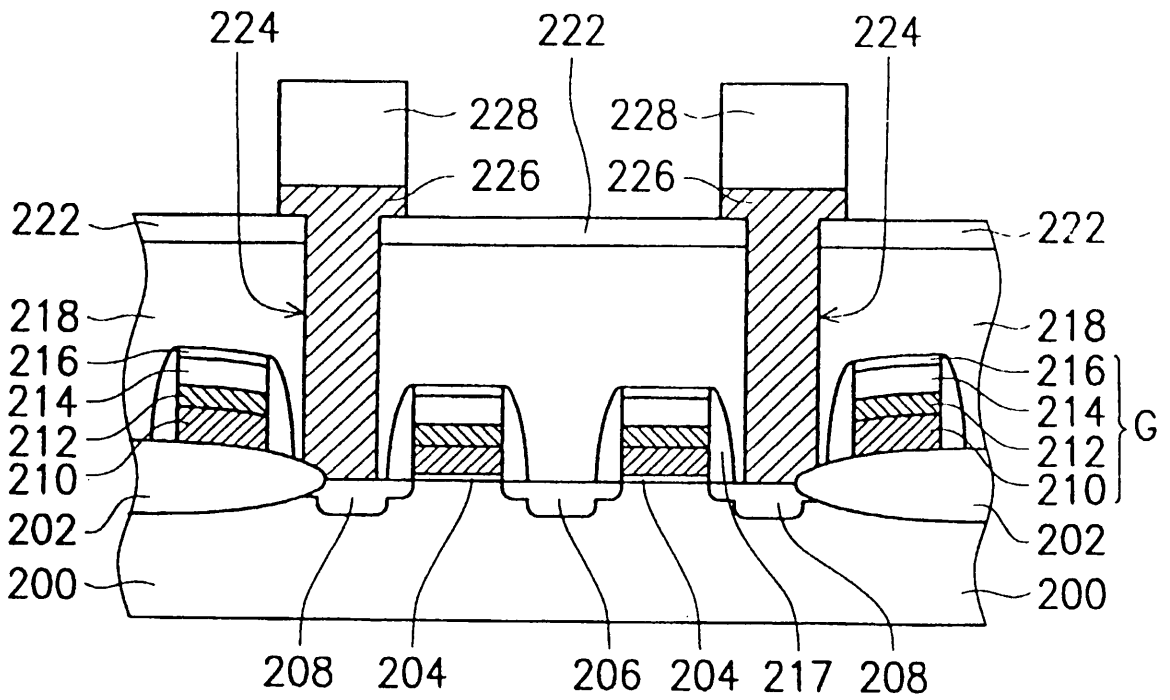
13. “皇冠形電容器之製程”，專利公報 21 卷 27 期，公告案號 230844
 14. “Method of forming a stacked capacitor with a double wall crown shape”, US Patents , Publication Number US5652165
 15. “Method for manufacturing double crown capacitors self-aligned to node contacts on dynamic random access memory”, US Patents , Publication Number US5792689
 16. “Method for manufacturing dynamic random access memory(DRAM) cells with minimum active cell areas using sidewall-spacer bit lines”, US Patents , Publication Number US5858829
 17. “Method for crown type capacitor in dynamic random access memory”, US Patents , Publication Number US5956587
 18. “Method for fabricating a crown-type capacitor of a DRAM cell”, US Patents , Publication Number US5989952
-



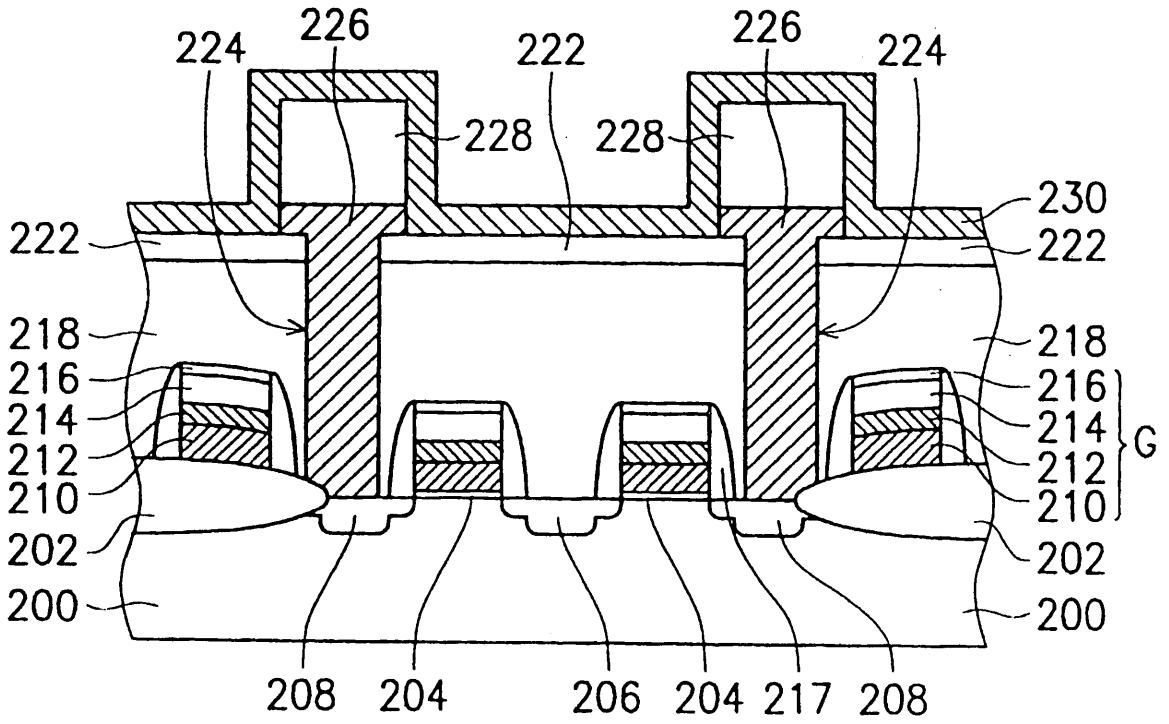
第 1 圖



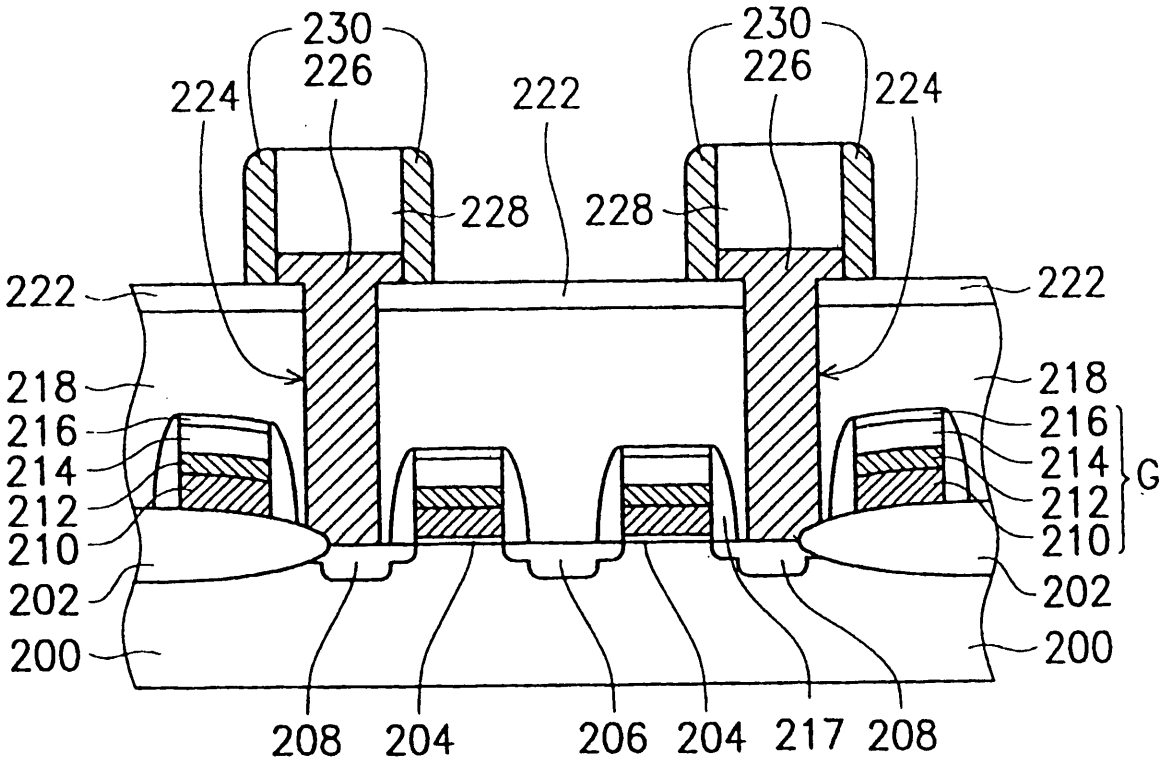
第 2 圖



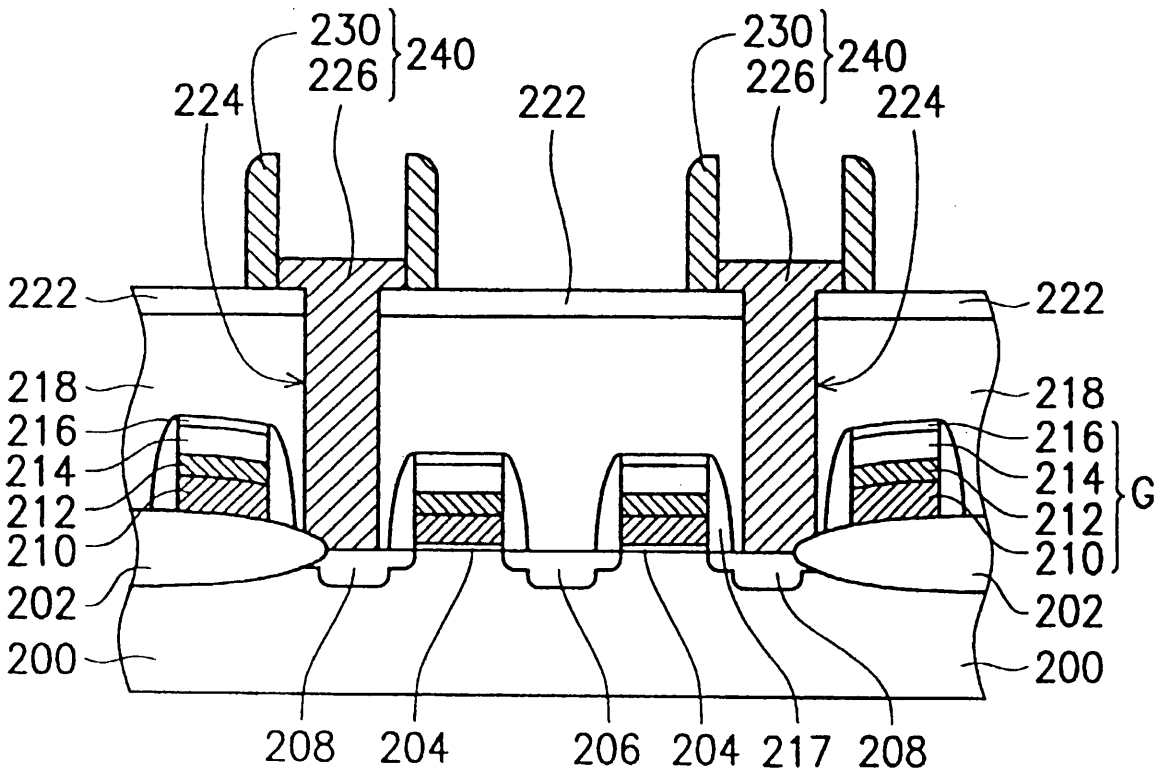
第 3 圖



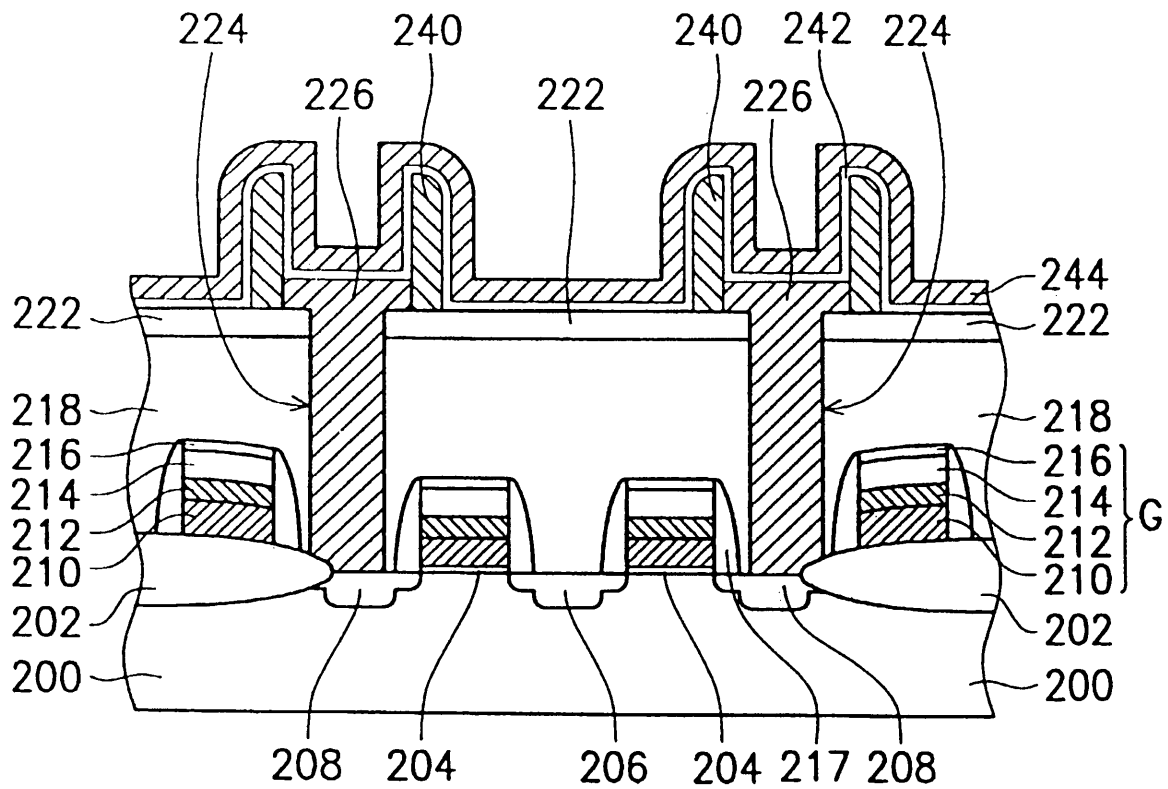
第 4 圖



第 5 圖



第 6 圖



第 7 圖

Method for Fabricating a Crown-type Capacitor of a DRAM cell

Chung-Cheng Chiang

Abstract

A method for fabricating a DRAM cell having a crown-type capacitor over a semiconductor substrate is presented. The method includes some steps as follows: (a)forming a transistor over the semiconductor substrate; (b)forming an insulating layer over the transistor; (c)selectively etching the insulating layer to form a contact opening; (d)forming a first conducting layer over the insulating layer and filling into the contact opening; (e)forming a sacrificial layer over the first conducting layer; (f)selectively etching the sacrificial layer as well as the first conducting layer; (g) forming a second conducting layer over the sacrificial layer as well as the insulating layer; (h)anisotropically etching the second conducting layer; (i)removing the sacrificial layer to form the bottom electrode of the crown-type capacitor; (j)forming a dielectric layer; and (k)forming the top electrode of the crown-type capacitor.

Key Words : crown-type capacitor, contact opening, selectively etching, anisotropically etching, dielectric layer, sacrificial layer.