

輸出緩衝電路之設計

蕭明椿

摘要

本文提出一種新穎之輸出緩衝電路，該輸出緩衝電路係於傳統輸出緩衝電路中加入一延遲電路，俾藉由該延遲電路以減少瞬間流經輸出電晶體之輸出電流，以期藉此以有效抑制接地端所感應之瞬間電位差，並避免接地電壓位準的浮動以及雜訊的發生，同時提升整個晶片之穩定度。

關鍵字：輸出緩衝電路、延遲電路、雜訊、浮動、穩定度

A Novel design for output buffer circuit

Ming-chuen Shiau

Abstract

A novel output buffer circuit with noise immunity has been developed. The feature of the output buffer circuit is that a delay means is introduced and appended in the conventional output buffer circuit. The delay means can drain the part of current of the output transistor, while the output transistor is transited from OFF state to ON state. This novel output buffer circuit can efficiently inhibit the instant induced voltage of the ground and prevent ground voltage from fluctuation. Therefore, the noise immunity and the stability of the entire semiconductor chip can be improved.

Key words : output buffer, noise immunity, delay means, fluctuation, stability, instant induced voltage.

一、簡介

本設計係關於一種半導體積體電路中之輸出緩衝電路[1]-[10]，尤指一種可降低雜訊之輸出緩衝電路。現今的積體電路設計愈來愈緊密，因此對於雜訊的要求也愈來愈嚴格，然而提升積體電路之工作能力與降低雜訊之間很難取得平衡。以輸出緩衝電路為例，在設計輸出緩衝電路時，通常會針對負載的大小來定出上升時間與下降時間的規格；當輸出緩衝電路必須推動較大的負載時，為了確保上升時間與下降時間不致太長，必須把輸出緩衝電路的面積加大以提高推動能力，然而大面積的輸出緩衝電路通常會產生較大的雜訊，進而會影響整個晶片的穩定度，因此發展出一種低雜訊的輸出緩衝電路是非常必要的。

由於電晶體由關閉(OFF)至導通(ON)的轉換瞬間會有電流通過，故在電晶體轉換瞬間會有很大的電流變化率(即 $\Delta I/\Delta t$ 很大)。根據電感效應：感應電壓差為引線電感值與電流變化率的乘積(即 $V_L=L \, dI/dt$ ；其中 V_L 為感應電壓差， L 為引線電感值，約10 nH， dI/dt 則為電流變化率)。因此，電晶體

在狀態轉換瞬間會在接地端感應一個瞬間電壓差(V_L)，該瞬間電壓差係正比於電流變化率，且可感應至晶片其它部份，此即為雜訊的來源之一。

圖一為根據先前技藝配置在一積體電路內之既有輸出緩衝電路，在積體電路內產生的輸入信號IN經由一由金氧半電晶體M1與M2所組成的反相器緩衝後，供應到NPN電晶體Q1的基極，電晶體Q1的集極接一電阻R2連接到電壓源VCC，而電晶體Q1的射極一方面接一電阻R1連接到接地端，另一方面連接到電晶體Q2的基極，電晶體Q2的射極直接連到接地端，而其集極則連接到一輸出端子，且由此端子連接到外部負載。

圖二是圖一輸出緩衝電路之輸出電流曲線，該圖係由OrCAD模擬取得之曲線圖。當輸入信號IN由高位準下降至低位準後，由於電晶體Q2是在主動區內工作，因此流經電晶體Q2的集極電流(即輸出電流)約等於電晶體Q1的基極電流和 h_{FE} (電晶體的電流放大因數)平方之乘積，此過大的輸出電流會造成接地位準之浮動，並從而產生雜

訊，而這些都是先前技藝有待克服的問題。

二、設計與模擬

本電路設計係考慮為克服先前之電路中所產生雜訊之問題而完成的，因此，本設計的主要目的是在降低輸出緩衝電路上升時所流經之輸出電流的大小，以及所流經輸出電流的電流變化率，並因而防止接地電壓位準浮動和雜訊的發生。為達成上述目的，本設計提供一前所未有的新穎輸出緩衝電路，該新穎輸出緩衝電路係於圖一之輸出緩衝電路中增添一延遲電路於輸入端子IN與金氧半電晶體M2的閘極之間，俾藉此以降低電晶體Q2於轉換瞬間之輸出電流大小及其電流變化率。

圖三是本設計較佳實施例之電路圖，該電路圖係於圖一之習知既有電路中增添一由4個反相器所組成的延遲電路。該反相器之數目並不局限於4個，可視電路之需求，選擇其他偶數。

在此電路中，當輸入信號IN在高位準時，金氧半電晶體M1關閉，而金氧半電晶體M2經一延遲電路所提供之延

遲時間後導通，隨即將電晶體Q1之基極拉低至接地電位，此接地電位於是使得電晶體Q1和Q2呈關閉狀態，因此輸出端呈高位準狀態。由此可知，當輸入信號IN呈高位準時，圖三所示的電路和圖一所示的傳統電路動作都相同，這也是設計新穎輸出緩衝電路時所必要滿足的條件之一。

而當輸入信號IN由高位準變為低位準時，電晶體Q2導通，且是在主動區內操作。如果在這時候電晶體Q1的射極電流扣抵流過電阻R1的微小電流後直接成為電晶體Q2的基極電流，則如傳統電路般，電晶體Q2的輸出電流會等於電晶體Q1的基極電流和 h_{FE} 平方的乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊。然而，在本設計中，當輸入信號IN由高位準變為低位準時，金氧半電晶體M1導通，並使得電晶體Q1的基極電壓開始由低位準變為高位準，但此時由於延遲電路之作用，金氧半電晶體M2仍會導通一段時間後才會關閉，於金氧半電晶體M2仍呈導通狀態期間，可吸走部份的金氧半電晶體M1之汲極電流，於是，

電晶體Q1的基極電流減少，從而減少流經電晶體Q1以及Q2的集極電流。因此，流過電晶體Q2的電流上升變得較適中，且流過電晶體Q2的電流最大值變得比傳統輸出緩衝電路的電流最大值還小。

圖四是本設計較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD模擬而得，由該曲線的結果，証實本設計確實可使流過電晶體Q2之電流上升率變得較緩和，且流過電晶體Q2的電流最大值變得比先前技術者還小。

綜上所述，本設計於輸入端子IN與金氧半電晶體M2的閘極之間藉增添一延遲電路（由偶數個反相器所構成）的新穎電路架構，確實可有效緩和輸出電流之電流變化率，且可抑制輸出電流之過電流量，故本設計可有效防止接地電壓位準浮動以及避免雜訊的發生。

三、結論

本設計提出一種前所未有、新穎的輸出緩衝電路架構，該輸出緩衝電路主要包括：一由P通道電晶體M1與N通道電晶體M2所組成的CMOS型反相器，

一基極連接至該CMOS型反相器輸出之第一NPN電晶體Q1，一基極連接至該第一NPN電晶體Q1之射極的第二NPN電晶體Q2，一連接於該第二NPN電晶體Q2的基極與接地端之間的第一電阻器R1，一連接於電源供應端與第一NPN電晶體Q1集極之間的第二電阻器R2，以及連接於輸入端子IN與N通道電晶體M2的閘極之間的一延遲電路。該延遲電路係由偶數個反相器所構成，用以當輸入信號IN由高位準變為低位準時，N通道電晶體M2仍能導通一段時間，以吸走部份的P通道電晶體M1之汲極電流，並使得電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之輸出電流。因此，輸出電流的電流變化率變得緩和，並且輸出電流的最大值變得更小，於是接地端所感應之瞬間電位差(VL)可獲得有效抑制，因而不但可避免接地電壓位準的浮動以及雜訊的發生，並且可提升整個晶片的穩定度。

四、參考文獻

1. 沖電氣(日本)，“輸出緩衝裝置”，公告案號TW353247，1999年2月
2. 義隆電子(中華民國)，“低噪音資料輸出緩衝器裝置”，公告案號TW347901，1999年2月
3. 三菱電機(日本)，“輸出緩衝電路”，公告案號TW333705，1998年6月
4. VLSI工藝(美國)，“隔離雜訊之輸入／輸出緩衝器”，公告案號TW324122，1998年1月
5. 東芝(日本)，“輸出緩衝電路”，公告案號TW321804，1997年12月
6. 工研院(中華民國)，“一個具有降低 $L \cdot di/dt$ 雜訊電壓的輸出緩衝器”，公告案號TW297966，1997年2月
7. 三星(韓國)，“半導體記憶裝置之資料輸出緩衝電路”，公告案號TW283778，1996年8月
8. 現代(韓國)，“用於半導體裝置之資料輸出緩衝器電路”，公告案號TW280050，1996年7月
9. 旺宏(中華民國)，“低雜訊輸出緩衝器”，公告案號TW275403，1996年5月
10. 聯電(中華民國)°A “輸出緩衝裝置”，公告案號TW268678，1996年1月

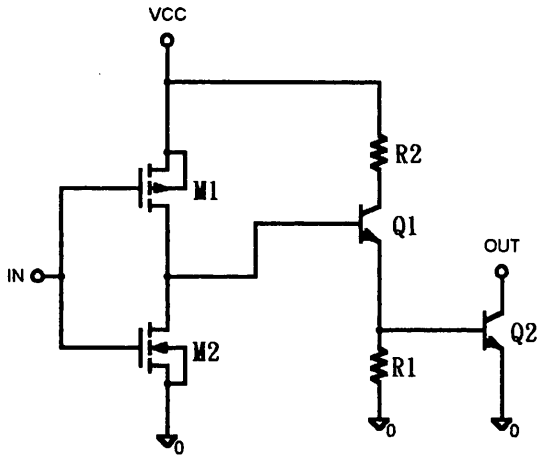
五、圖式說明

第一圖 先前技藝

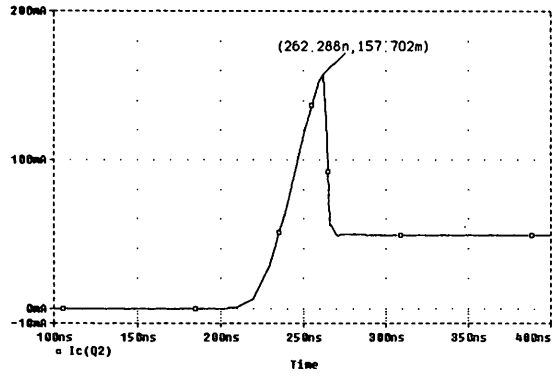
第二圖 先前技藝之OrCAD模擬結果

第三圖 本文所提出之電路

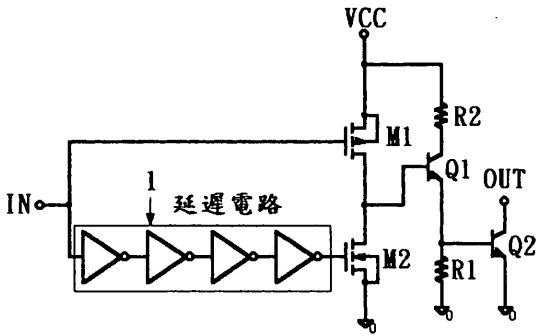
第四圖 本文所提電路之OrCAD模擬結果



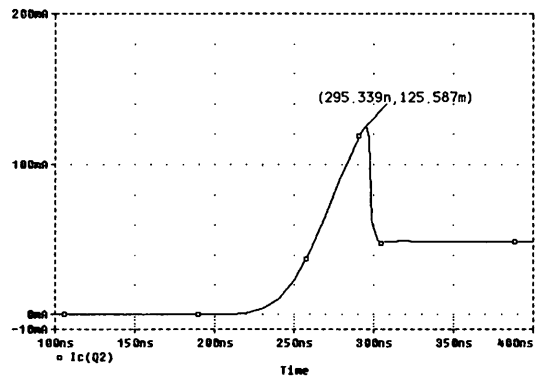
第一圖



第二圖



第三圖



第四圖