

系統晶片設計中IPv4模組電路的功能驗證方法

余建政、林振漢、駱麗、李哲英

摘要

本文中，我們透過對匹配性和一致性的定義，提出在系統晶片(SoC)設計技術中，基於功能模型的IPv4模組之匹配性和一致性設計以及驗證方法。同時，本文中還說明功能模型驗證的基本原理和演算法。

關鍵詞：功能驗證，匹配性，一致性，SoC

The Function Checking Method on Matching and Conforming Design for IPv4 Hardware Block

C. -C. Yu, C. -H. Lin, Li Luo, Zheyang Li

Abstract

In this paper, a verification method based on the function model of IPv4 block is addressed according to the discussion on matching and conforming, which is used for SoC design. The principle and algorithm of function model checking are also addressed.

Key Words : Function Checking, matching, conforming, SoC

一、前言

利用Internet網路作為現代控制系統的網路基本結構，是現代控制系統資訊化的一個重要研究領域。為了能在控制系統中利用Internet網路，要求網路中的各種設備(包括執行設備和感測設備)必須具有IP網路通信協定的功能。因此，在控制設備中嵌入IPv4 (Internet Protocol version 4) 已經成為現代控制設備設計中的一項重要技術。IP網路技術使控制系統更加靈活、高效率。對任何工業控制系統而言，IP網路功能可以提供廉價、靈活和可靠的控制網路，提供不同設備和元件之間資訊傳遞的有效通道和資訊資料控制，使控制系統中的所有設備或元件具有網路連接功能，進而使整個控制系統形成為智慧型網路。

為了能在控制設備中嵌入IP網路功能，可以採用SoC(System on Chip)技術設計智慧控制元件。由於SoC中包括有CPU核和其他多種模組電路，所以SoC元件實際上是一個十分複雜的系統。對這樣一個系統，驗證方法是一個重要的問題。對於SoC元件，如果在開始設計階段(即功能設計階段)不能對所設計的

系統進行驗證，則會造成整個設計工作的困難。IPv4能否與CPU核相互匹配協調工作，是設計階段必須加以驗證的重要內容。所以，智慧元件的SoC設計中必須對CPU核與IPv4模組電路間的匹配性和一致性進行設計，並對所設計的結構進行驗證。

本文對SoC中的匹配性和一致性設計方法加以討論，並提出IPv4匹配性和一致性驗證的功能模型和演算法。

二、匹配性與一致性

智慧控制器的SoC設計中，必須考慮下列兩個問題：

- (1)CPU核與IPv4模組之間的匹配；
- (2)CPU核與IPv4模組之間的順應。

2.1 匹配性定義

「匹配性」是指CPU核與IPv4模組電路之間可以實現實體連接，而不會產生任何違反電路規則的問題。由匹配性的定義可知兩個電路模組相互匹配的充分必要條件是：

- (1)電氣特性滿足連接要求；
- (2)邏輯特性滿足連接要求。

設CPU核與IPv4模組的電氣特性指標集合分別用 E 和 E' 表示，邏輯特性指標集

合分別用和表示，則CPU核與IP模組能滿足相互匹配的充分必要條件是：

$$(E_{pCPU}=E_{IP}) \wedge ((L_{pCPU}=\neg L_{IP}) \vee (L_{IP}=\neg L_{pCPU}))=1 \quad (1)$$

爲了建立模型驗證演算法，將上式重新描述爲

$$(E_{pCPU}=E_{IP}) \wedge ((L_{pCPU}=\neg L_{IP}) \vee (L_{IP}=\neg L_{pCPU})) \rightarrow E=1 \quad (2)$$

其中E=1表示CPU核與IPv4模組相互匹配。

上述定義說明：若CPU核與IPv4模組的電氣特性對應相等，信號線在邏輯上相互對應(即輸入的數量和輸出的數量相互對應相等)，則CPU核與IPv4模組電路相互匹配。由此可見，匹配性決定了CPU核與IPv4模組電路能否安全地相互連接。

上述匹配模型中僅提出了信號線在邏輯上相互對應，沒有指出信號線的排列順序。從電路分析的角度看，只要一個電路的輸入與另一個電路的輸出，或一個電路的輸出與另一個電路輸入相連接，則在電氣特性相同的條件下，這兩個電路完全可以直接連接而不會出現電氣上的問題。

2.2 一致性定義

「一致性」是指CPU核與IPv4模組電路連結後，CPU核與IPv4模組兩個電路都能正常工作。一致性與匹配性不同，匹配性僅考慮能否出現電氣特性問題和信號方向的邏輯問題，而一致性則提出了保證兩模組正常功能的條件。匹配性是從電氣特性和信號傳輸方向觀察CPU核與IPv4模組電路的連接結果，一致性則是從保證實現功能的角度觀察CPU核與IPv4模組電路的連接結果。

設P是CPU核對IPv4模組電路的控制過程，Q是IP模組的功能執行過程。如果

$$(P \rightarrow Q) \wedge (Q \rightarrow P) \quad \forall S \quad (3)$$

或

$$P \leftrightarrow Q \quad \forall S \quad (4)$$

則滿足一致性條件時

$$((P \rightarrow Q) \wedge (Q \rightarrow P)) \rightarrow C_{AB}=1 \quad (5)$$

其中C_{AB}=1表示CPU核與IP模組相互順應，S是CPU核與IP模組的所有可能狀態。可以證明上述定義是SoC中CPU核與IPv4模組電路能相互順應、正常工作的充分必要條件。

(i)充分性證明：

設P和Q是兩個相互獨立的處理過程，且 $P \leftrightarrow Q$ ，則CPU核與IP模組能接受相互的信號，互為功能執行條件，可見滿足一致性的要求。

(ii)必要性證明：

設P和Q是兩個相互獨立的處理過程，能接受並正確處理相互的信號，則必然存在 $P \leftrightarrow Q$ 。

透過上述討論可知，如果SoC中的IP模組能夠滿足匹配性和一致性條件，則SoC必然可以按設計要求實現所要求的功能。因此，在設計SoC的過程中，可以用匹配性和一致性來檢驗設計結果。

三、IPv4的匹配性和一致性設計

3.1 匹配性設計與形式化模型

匹配性設計的核心是：

(1) CPU核與IP通信模組具有相同的電氣特性。

(2) CPU核與IP通信模組具有相互對應的控制信號和資料交換介面。

在設計中，電氣特性包括直流電氣特性和交流電氣特性。除了要求電壓、電流等特性相同外，還要求邏輯信號的

電氣指標相互匹配。本文設計的SoC中，CPU核的具體電氣特性指標如下：

電源電壓

邏輯電位

輸出/吸收電流

最大時鐘頻率

信號電位的時序關係

上升/下降邊緣寬度

脈衝信號對大延遲時間

電位保持時間

本文設計的SoC中，CPU核提供給IPv4的介面結構如下：

8-bit資料線

2-bit控制輸入線

2-bit控制回應線

爲了滿足匹配性，必須按照上述規定設計IPv4模組電路的連接埠。根據本文對匹配性的描述，可以建立相對應的

$$M: f_{CPU} = A s_{IP}; \forall (S_{IO} \wedge E p_{CPU} \wedge E p_{IP}) \quad (6)$$

$$M: f_{IP} = A s_{CPU}; \forall (S_{IO} \wedge E p_{CPU} \wedge E p_{IP}) \quad (7)$$

其中M是形式模型的Kripke結構，A是運算元(表示對所有計算的路徑)， f_{CPU} 和 f_{IP} 是對CPU核與IP通信模組埠的形式， s_{CPU} 和 s_{IP} 分別是CPU核與IP通信模組介面的狀態。 S_{IO} 是CPU核與IP通信模組處理狀態的集合。

3.2 一致性設計與形式化模型

一致性設計主要顯現在不同模組電路的介面邏輯上，其內容包括資料字組長度、資料處理機制以及控制信號的輸入和輸出。

資料字組長度提供的是並行資料位元數。為滿足一致性要求，CPU與IPv4模組電路之間的資料線寬度必須完全相同或相容。設CPU對IP模組的資料位元數是 N ，IP模組連接到CPU的資料位元數是 M ，則必須有符 $N \geq M$ 。資料處理機制是指介面對資料的處理過程。CPU與IPv4模組電路之間的資料處理必須保持一致。控制信號的輸入和輸出與是否具有連接一致性直接相關。例如資料處理機制中需要的交握控制信號，就必須是CPU核與IPv4模組都認可的信號。本文中，CPU核與IPv4模組之間的控制信號包括：

- (1) CPU把控制資料寫入IPv4模組電路的通知信號WR
- (2) CPU向IPv4模組電路發出的IP資料報處理開始信號IPACK
- (3) IPv4模組電路處理完一個位元組的回饋信號ACK
- (4) IPv4模組電路向CPU發出的中斷請求

信號INT(用來通知CPU接收到了一個新的IP資料報)

根據式(5)，可以建立相對應的Kripke結構描述：

$$M:f_p| = A s_Q; \forall S_{IOQ} \tag{8}$$

$$M:f_Q| = A s_P; \forall S_{IOP} \tag{9}$$

其中 f_p 和 f_Q 是對介面的形式化描述， s_Q 和 s_P 是介面處理過程中的狀態。 S_{IOQ} 是IP模組處理狀態集合， S_{IOP} 是CPU連接IP模組的介面的處理狀態集合。

根據前面討論的結果，可以繪製出CPU核對IPv4模組電路的控制過程，如圖1和圖2所示。

圖1是CPU核控制IP模組發送資料過程，圖2是CPU核接收IP模組提出的IP報處理請求信號過程。

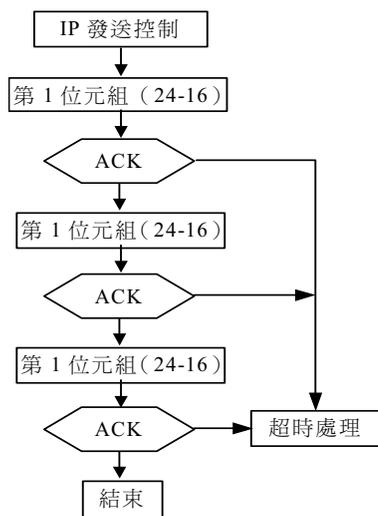


圖 1 CPU 控制 IP 模組發送過程

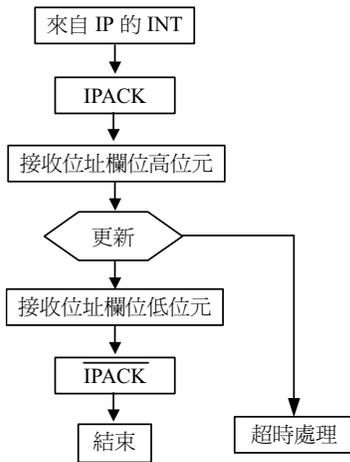


圖 2 CPU 處理 IP 資料報處理過程

四、匹配性與一致性的模型檢驗

模型檢查是一種根據要求和限制條件檢查設計是否滿足規範的方法。我們可以根據規範檢查SoC設計的結果[1]。在VLSI設計的EDA工具中，一般使用基於有限狀態機(FSM)的模型檢查方法，這種方法存在兩個問題：

- (1) 狀態和狀態轉移特性是設計結果的基礎[1]-[8]，這一特性可以用於檢查規範和狀態模型之間的不同。但是這種模型檢查方法是一種對設計結果細節進行檢查的方法，如果系統是一個大的SoC，存在檢查時間過長的問題。
- (2) 狀態不僅是系統執行的結果，也是系統工作過程和特性的結果[2]-[4]。大

系統的FSM特別複雜，如果考慮中間過程，驗證會由於狀態數量過多而很複雜。

4.1 功能驗證的概念

為了滿足SoC元件設計驗證的需要，本文提出了一個功能模型驗證方法，並將其應用於IPv4模組電路的匹配性和一致性驗證。功能驗證方法的核心，是檢查所設計模組電路是否具有設計要求的功能，這是一個頂層驗證的概念。

設 F 是功能的集合， F 的特性是：

- (1) 如果有一組功能 $\{f_i\} \in F$ ，則 $f_j = T(\{f_i\}) \in F$ ，其中 T 稱為傳遞運算元，且 $i, j = 0, 1, \dots, n$ 。
- (2) 設 $\{f_i\}$ 的限制條件 I ， $\{f_j\}$ 的限制條件為 J ，傳遞運算元 T 存在的充要條件是

$$J = \sup\{I\} \quad (10)$$

也就是， J 可以覆蓋 I 。

式(10)指明：如果存在，則設計結果能滿足設計要求。也就是說，如果在設計結果中找到一組特定的功能，且這組功能滿足特性(1)，則設計結果一定能滿足設計要求。

4.2 IPv4通信模組匹配性和一致性的功能

驗證演算法

要驗證設計結果的功能結構，首先需要建立能描述IPv4模組電路功能的模型，該模型就是IPv4模組電路的硬體驗證規範。

4.2.1接收CPU核控制命令功能驗證演算法

圖1說明CPU發送過程有3個位元組輸出狀態和3個回應狀態組成，其中的超時處理是CPU的另一個處理過程。就是說，CPU核的發送控制指令之後有6個CPU核處理狀態。這6個狀態實際上就是CPU核寫IP暫存器指令的執行過程。將這6個狀態寫成形式模型，即

$$\begin{aligned} M, f_0 \models s_0, \text{ iff } f_0(s_0) = 1 \\ M, f_i \models s_0, \text{ iff } f_i(s_j) = 1, \\ f_i = \bigcap_{0 \leq i} f_i = PC_i \wedge \bigcap_{0 \leq i \leq 6} f_i \end{aligned}$$

其中 s_0 是初始狀態， PC_i 是位元組計數。

爲了驗證該結構是否能執行圖8所示的流程，設 p_i 是指令計數器的狀態， s_i 是資料發送狀態，則可以得到以下功能模型：

$$\begin{aligned} M, s_0 \models Af \\ M, p_i \models XAf \text{ iff } ACK = \text{True} \\ M, s_i \models GAf \end{aligned}$$

其中， f 是形式，代表執行狀態的不同組合。對設計結果結構的檢查就是

$$S(p_i \wedge Af \wedge XAf \wedge GAf) = \emptyset \quad (11)$$

如果成立，則說明所設計的IPv4通信模組能夠順利地接收CPU核的控制字。

4.2.2向CPU核發出IP報處理請求功能驗證演算法

IPv4通信模組請求CPU核處理已接收IP報的功能，是指IPv4通信模組能否按照CPU核對請求信號的相應過程協調工作。圖2說明，CPU核接收IPv4通信模組的處理請求信號後，其處理過程包括2個回應狀態、1個等待狀態，以及2個接收位址資料狀態。如果IP模組能夠按照這5個狀態協調工作，則說明IP模組具有請求CPU處理IP報的功能。將這5個狀態

$$\begin{aligned} M, f_0 \models s_0, \text{ iff } f_0(s_0) = 1 \\ M, f_i \models s_0, \text{ iff } f_i(s_j) = 1, \\ f_i = \bigcap_{0 \leq i} f_i = PC_i \wedge \bigcap_{0 \leq i \leq 5} f_i \end{aligned}$$

寫成形式模型，即

其中 s_0 是初始狀態， PC_i 是位元組計數。同樣，爲了驗證IPv4通信模組是否

具有報文處理請求功能，即是否執行圖2所示的流程，設 p_i 是狀態計數器的狀態， s_i 是位址資料的發送狀態，則可以得到以下功能模型：

$$\begin{aligned} M, s_0 &= \mathbf{A}f \\ M, p_i &= \mathbf{X}A f \text{ iff IPACK} = \text{True} \\ M, s_i &= \mathbf{G}A f \end{aligned}$$

其中， f 是形式，代表執行狀態的不同組合。對設計結果結構的檢查的演算法就是

$$S(p_i \wedge \mathbf{A}f \wedge \mathbf{X}A f \wedge \mathbf{G}A f) = \emptyset \quad (12)$$

如果式(12)成立，則說明所設計的IP模組具有能與CPU協調處理已接收IP報的功能。

當IPv4模組電路的設計結果滿足式(11)和式(12)時，說明電路的設計結果滿足了匹配性和一致性要求，能夠完成設計要求所賦予的通信功能。有關具體的驗證程式此處從略。

五、結論

在智慧控制系統控制器SoC的結構設計階段，必須解決CPU核與IPv4模組電路之間的匹配性和一致性問題。在系統功能設計中，必須充分保證CPU核與

IPv4模組電路間具有良好的匹配性和一致性。匹配性和一致性是SoC功能完整實現的重要保證。

匹配性設計，是通過對CPU核與IPv4模組電路提出相應的電氣特性要求以及邏輯結構實現的。一致性設計，則是通過對CPU核與IPv4模組電路的介面操作設計實現的。同時，形式化模型的建立，為SoC匹配性和一致性的驗證提供了重要的檢驗手段。

為了在功能結構設計階段對所設計的結構進行驗證，可使用功能模型驗證方法。這種方法描述簡單，易於實現自動化。

參考文獻

- [1] S.K.Roy, S. Ramesh, S. "Functional verification of system on chips - practices, issues and challenges ", Proceedings of ASP-DAC 2002, 7th Asia and South Pacific and the 15th International Conference on VLSI Design. Proceedings. , 2002, pp 11 -13
- [2] A. Pnueli, "The temporal logic of programs", 18th IEEE Symposium on Foundation of Computer Science, pp

- 46-67, 1977
- [3] E. M. Clarke, Jr. O. Grumberg and D. A. Peled, "Model Checking", The MIT press, London, 1999.
- [4] R. Drechsler, B. Becker. "Binary Decision Diagrams - Theory and Implementation". Kluwer Academic Publisher, 1998
- [5] E. M. Clarke and E. A. Emerson. "Design synthesis of synchronization skeleton using branching time temporal Logic", Workshop In Logic of programs, Yorktown Heights, NY, May 1981.
- [6] F. R. Wagner, "A framework-based realization of an environment for formal hardware verification", Proc. 4th European Conf. Design Automation, pp.41-45, Feb. 1993
- [7] D. A. Stuart, M. Brockmeyer, A. K. Mok, F. Jahanian, " Simulation-verification: biting at the state explosion problem", IEEE Trans. Software Engineering, vol. 27, no. 7, pp.599 -617, July 2001
- [8] R. Mattolini, P. Nesi, "An interval logic for real-time system specification", IEEE Trans. Software Engineering, vol.27, no. 3, pp. 208 -227, March 2001
- [9] P. Mishra, H. Tomiyama, A. Halambi, P. Grun, N. Dutt, A. Nicolau, "Automatic modeling and validation of pipeline specifications driven by an architecture description language," Proc. ASP-DAC, pp. 458 -463, 2002
- [10] B. Bailey, D. Gajski, "RTL semantics and methodology," Proc. of 14th International Symp. System Synthesis, pp.69 -74, 2001
-