

【54】名稱：低功率電壓位準轉換電路
LOW-POWER LEVEL-SHIFTING CIRCUIT

【21】申請案號：097201632

【22】申請日：中華民國97(2008)年1月25日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種低功率電壓位準轉換電路，用以將一第一信號轉換為一第二信號，包含有：

一第一輸入端(IN)，用以提供一輸入電壓信號；

一第二輸入端(INB)，用以提供一輸入電壓(V(IN))的反相信號；

一輸出端(OUT)，用以輸出該第二信號；

一第一節點(X)，用以提供一輸入電

壓(V(IN))的反相信號；

一第二節點(Y)，用以提供控制信號至拉升電晶體(4)的閘極；

一第一電源電壓，用以提供電壓位準轉換電路所需之第一高電位電壓(VDDH)；

一第二電源電壓，用以提供電壓位準轉換電路所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)

之位準係小於該第一高電位電壓

(VDDH)之位準；

一第一反相器(1)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓(V(IN))信號反相的信號至第二反相器(2)；

一第二反相器(2)，用來接受第一節點(X)的信號，並提供一個輸出信號至第五 NMOS 電晶體(MN5)的閘極以及輸出端(OUT)；

一第三反相器(3)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第六 NMOS 電晶體(MN6)的閘極以及第二輸入端(INB)；

一拉升電晶體(4)，用來接受回授控制電路(5)所提供的信號，並提供第一反相器(1)一個第一高電位電壓(VDDH)，其係由一第四 PMOS 電晶體(MP4)組成，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第一 PMOS 電晶體(MP1)的源極，而其閘極則連接至第二節點(Y)；

一回授控制電路(5)，用來控制拉升電晶體(4)；以及

一拉降電晶體(6)，用以在輸入信號的電位發生變化時，將輸出端(OUT)電位拉降至地(GND)，其係由一第四 NMOS 電晶體(MN4)組成，其源極連接至地(GND)，其汲極連接至輸出端(OUT)，而其閘極則連接至第二輸入端(INB)。

2.如申請專利範圍第1項所述的低功率電壓位準轉換電路，其中該第一反相器(1)包括：

一第一 PMOS 電晶體(MP1)，其源極連接至第四 PMOS 電晶體(MP4)的汲極，其汲極連接至第一 NMOS 電晶體(MN1)的汲極，而其閘極則連接至第一輸入端(IN)；以及

一第一 NMOS 電晶體(MN1)，其源

極連接至地(GND)，其汲極連接至第一 PMOS 電晶體(MP1)的汲極，而其閘極則連接至第一輸入端(IN)。

3.如申請專利範圍第2項所述的低功率電壓位準轉換電路，其中該第二反相器(2)包括：

一第二 PMOS 電晶體(MP2)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第二 NMOS 電晶體(MN2)的汲極，而其閘極則連接至第一節點(X)；以及

一第二 NMOS 電晶體(MN2)，其源極連接至地(GND)，其汲極連接至第二 PMOS 電晶體(MP2)的汲極，而其閘極則連接至第一節點(X)。

4.如申請專利範圍第3項所述的低功率電壓位準轉換電路，其中該第三反相器(3)包括：

一第三 PMOS 電晶體(MP3)，其源極連接至第二高電位電壓(VDDL)，其汲極連接至第三 NMOS 電晶體(MN3)的汲極，而其閘極則連接至第一輸入端(IN)；以及

一第三 NMOS 電晶體(MN3)，其源極連接至地(GND)，其汲極連接至第三 PMOS 電晶體(MP3)的汲極，而其閘極則連接至第一輸入端(IN)。

5.如申請專利範圍第4項所述的低功率電壓位準轉換電路，其中該回授控制電路(5)包括：

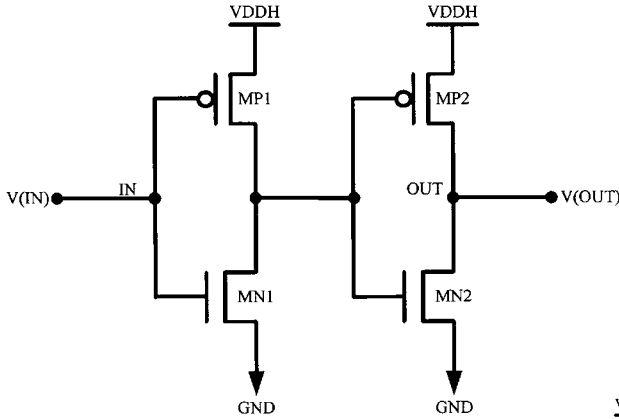
一第五 NMOS 電晶體(MN5)，其源極連接至第六 NMOS 電晶體(MN6)的汲極，其汲極連接至第一高電位電壓(VDDH)，而其閘極則連接至輸出端(OUT)；以及

一第六 NMOS 電晶體(MN6)，其源極連接至地(GND)，其汲極連接至第五 NMOS 電晶體(MN5)的源極，而其閘極則連接至第二輸入端(INB)。

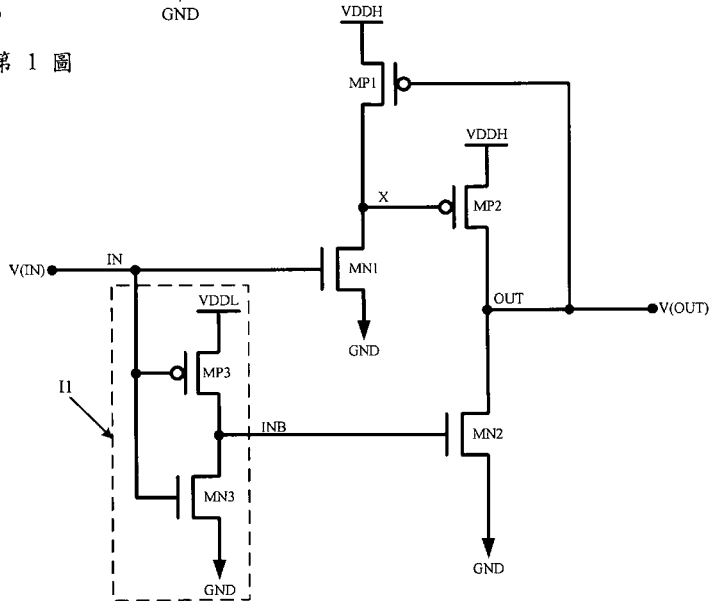
6.如申請專利範圍第1項所述的低功率

電壓位準轉換電路，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

- 7.如申請專利範圍第6項所述的低功率電壓位準轉換電路，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。
- 8.如申請專利範圍第7項所述的低功率電壓位準轉換電路，其中該第三反相器(3)的電壓源為該第二高電位電壓(VDDL)。



第 1 圖

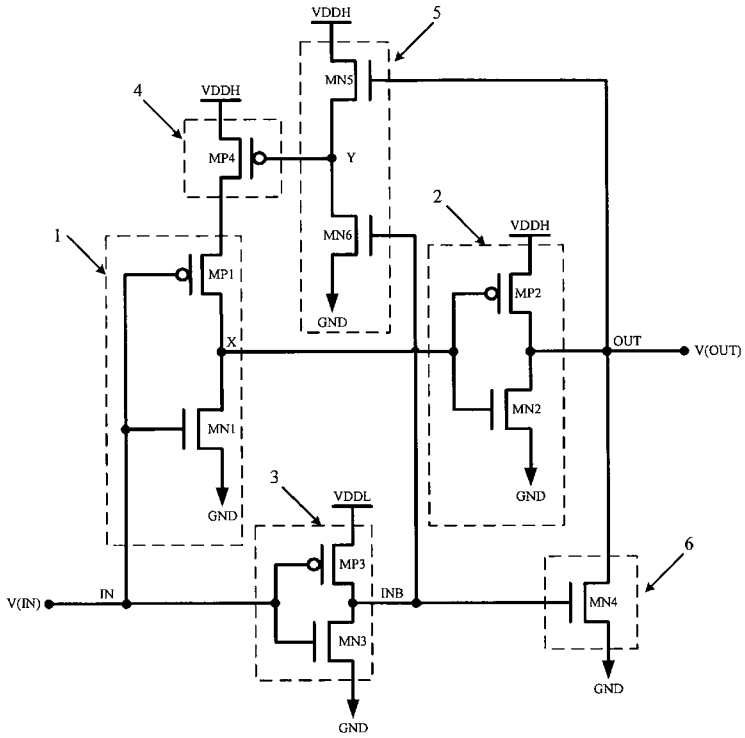


第 2 圖

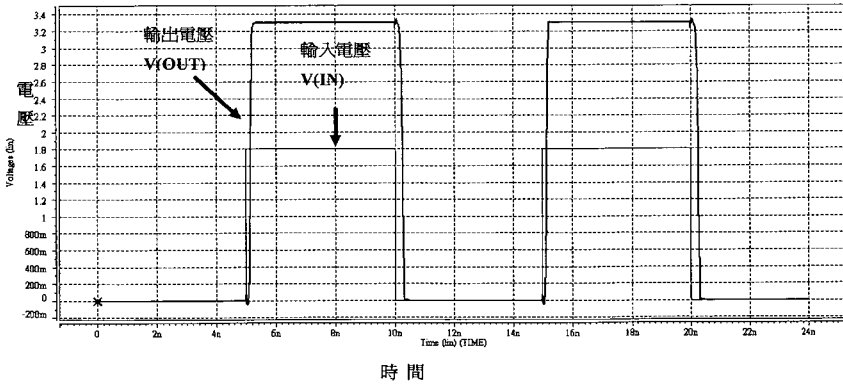
圖式簡單說明：

- 第 1 圖係顯示第一先前技術中電壓位準轉換電路之電路圖；
- 第 2 圖係顯示第二先前技術中電壓位準轉換電路之電路圖；
- 第 3 圖係顯示本創作較佳實施例之電壓位準轉換電路之電路圖；
- 第 4 圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

(4)



第 3 圖



第 4 圖