

【54】名稱：具低功率消耗之NP骨牌式電路

NP-DOMINO CIRCUIT WITH LOWERING POWER CONSUMPTION

【21】申請案號：097221861

【22】申請日：中華民國97(2008)年12月5日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；陳冠宇 CHEN, GUAN YU

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低功率消耗之NP骨牌式電路，其包括：

一第一控制電路(5)；

一第二控制電路(6)；

複數個具NMOS樹之骨牌式基本閘；以及

複數個具可控PMOS樹之骨牌式基本閘；

其中該等具NMOS樹之骨牌式基本閘與該等具可控PMOS樹之骨牌式

基本閘係交隔串接配置；

每一具NMOS樹之骨牌式基本閘更包括有：

一第一PMOS電晶體(MP1)，其源極連接至一第一電源電壓(Vdd)，閘極用於接受一時脈(clk)，而汲極則連接至一第一內部節點(N1)；

一第一NMOS電晶體(MN1)，其源極連接至參考接地，閘極用於接受該時脈(clk)，而汲極則連接至一第二

內部節點(N2)；

一 NMOS 樹(1)，其連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號(INN1、INN2、、、INNn)，以便對該等邏輯輸入信號(INN1、INN2、、、INNn)執行一邏輯運算；

一第一保持電路(3)，供有效保持該具 NMOS 樹之骨牌式基本閘的第一輸出端(OUT1)之信號不受電荷重新分佈、耦合雜訊、及 / 或漏電流等的影響；以及

一時脈(c1k)，該時脈(c1k)具有一第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；

每一具可控 PMOS 樹之骨牌式基本閘更包括有：

一具 PMOS 樹之骨牌式基本閘與一第一開關(SW1)所組成，該第一開關(SW1)係由一 PMOS 電晶體所組成，且係連接在一第一電源電壓(Vdd)與該具 PMOS 樹之骨牌式基本閘之間，並受一待機指示信號(SB)所控制，而該具 PMOS 樹之骨牌式基本閘更包括有：

一第二 PMOS 電晶體(MP2)，其源極連接至該第五內部節點(N5)，閘極用於接受一反相時脈(/c1k)，而汲極則連接至一第三內部節點(N3)；

一第二 NMOS 電晶體(MN2)，其源極連接至參考接地，閘極用於接受該反相時脈(/c1k)，而汲極則連接至一第四內部節點(N4)；

一 PMOS 樹(2)，其連接在該第三內部節點(N3)與該第四內部節點(N4)之間，並接受複數個邏輯輸入信號(INP2、、、INPn)，以便對該等邏輯輸入信號(INP2、、、INPn)執行一邏輯運算；

一第二保持電路(4)，供有效保持該具 PMOS 樹之骨牌式基本閘的第二輸出端(OUT)之信號不受電荷重新分佈、耦合雜訊、及 / 或漏電流等的影響；以及

一反相時脈(/c1k)，該反相時脈(/c1k)具有該第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；該第一控制電路(5)更包括有：

5. 一第四 PMOS 電晶體(MP4)，該第四 PMOS 電晶體(MP4)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該時脈(c1k)，而汲極則連接至該第一 PMOS 電晶體(MP1)之一基底；

10. 一第五 PMOS 電晶體(MP5)，該第五 PMOS 電晶體(MP5)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該反相時脈(/c1k)，而汲極則連接至該第二 PMOS 電晶體(MP2)之一基底；

15. 一第六 PMOS 電晶體(MP6)，該第六 PMOS 電晶體(MP6)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受該反相時脈(/c1k)，而汲極則連接至該第一 PMOS 電晶體(MP1)之該基底與該第四 PMOS 電晶體(MP4)之該汲極；以及

20. 一第七 PMOS 電晶體(MP7)，該第七 PMOS 電晶體(MP7)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受該時脈(c1k)，而汲極則連接至該第二 PMOS 電晶體(MP2)之該基底與該第五 PMOS 電晶體(MP5)之該汲極；

25. 而該第二控制電路(6)則更包括有：

30. 一第八 PMOS 電晶體(MP8)，該第八 PMOS 電晶體(MP8)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該待機指示信號(SB)，而汲極則連接至該第一開關(SW1)之一基底；以及

35. 一第九 PMOS 電晶體(MP9)，該第九

PMOS 電晶體(MP9)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受一反相待機指示信號(/SB)，而汲極則連接至該第一開關(SW1)之該基底與該第八 PMOS 電晶體(MP8)之該汲極。

2.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，其中該第一保持電路(3)更包括有：

一第一反相器(INV1)，該第一反相器(INV1)係連接在該具 NMOS 樹之骨牌式基本閘的第一輸出端(OUT1)與一第三 PMOS 電晶體(MP3)之閘極之間；以及

一第三 PMOS 電晶體(MP3)，其汲極連接至該第一內部節點(N1)，閘極連接至該第一反相器(INV1)的輸出，源極連接至該第一電源電壓(Vdd)，而基底則連接至該第八 PMOS 電晶體(MP8)之該汲極以及該第九 PMOS 電晶體(MP9)之該汲極。

3.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，其中該第二保持電路(4)更包括有：

一可控反相器，該可控反相器係由一第二反相器(INV2)與一第二開關(SW2)所組成，該第二開關(SW2)係由一 PMOS 電晶體所組成，且係連接在該第一電源電壓(Vdd)與該第二反相器(INV2)之正電源端子之間，並受該待機指示信號(SB)所控制，而該第二反相器(INV2)係連接在該具 PMOS 樹之骨牌式基本閘的第二輸出端(OUT)與一第三 NMOS 電晶體(MN3)之閘極之間；以及

一第三 NMOS 電晶體(MN3)，其源極連接至參考接地，閘極連接至該第二反相器(INV2)的輸出，汲極連接至該第四內部節點(N4)，而基底則連接至該第八 PMOS 電晶體(MP8)之該

汲極以及該第九 PMOS 電晶體(MP9)之該汲極。

4.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，該第二電源電壓(Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。

5.

5.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，該時脈(cik)於一求值相位(Evaluation phase)期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。

10.

6.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，該時脈(cik)於一預充/放電相位期間，係設定為參考接地之邏輯低電位。

15.

7.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，該反相時脈(/cik)於一預充/放電相位(Precharge/predischarge phase)期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。

20.

8.如申請專利範圍第 1 項所述之具低功率消耗之 NP 骨牌式電路，該反相時脈(/cik)於一求值相位期間，係設定為參考接地之邏輯低電位。

25.

9.如申請專利範圍第 1 項所述之具低待機電流之 NP 骨牌式電路，該待機指示信號(SB)於一操作模式(Active mode)期間，係設定為參考接地之邏輯低電位。

30.

10.如申請專利範圍第 1 項所述之具低待機電流之 NP 骨牌式電路，該待機指示信號(SB)於一待機模式(Standby mode)期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。

35.

11.如申請專利範圍第 1 項所述之具低待機電流之 NP 骨牌式電路，該反相待機指示信號(/SB)於一操作模式(Active mode)期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。

40.

12.如申請專利範圍第 1 項所述之具低待機電流之 NP 骨牌式電路，該反相待機指示信號(/SB)於一待機模式(Standby mode)期間，係設定為參考接地之邏輯低電位。

圖式簡單說明：

第 1 圖 係顯示一種習知具 NP 之

骨牌系統；

第 2 圖 係顯示一種習知具 NP 之骨牌式基本閘；

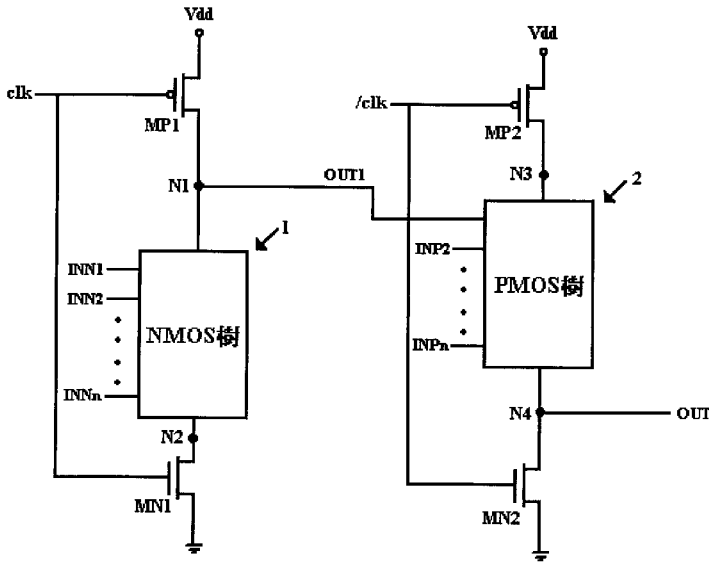
第 3 圖 係顯示另一種習知具 NP 之骨牌式基本閘；

5.

第 4 圖 係顯示本創作較佳實施例之具低功率消耗之 NP 骨牌式電路。

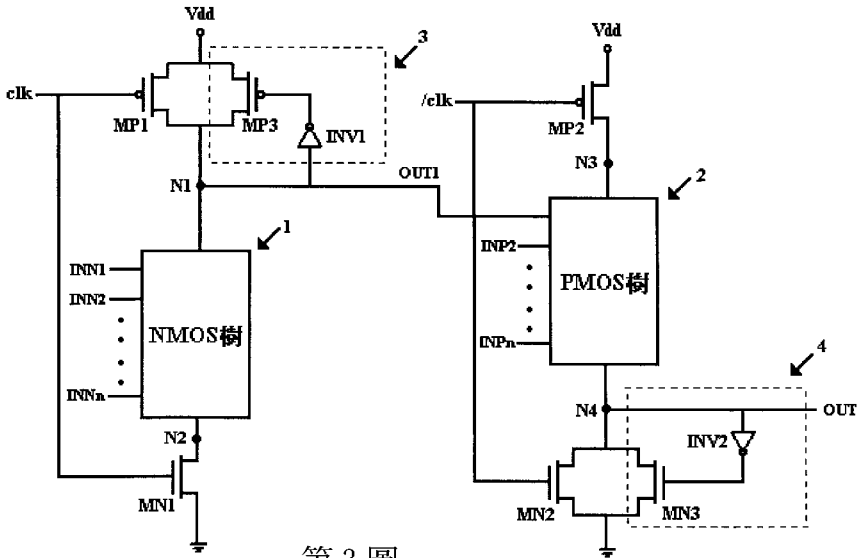


第 1 圖

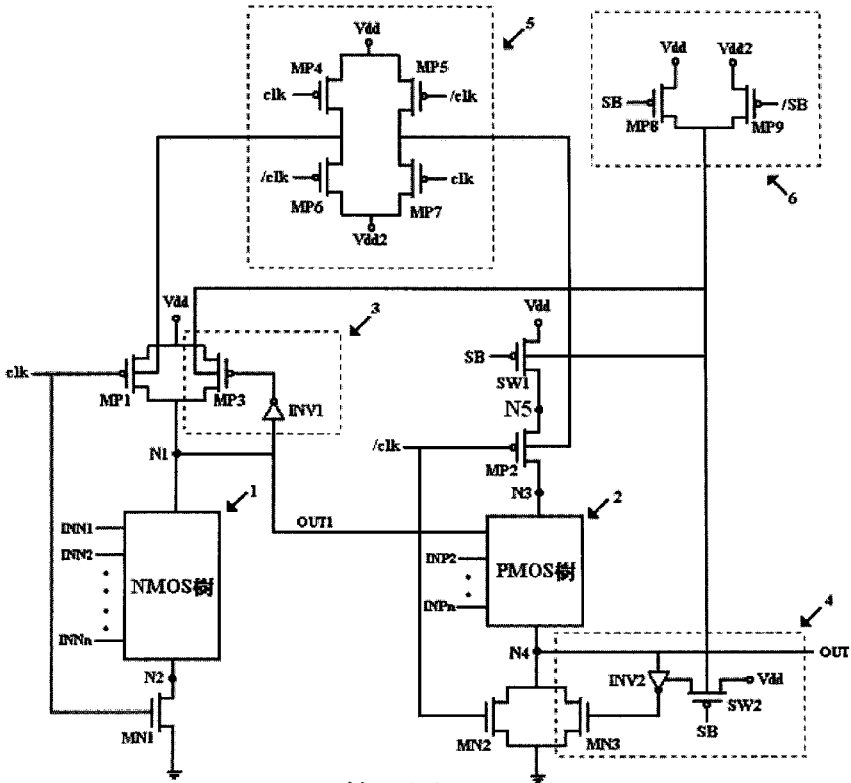


第 2 圖

(5)



第 3 圖



第 4 圖

