

【11】證書號數：I362831

【45】公告日：中華民國 101 (2012) 年 04 月 21 日

【51】Int. Cl.： H03K19/096 (2006.01)

發明

全 5 頁

【54】名稱：NP 骨牌式電路

NP-DOMINO CIRCUIT

【21】申請案號：098101325

【22】申請日：中華民國 98 (2009) 年 01 月 15 日

【11】公開編號：201027919

【43】公開日期：中華民國 99 (2010) 年 07 月 16 日

【72】發明人：蕭明椿 (TW) SHIAU, MING CHUEN；陳裕勳 (TW) CHEN, YU SHIUN

【71】申請人：修平學校財團法人修平科技大學 HSIUPING UNIVERSITY OF SCIENCE AND TECHNOLOGY

臺中市大里區工業路 11 號

【56】參考文獻：

TW M348425

審查人員：陳明德

[57]申請專利範圍

1. 一種 NP 骨牌式電路，其包括：一控制電路(5)；複數個具 NMOS 樹之骨牌式基本閘；以及複數個具 PMOS 樹之骨牌式基本閘；其中該等具 NMOS 樹之骨牌式基本閘與該等具 PMOS 樹之骨牌式基本閘係呈交隔串接配置；每一具 NMOS 樹之骨牌式基本閘更包括有：一第一 PMOS 電晶體(MP1)，其源極連接至一第一電源電壓(Vdd)，閘極用於接受一時脈(c1k)，而汲極則連接至一第一內部節點(N1)，其中該第一內部節點(N1)係構成該具 NMOS 樹之骨牌式基本閘的一第二輸出端(OUT2)；一第一 NMOS 電晶體(MN1)，其源極連接至參考接地，閘極用於接受該時脈(c1k)，而汲極則連接至一第二內部節點(N2)；一 NMOS 樹(1)，其連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號(INN1、INN2、...、INNn)，以便對該等邏輯輸入信號(INN1、INN2、...、INNn)執行一邏輯運算；一時脈(c1k)，該時脈(c1k)具有一第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；以及一第一保持電路(3)，供有效保持該具 NMOS 樹之骨牌式基本閘的一第一輸出端(OUT1)及該第二輸出端(OUT2)之信號不受電荷重新分佈、耦合雜訊、及/或漏電流等的影響；該第一保持電路(3)更包括有：一第一反相器(INV1)，該第一反相器(INV1)係連接在該第一內部節點(N1)與一第三 PMOS 電晶體(MP3)之閘極之間，且該第一反相器(INV1)之正電源端子連接至一第五內部節點(N5)，其中該第三 PMOS 電晶體(MP3)之閘極係構成該具 NMOS 樹之骨牌式基本閘的該第一輸出端(OUT1)；一第三 PMOS 電晶體(MP3)，其汲極連接至該第一內部節點(N1)，閘極連接至該第一反相器(INV1)的輸出，源極連接至該第五內部節點(N5)；以及一第四 NMOS 電晶體(MN4)，其汲極連接至該第一輸出端(OUT1)以及該第三 PMOS 電晶體(MP3)之閘極，閘極連接至一反相時脈(/c1k)，源極連接至參考接地；每一具 PMOS 樹之骨牌式基本閘更包括有：一第二 PMOS 電晶體(MP2)，其源極連接至該第五內部節點(N5)，閘極用於接受該反相時脈(/c1k)，而汲極則連接至一第三內部節點(N3)；一第二 NMOS 電晶體(MN2)，其源極連接至參考接地，閘極用於接受該反相時脈(/c1k)，而汲極則連接至一第四內部節點(N4)，其中該第四內部節點(N4)係構成該具 PMOS 樹之骨牌式基本閘的一第四輸出端(OUT4)；一 PMOS 樹(2)，其連接在該第三內部節點(N3)與該第四內部節點(N4)之間，並接受複數個邏輯輸入信號(INP2、...、INPn)，以便對該等邏輯輸入信號(INP2、...、INPn)執行一邏

(2)

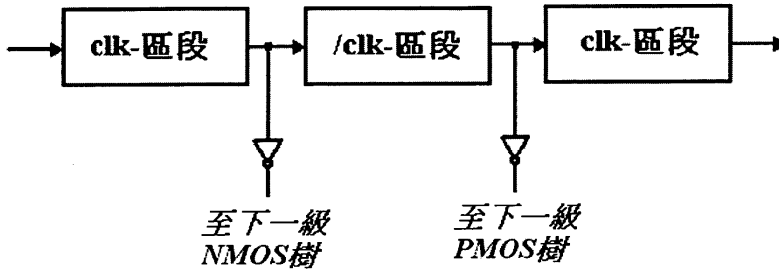
輯運算；一反相時脈(/clk)，該反相時脈(/clk)具有該第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；以及一第二保持電路(4)，供有效保持該具 PMOS 樹之骨牌式基本閘之一第三輸出端(OUT3)及該第四輸出端(OUT4)之信號不受電荷重新分佈、耦合雜訊、及/或漏電流等的影響；該第二保持電路(4)更包括有：一第二反相器，該第二反相器(INV2)係連接在該第四內部節點(N4)與一第三 NMOS 電晶體(MN3)之閘極之間，且該第二反相器(INV2)之正電源端子連接至該第五內部節點(N5)，其中該第三 NMOS 電晶體(MN3)之閘極係構成該具 PMOS 樹之骨牌式基本閘的該第三輸出端(OUT3)；一第三 NMOS 電晶體(MN3)，其源極連接至參考接地，閘極連接至該第二反相器(INV2)的輸出，而汲極則連接至該第四內部節點(N4)；以及一第八 PMOS 電晶體(MP8)，其汲極連接至該第三輸出端(OUT3)與該第三 NMOS 電晶體(MN3)之閘極，閘極用於接受該時脈(/clk)，源極連接至該第一電源電壓(Vdd)；該控制電路(5)更包括有：一開關(SW)，該開關係由一 PMOS 電晶體所組成，且係連接在該第一電源電壓(Vdd)與該第五內部節點(N5)之間，並受一待機指示信號(SB)所控制；一第四 PMOS 電晶體(MP4)，該第四 PMOS 電晶體(MP4)之源極連接至該第五內部節點(N5)，閘極用於接受該時脈(/clk)，而汲極則連接至該第一 PMOS 電晶體(MP1)之一基底與該第八 PMOS 電晶體(MP8)之一基底；一第五 PMOS 電晶體(MP5)，該第五 PMOS 電晶體(MP5)之源極連接至該第五內部節點(N5)，閘極用於接受該反相時脈(/clk)，而汲極則連接至該第二 PMOS 電晶體(MP2)之一基底；一第六 PMOS 電晶體(MP6)，該第六 PMOS 電晶體(MP6)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受該反相時脈(/clk)，而汲極則連接至該第一 PMOS 電晶體(MP1)之該基底與該第八 PMOS 電晶體(MP8)之該基底與該第四 PMOS 電晶體(MP4)之該汲極；以及一第七 PMOS 電晶體(MP7)，該第七 PMOS 電晶體(MP7)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受該時脈(/clk)，而汲極則連接至該第二 PMOS 電晶體(MP2)之該基底與該第五 PMOS 電晶體(MP5)之該汲極。

2. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該第二電源電壓(Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。
3. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該時脈(/clk)於一求值相位期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。
4. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該時脈(/clk)於一預充/放電相位期間，係設定為參考接地之邏輯低電位。
5. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該反相時脈(/clk)於一預充/放電相位期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。
6. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該反相時脈(/clk)於一求值相位期間，係設定為參考接地之邏輯低電位。
7. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該待機指示信號(SB)於一操作模式(Active mode)期間，係設定為參考接地之邏輯低電位。
8. 如申請專利範圍第 1 項所述之 NP 骨牌式電路，該待機指示信號(SB)於一待機模式(Standby mode)期間，係設定為該第二電源電壓(Vdd2)之邏輯高電位。

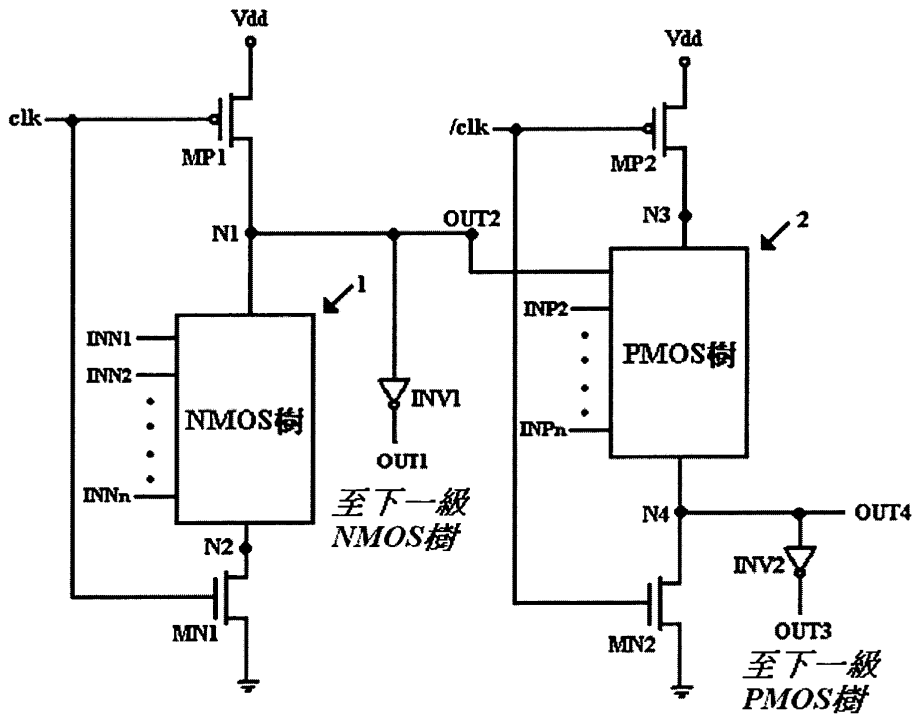
#### 圖式簡單說明

- 第 1 圖 係顯示一種習知具 NP 骨牌式電路之骨牌系統；
- 第 2 圖 係顯示一種習知具 NP 之骨牌式基本閘；
- 第 3 圖 係顯示另一種習知具 NP 之骨牌式基本閘；
- 第 4 圖 係顯示本發明較佳實施例之 NP 骨牌式電路。

(3)

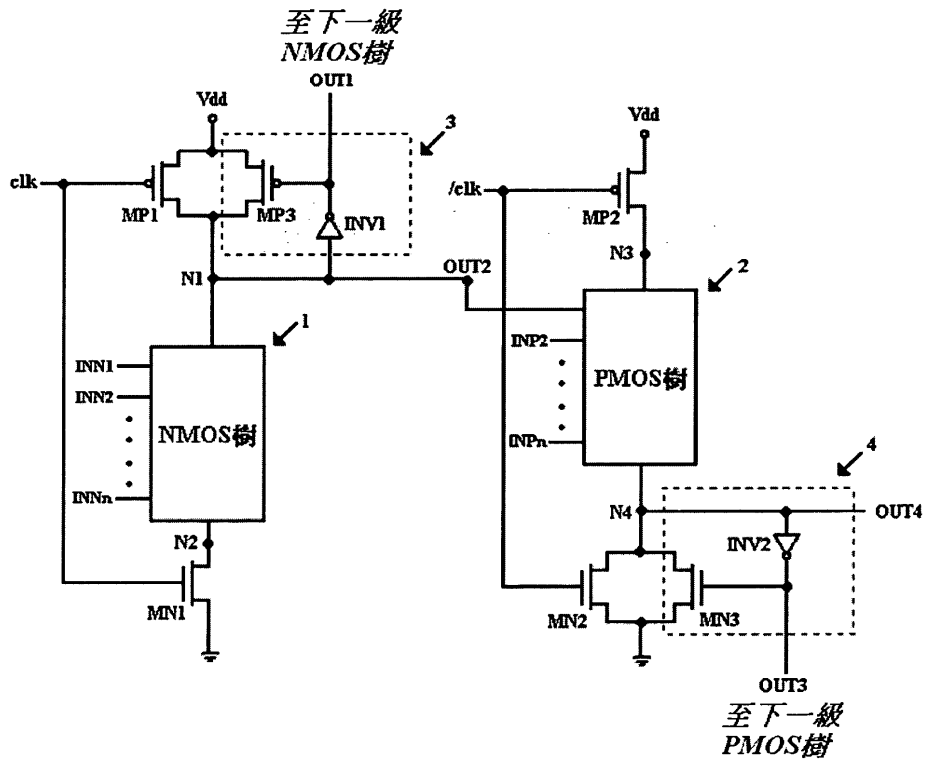


第 1 圖



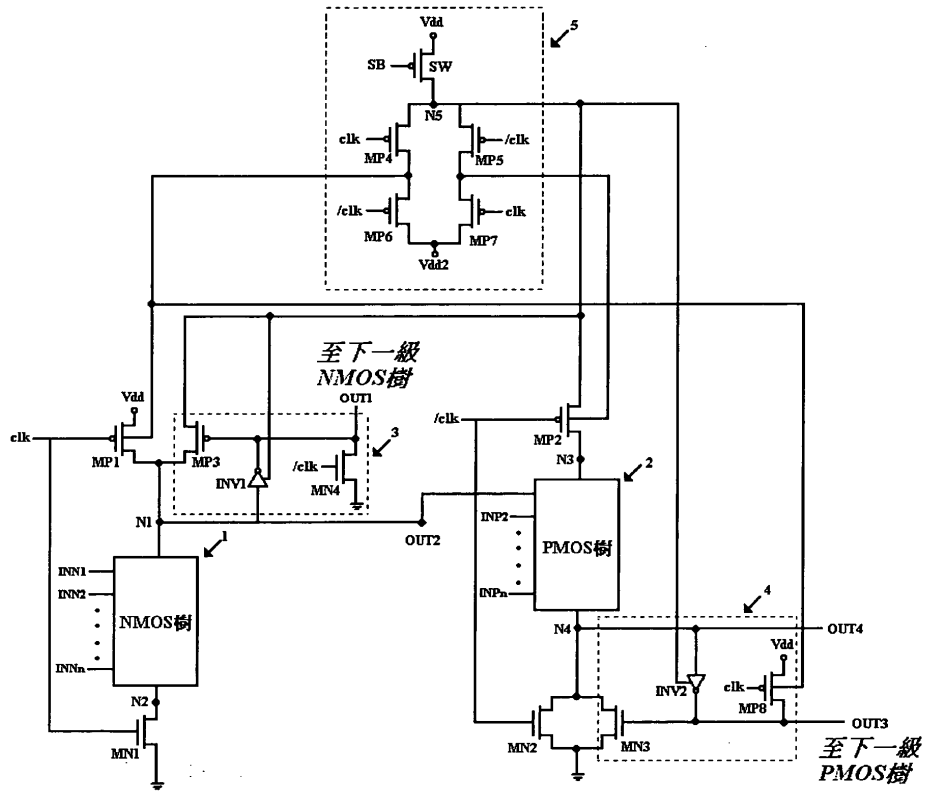
第 2 圖

(4)



第 3 圖

(5)



第 4 圖

