

【11】證書號數：M386579

【45】公告日：中華民國 99 (2010) 年 08 月 11 日

【51】Int. Cl.： G11C7/12 (2006.01)

新型

全 7 頁

【54】名稱：寫入操作時降低電源電壓之雙埠靜態隨機存取記憶體(SRAM)
DUAL PORT SRAM HAVING A LOWER POWER VOLTAGE IN WRITING
OPERATION

【21】申請案號：099202277 【22】申請日：中華民國 99 (2010) 年 02 月 04 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；賈炎叡 (TW) CHIA, YEN JUI；劉芳志 (TW) LIU, FANG CHIH

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路 11 號

[57]申請專利範圍

1. 一種寫入操作時降低電源電壓之雙埠 SRAM，包括：一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；複數個第一偏壓電路(2)，每一列記憶體晶胞設置一個第一偏壓電路(2)，該第一偏壓電路(2)係用以接收一控制信號(SAP)與一寫入用字元線(WWL)，且僅於該控制信號(SAP)為代表待機模式(standby mode)之邏輯高位準或該寫入用字元線(WWL)為代表選定寫入狀態之邏輯高位準時，方將一低電源供應電壓(LV_{DD})供應至一高電壓節點(VH)，除此之外，則將一高電源供應電壓(HV_{DD})供應至該高電壓節點(VH)；以及一第二偏壓電路(3)，該第二偏壓電路(3)係用以接收一反相控制信號(SAP)，且於該反相控制信號(SAP)為代表主動模式之邏輯高位準時，將接地電壓供應至一低電壓節點(VL)，而於該反相控制信號(SAP)為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點(VL)；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與一寫入用位元線(WBL)之間，且閘極連接至該寫入用字元線(WWL)；一讀取用選擇電晶體(MRS)，其一端連接至一讀取用位元線(RBL)，另一端與一反相電晶體(MINV)相連接，而閘極則連接至一讀取用字元線(RWL)；以及一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至該低電壓節點(VL)，而閘極則連接至反相儲存節點(B)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端，其中，每一第一偏壓電路(2)係由一第三 PMOS 電晶體(P21)、一第四 PMOS 電晶體(P22)、一第三反相器(I23)、一第五 PMOS 電晶體(P24)、一第六 PMOS 電晶體(P25)以及四第三反相器(I26)所組成，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至該第五 PMOS 電晶體(P24)之汲極端、該寫入用字元線(WWL)與該高電壓節點(VH)；該第四 PMOS 電晶體

(2)

(P22)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、該第三反相器(I23)之輸出端與該高電壓節點(VH)，該第三反相器(I23)之輸入端則用以接收該寫入用字元線(WWL)；該第五 PMOS 電晶體(P24)之源極、閘極與汲極係分別連接至該高電源供應電壓(HV_{DD})、該控制信號(SAP)與該第三 PMOS 電晶體(P21)之源極端；該第六 PMOS 電晶體(P25)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、該第四反相器(I26)之輸出端與該高電壓節點(VH)，該第四反相器(I23)之輸入端則用以接收該控制信號(SAP)並於輸出端產生該反相控制信號(\overline{SAP})。

2. 如申請專利範圍第 1 項所述之寫入操作時降低電源電壓之雙埠 SRAM，其中該第二偏壓電路(3)係由一第三 NMOS 電晶體(M31)以及一第四 NMOS 電晶體(M32)所組成，該第三 NMOS 電晶體(M31)之源極、閘極與汲極係分別連接至接地電壓、該反相控制信號(\overline{SAP})與該低電壓節點(VL)，該第四 NMOS 電晶體(M32)之源極係連接至接地電壓，而閘極與汲極則連接在一起，並連接至該低電壓節點(VL)。
3. 如申請專利範圍第 1 項所述之寫入操作時降低電源電壓之雙埠 SRAM，其中，該寫入用字元線(WWL)之邏輯高位準係為該高電源供應電壓(HV_{DD})之位準。
4. 如申請專利範圍第 1 項所述之寫入操作時降低電源電壓之雙埠 SRAM，其中，該讀取用字元線(RWL)於讀取操作期間係設定為該高電源供應電壓(HV_{DD})，而於讀取操作以外之期間則設定為低於接地電壓之電壓位準。

圖式簡單說明

第 1 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；

第 2 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

第 3 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；

第 4 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

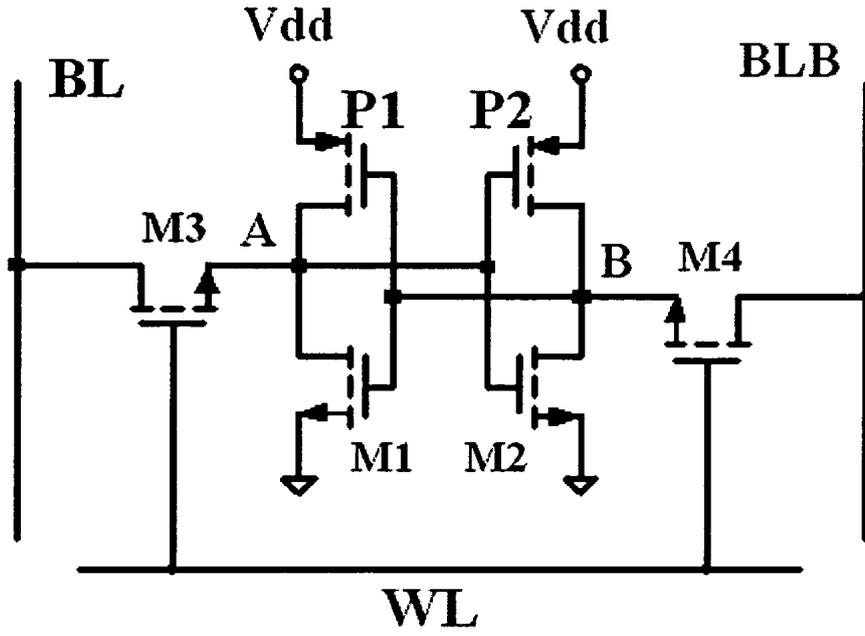
第 5 圖係顯示習知雙埠靜態隨機存取記憶體晶胞之電路示意圖；

第 6 圖係顯示本創作較佳實施例所提出之寫入操作時降低電源電壓之雙埠 SRAM 之電路示意圖；

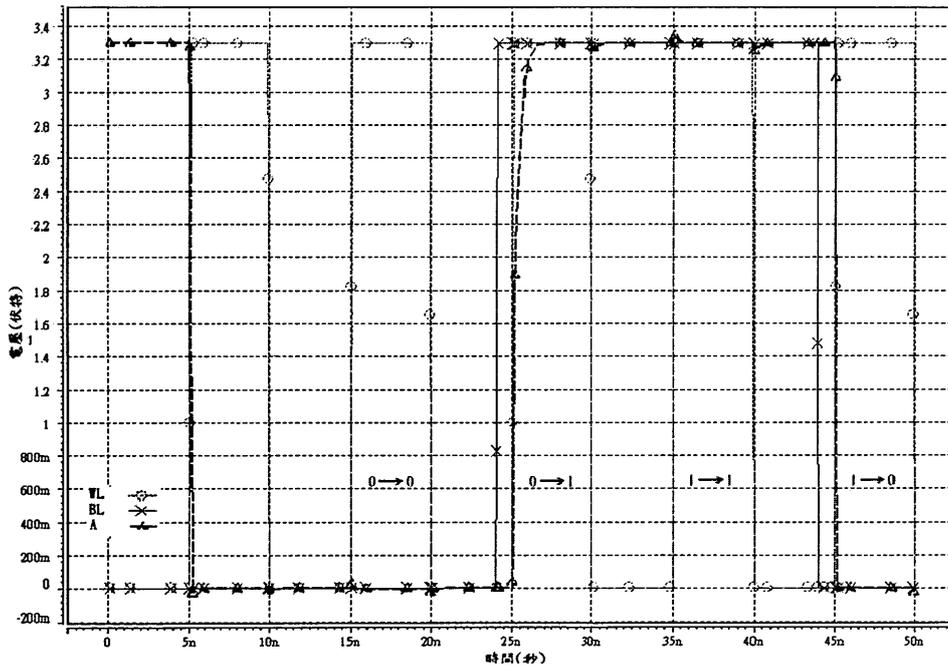
第 7 圖係顯示本創作較佳實施例所提出之寫入操作時降低電源電壓之雙埠 SRAM 之寫入動作時序圖；

第 8 圖係顯示第 6 圖雙埠 SRAM 於待機模式時所產生之各次臨界漏電流。

(3)

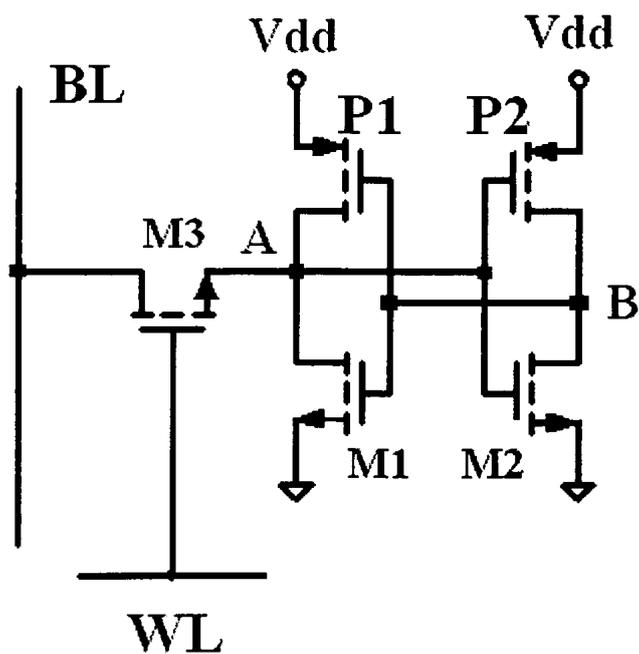


第 1 圖

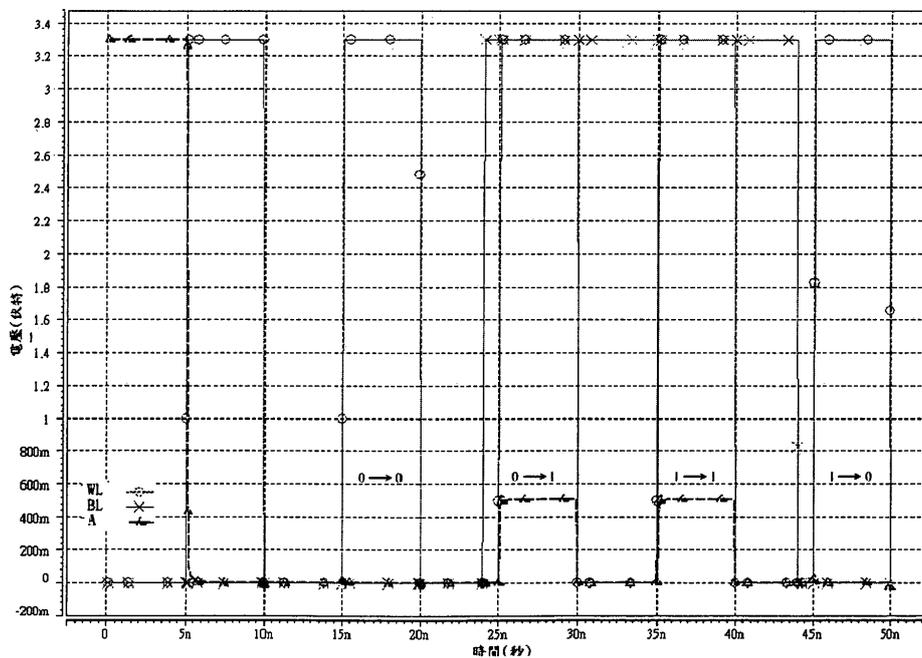


第 2 圖

(4)

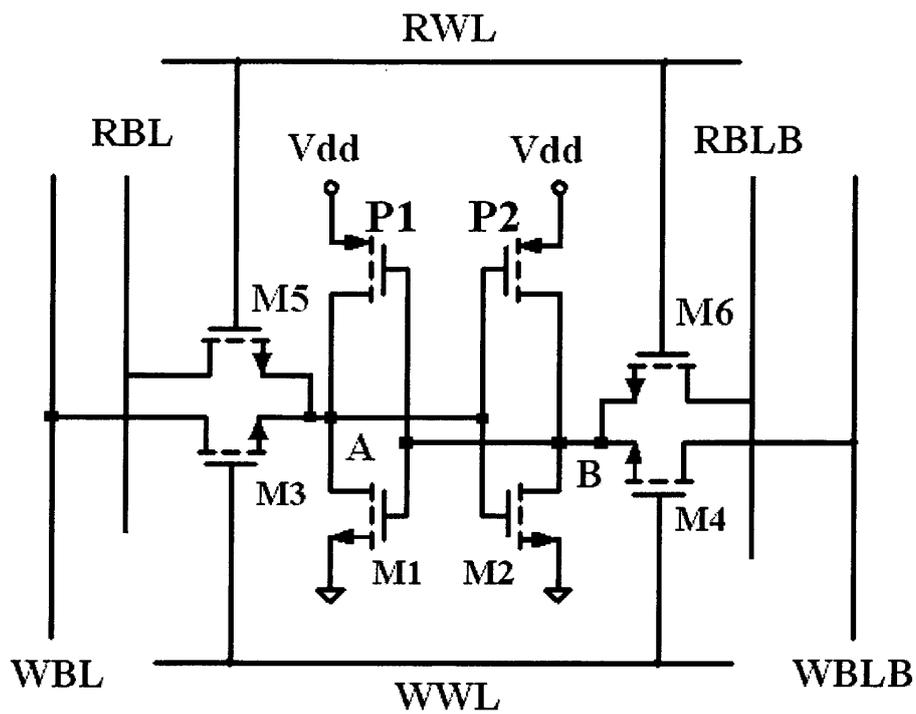


第 3 圖



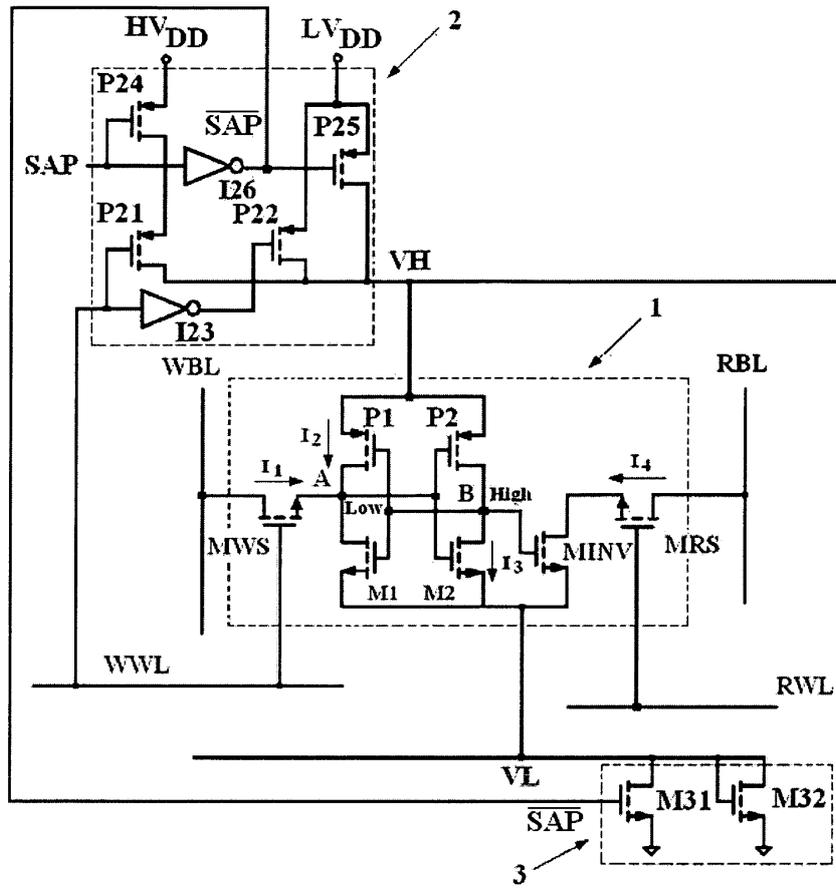
第 4 圖

(5)



第 5 圖

(7)



第 8 圖

