

【11】證書號數：M391711

【45】公告日：中華民國 99 (2010) 年 11 月 01 日

【51】Int. Cl.： G11C11/40 (2006.01)

新型

全 6 頁

【54】名稱：具放電路徑之單埠 S R A M

SINGLE PORT SRAM HAVING A DISCHARGING PATH

【21】申請案號：099211037

【22】申請日：中華民國 99 (2010) 年 06 月 10 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；林哲佑 (TW) LIN, JE YOU；余哲旗 (TW) YU, JE CHI；施養鴻 (TW) SHR, YANG HUNG

【71】申請人：修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路 11 號

[57]申請專利範圍

1. 一種具放電路徑之單埠 SRAM，包括：一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；複數條字元線，每一字元線對應至複數列記憶體晶胞中之一列；複數條位元線，每一位元線係對應至複數行記憶體晶胞中之一行；複數個寫入電壓控制電路(2)，每一列記憶體晶胞設置一個寫入電壓控制電路；以及複數個放電路徑(3)，每一列記憶體晶胞設置一個放電路徑(3)；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一高電壓節點(VH)與接地電壓之間；一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與接地電壓之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；以及一存取電晶體(M3)，係連接在該儲存節點(A)與一對應位元線(BL)之間，且閘極連接至一對應字元線(WL)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；其中，每一寫入電壓控制電路(2)更包含：一第三 PMOS 電晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至一高電源供應電壓(HV_{DD})、一控制信號(CTL)與該高電壓節點(VH)；一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至一低電源供應電壓(LV_{DD})、一第三反相器(I23)之輸出端與該高電壓節點(VH)；以及一第三反相器(I23)，該第三反相器(I23)之輸入端用以接收該控制信號(CTL)，而該第三反相器(I23)之輸出端則連接至該第四 PMOS 電晶體(P22)之閘極；其中，每一放電路徑(3)更包含：一第四 NMOS 電晶體(M31)，該第四 NMOS 電晶體(M31)之源極、閘極與汲極係分別連接至一第五 NMOS 電晶體(M32)之汲極、該控制信號(CTL)與該高電壓節點(VH)；一第五 NMOS 電晶體(M32)，該第五 NMOS 電晶體(M32)之源極、閘極與汲極係分別連接至接地電壓、一延遲電路(D33)之輸出端與該第四 NMOS 電晶體(M31)之源極；以及一延遲電路(D33)，該延遲電路(D33)之輸入端係用以接收該對應寫入電壓控制電路(2)中之該第三反相器(I23)之輸出端，而該延遲電路(D33)之輸出端則連接至該第五 NMOS 電晶體(M32)之閘極。

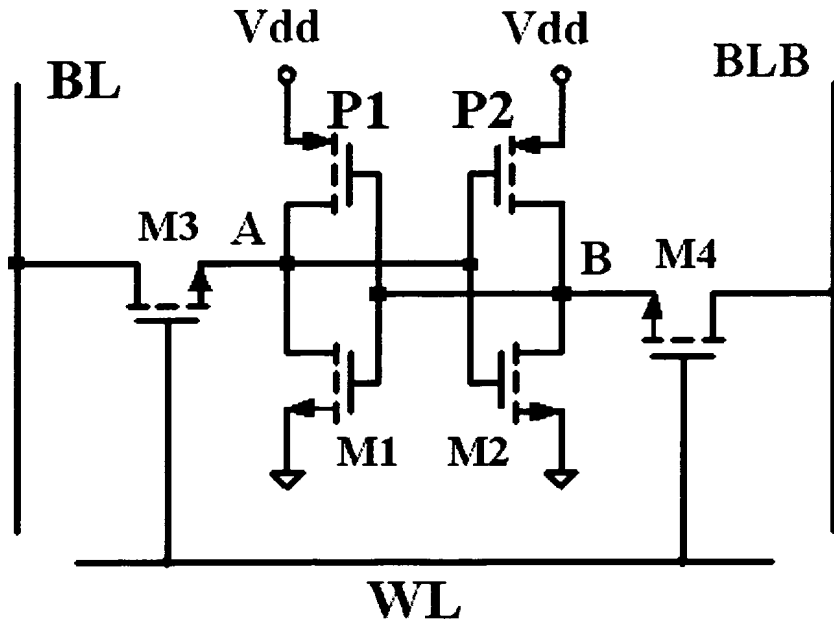
(2)

2. 如申請專利範圍第 1 項所述之具放電路徑之單埠 SRAM，其中，該控制信號(CTL)為一寫入致能(WE)信號、一寫入資料信號與對應之字元線(WL)信號的及閘(AND gate)運算結果，亦即僅於該寫入致能(WE)信號、該寫入資料信號與該對應之字元線(WL)信號均為邏輯高位準時，該控制信號(CTL)方為邏輯高位準；而於對應之該控制信號(CTL)為代表非選定寫入狀態或非寫入邏輯 1 之邏輯低位準時，則將該高電源供應電壓(HV_{DD})供應至該高電壓節點(VH)。
3. 如申請專利範圍第 2 項所述之具放電路徑之單埠 SRAM，其中，該對應字元線(WL)之邏輯高位準係為該高電源供應電壓(HV_{DD})之位準。
4. 如申請專利範圍第 3 項所述之具放電路徑之單埠 SRAM，其中，該每一放電路徑(3)中之該延遲電路(D33)係由偶數個反相器串接而成，以便提供一延遲時間。
5. 如申請專利範圍第 4 項所述之具放電路徑之單埠 SRAM，其中，當該控制信號(CTL)為代表寫入邏輯 1 之邏輯高位準時，可藉由對應該放電路徑(3)所提供之放電路徑，以將儲存在該高電壓節點(VH)之電荷放電一預定時間。
6. 如申請專利範圍第 5 項所述之具放電路徑之單埠 SRAM，其中，該預定時間係等於該延遲電路(D33)所提供之該延遲時間再加上該第三反相器(I23)之下降傳遞延遲時間(fall propagation delay time)的總和。

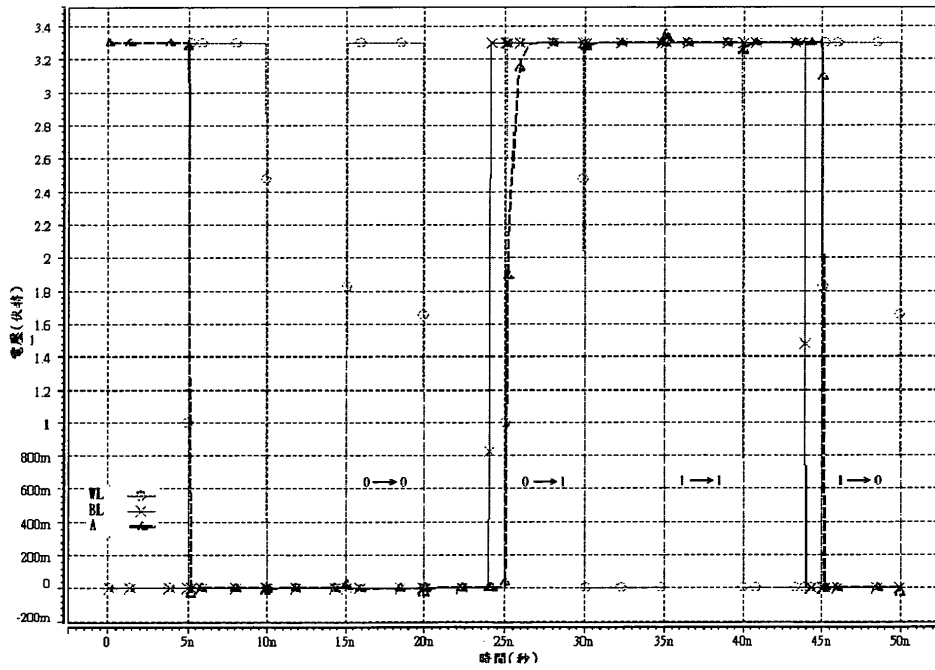
圖式簡單說明

- 第 1 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 2 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 3 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 4 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 5 圖係顯示習知第 TW M358390 號之 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 6 圖係顯示本創作較佳實施例所提出之具放電路徑之單埠靜態隨機存取記憶體的電路示意圖；
- 第 7 圖係顯示第 6 圖之本創作較佳實施例之寫入動作時序圖

(3)

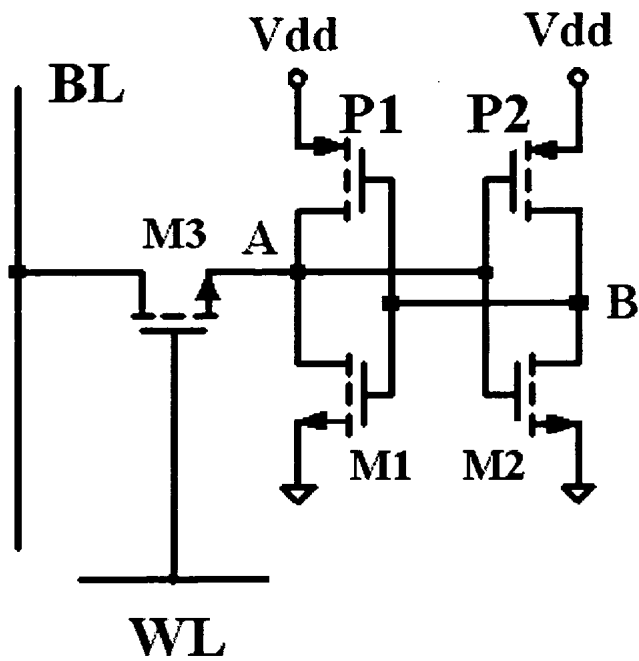


第 1 圖

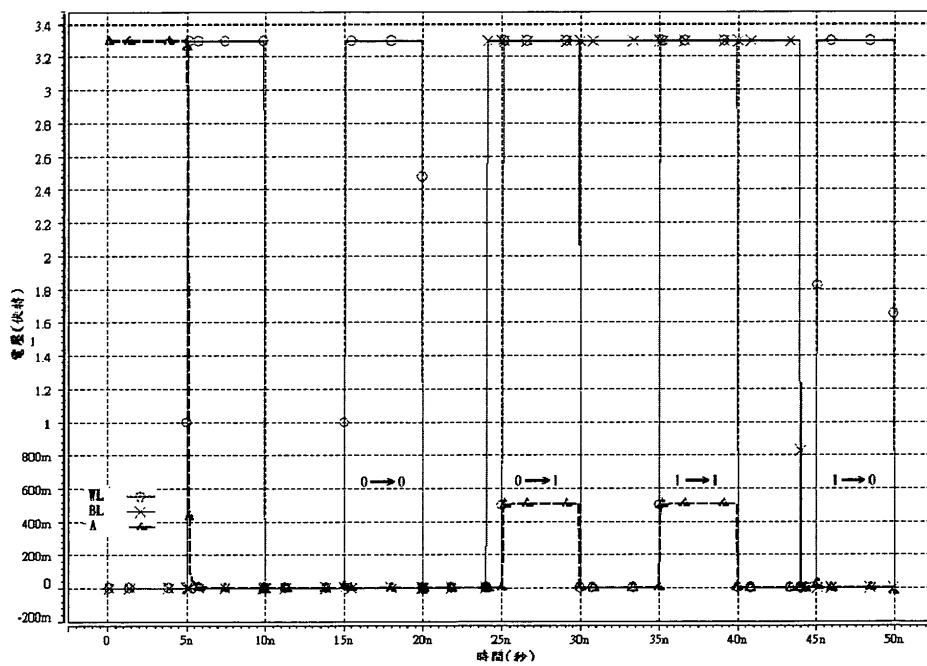


第 2 圖

(4)

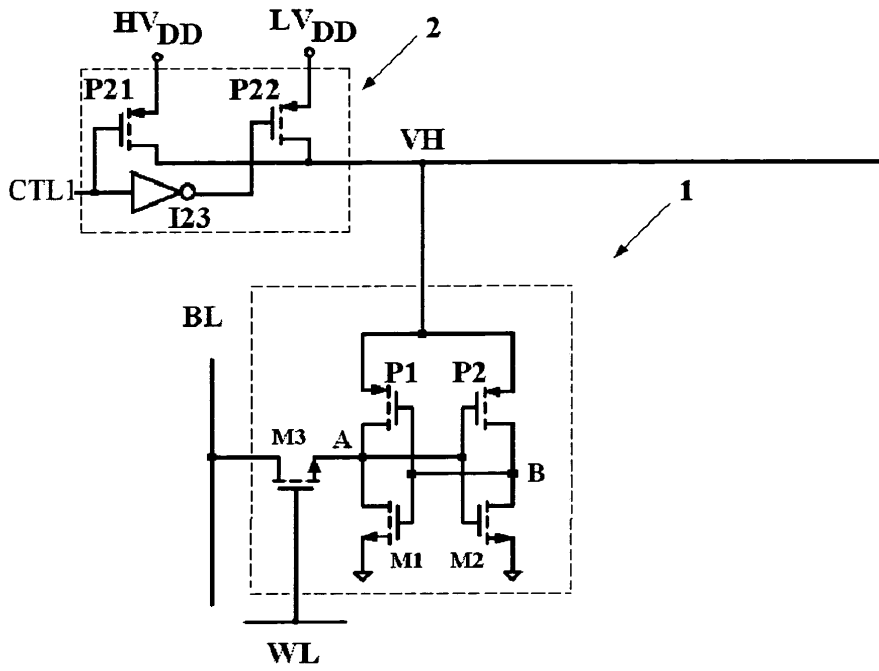


第 3 圖

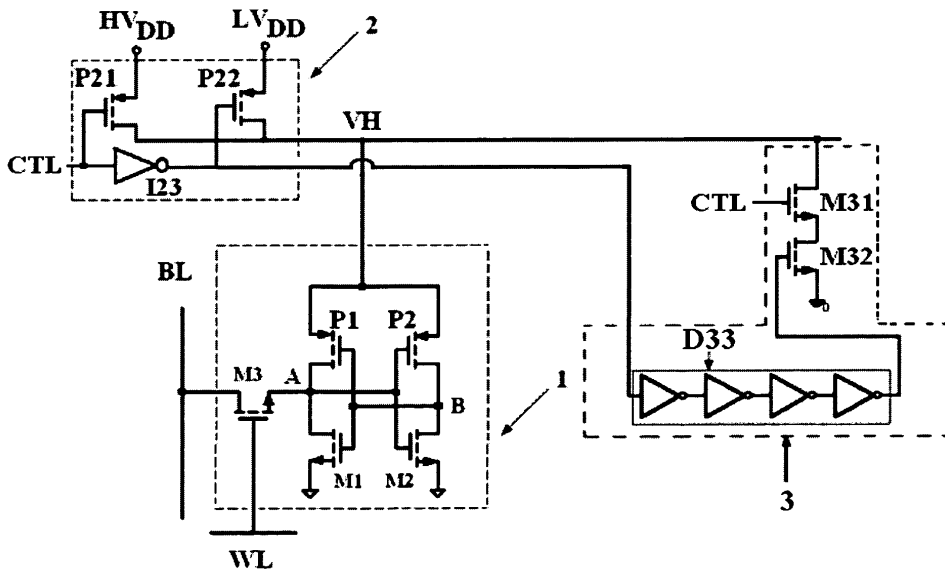


第 4 圖

(5)

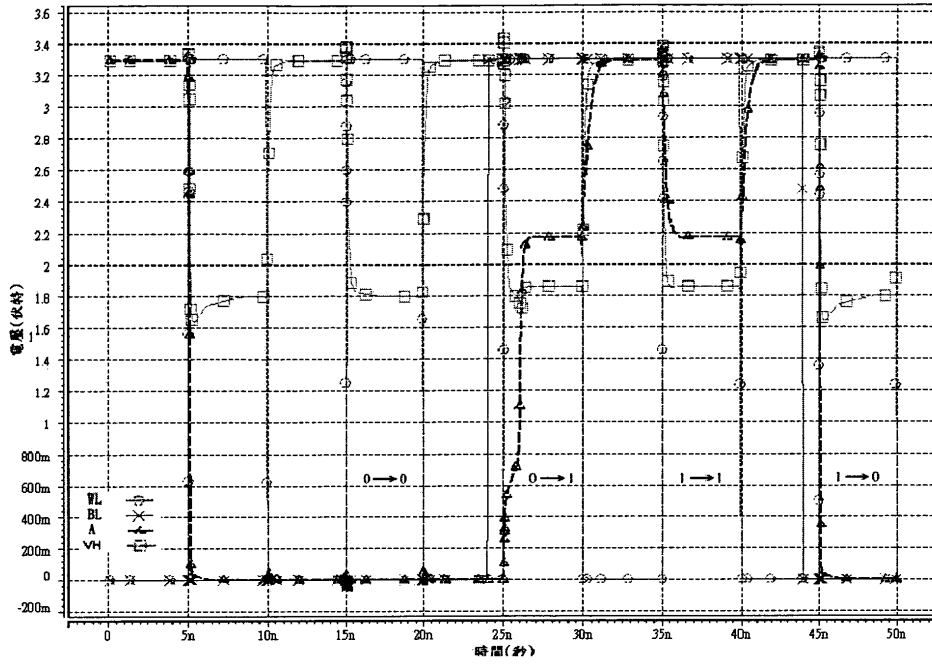


第 5 圖



第 6 圖

(6)



第 7 圖