

【11】證書號數：M438014

【45】公告日：中華民國 101 (2012) 年 09 月 21 日

【51】Int. Cl. : G11C11/405 (2006.01) G11C11/407 (2006.01)

新型

全 6 頁

【54】名稱：具高效能之靜態隨機存取記憶體

HIGH PERFORMANCE SRAM

【21】申請案號：101202427

【22】申請日：中華民國 101 (2012) 年 02 月 10 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；劉育原 (TW) LIU, YU YUAN

【71】申請人：修平學校財團法人修平科技大學 HSIUPING UNIVERSITY OF SCIENCE AND TECHNOLOGY

臺中市大里區工業路 11 號

[57]申請專利範圍

1. 一種具高效能之靜態隨機存取記憶體，包括：一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞均包含有複數個記憶體晶胞(1)；複數個控制電路(2)，每一列記憶體晶胞設置一個控制電路(2)；以及一待機啟動電路(3)，該待機啟動電路(3)係促使該靜態隨機存取記憶體快速進入待機模式，並藉此以有效提高靜態隨機存取記憶體之待機效能；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由一第一 PMOS 電晶體(P1)與一第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一電源供應電壓(V_{DD})與一第一低電壓節點(VL1)之間；一第二反相器，係由一第二 PMOS 電晶體(P2)與一第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該電源供應電壓(V_{DD})與一第二低電壓節點(VL2)之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；一第三 NMOS 電晶體(M3)，係連接在該儲存節點(A)與對應之一位元線(BL)之間，且閘極連接至對應之一字元線(WL)；一第三反相器，係由一第一 PMOS 控制電晶體(PC1)與一第一 NMOS 控制電晶體(MC1)所組成，該第三反相器係連接在一次電源供應電壓(V_{DDL})與接地電壓之間，且該第三反相器之輸入端係連接至該儲存節點(A)；一第四反相器，係由一第二 PMOS 控制電晶體(PC2)與一第二 NMOS 控制電晶體(MC2)所組成，該第四反相器係連接在該次電源供應電壓(V_{DDL})與接地電壓之間，且該第四反相器之輸入端係連接至該反相儲存節點(B)；一第一控制節點(B1)，係由該第四反相器之輸出端所形成，且連接至該第二 NMOS 電晶體(M2)之背閘極(back gate)及該第三 NMOS 電晶體(M3)之背閘極；一第二控制節點(B2)，係由該第三反相器之輸出端所形成，且連接至該第一 NMOS 電晶體(M1)之背閘極；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；而每一控制電路(2)更包含：一第四 NMOS 電晶體(M21)、一第五 NMOS 電晶體(M22)、一第六 NMOS 電晶體(M23)、一第七 NMOS 電晶體(M24)、一第八 NMOS 電晶體(M25)、一第九 NMOS 電晶體(M26)、一第十 NMOS 電晶體(M27)、一第十一 NMOS 電晶體(M28)、一第十二 NMOS 電晶體(M29)、一第三 PMOS 電晶體(P21)、一第四 PMOS 電晶體(P22)、一第五反相器(I21)、一第一延遲電路(D1)以及一寫入控制信號(CTL)所組成；其中，該第四 NMOS 電晶體(M21)之源極係連接至該第七 NMOS 電晶體(M24)之汲極，而閘極與汲極連接在一起並連接至該第一低電壓節點(VL1)；該第五 NMOS 電晶體(M22)之

(2)

源極、閘極與汲極係分別連接至接地電壓、一反相待機模式控制信號(/S)與該第二低電壓節點(VL2)；該第六 NMOS 電晶體(M23)之源極、閘極與汲極係分別連接至該第二低電壓節點(VL2)、一待機模式控制信號(S)與該第一低電壓節點(VL1)；該第七 NMOS 電晶體(M24)之源極連接至接地電壓，而閘極與汲極連接在一起並連接至該第四 NMOS 電晶體(M21)之源極；該第八 NMOS 電晶體(M25)之源極、閘極與汲極係分別連接至該第一低電壓節點(VL1)、該一反相待機模式控制信號(/S)與該第九 NMOS 電晶體(M26)之汲極；該第九 NMOS 電晶體(M26)之源極係連接至接地電壓，而閘極與汲極連接在一起並連接至該第八 NMOS 電晶體(M25)之汲極；該第十 NMOS 電晶體(M27)之源極、閘極與汲極係分別連接至接地電壓、該第十一 NMOS 電晶體(M28)之汲極與該第九 NMOS 電晶體(M26)之閘極；該第十一 NMOS 電晶體(M28)之源極、閘極與汲極係分別連接至該第十二 NMOS 電晶體(M29)之汲極、該寫入控制信號(CTL)與該第十 NMOS 電晶體(M27)之閘極、該第三 PMOS 電晶體(P21)之汲極和該第四 PMOS 電晶體(P22)之汲極；該第十二 NMOS 電晶體(M29)之源極、閘極與汲極係分別連接至接地電壓、該第五反相器(I21)之輸出端與該第十一 NMOS 電晶體(M28)之源極；該第五反相器(I21)之輸入連接至該第一延遲電路(D1)之輸出，而該第五反相器(I21)之輸出則連接至該第十二 NMOS 電晶體(M29)之閘極與該第四 PMOS 電晶體(P22)之閘極；該第一延遲電路(D1)之輸入連接至該寫入控制信號(CTL)與該第三 PMOS 電晶體(P21)之閘極和該第十一 NMOS 電晶體(M28)之閘極；該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該控制信號(CTL)、與該第四 PMOS 電晶體(P22)之汲極和該第十一 NMOS 電晶體(M28)之汲極；而該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該第五反相器(I21)之輸出與該第三 PMOS 電晶體(P21)之汲極和該第十一 NMOS 電晶體(M28)之汲極；再者，該待機啟動電路(3)係設計成於進入待機模式之一初始期間內，對該第一低電壓節點(VL1)處之寄生電容快速充電至該第四 NMOS 電晶體(M21)之臨界電壓(V_{TM21})及該第七 NMOS 電晶體(M24)之臨界電壓(V_{TM24})的總和之電壓位準；其中，該寫入控制信號(CTL)為每一列記憶體晶胞所對應之字元線(WL)，而該寫入控制信號(CTL)則為一寫入致能(Write Enable, 簡稱 WE)信號與每一列記憶體晶胞所對應之字元線(WL)信號的及閘(AND gate)運算結果，亦即僅於該寫入致能 WE 信號與該對應之字元線(WL)信號均為邏輯高位準時，該寫入控制信號(CTL)方為邏輯高位準。

2. 如申請專利範圍第 1 項所述之具高效能之靜態隨機存取記憶體，其中，該待機啟動電路(3)係由一第五 PMOS 電晶體(P31)、一第六 PMOS 電晶體(P32)、一第六反相器(I33)以及一第二延遲電路(D2)所組成；其中，該第五 PMOS 電晶體(P31)之源極、閘極與汲極係分別連接至該電源供應電壓(V_{DD})、該一反相待機模式控制信號(/S)與該第六 PMOS 電晶體(P32)之源極；該第六 PMOS 電晶體(P32)之源極、閘極與汲極係分別連接至該第五 PMOS 電晶體(P31)之汲極、該第六反相器(I33)之輸出與該第一低電壓節點(VL1)；該第六反相器(I33)之輸入連接至該第二延遲電路(D2)之輸出，而該第六反相器(I33)之輸出則連接至該第六 PMOS 電晶體(P32)之閘極；該第二延遲電路(D2)之輸入連接至該一反相待機模式控制信號(/S)，而該第二延遲電路(D2)之輸出則連接至該第六反相器(I33)之輸入。
3. 如申請專利範圍第 2 項所述之具高效能之靜態隨機存取記憶體，其中，該待機啟動電路(3)進入待機模式之該初始期間係等於該第二延遲電路(D2)所提供之一第二延遲時間以及該第六反相器(I33)所提供之一上升延遲時間的總和。
4. 如申請專利範圍第 1 項所述之具高效能之靜態隨機存取記憶體，其中，該次電源供應電壓(V_{DDL})的電壓位準大小係設定成小於該第一 NMOS 電晶體(M1)之背閘極與源極間之

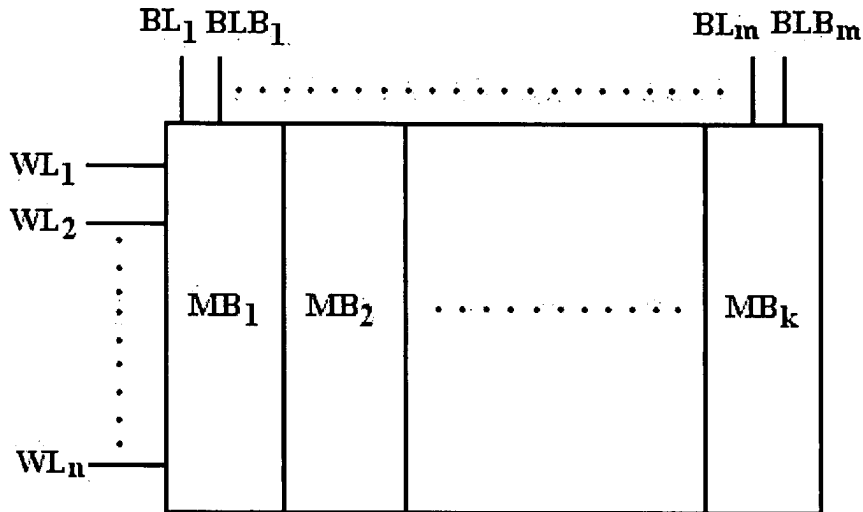
(3)

寄生二極體的切入電壓(cut in voltage)大小與該第二 NMOS 電晶體(M2)之背閘極與源極間之寄生二極體的切入電壓大小二者中之較小者。

5. 如申請專利範圍第 1 項所述之具高效能之靜態隨機存取記憶體，其中，該第一 PMOS 控制電晶體(PC1)與該第二 PMOS 控制電晶體(PC2)之臨界電壓大小係設定成小於該次電源供應電壓(V_{DDL})之電壓位準大小。

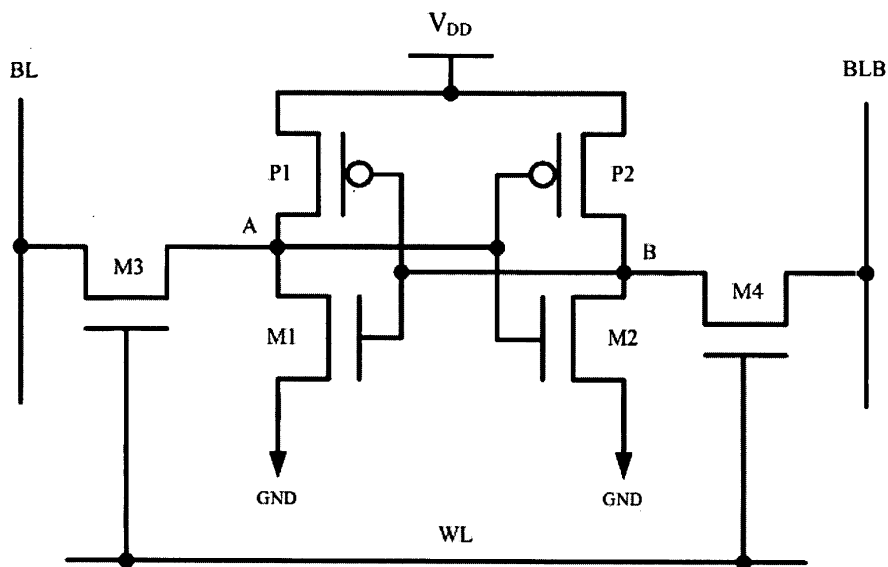
圖式簡單說明

- 第 1a 圖 係顯示習知之靜態隨機存取記憶體；
第 1b 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；
第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；
第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
第 5 圖 係顯示本創作較佳實施例所提出之電路示意圖；
第 6 圖 係顯示 5 圖之本創作較佳實施例之寫入動作時序圖。

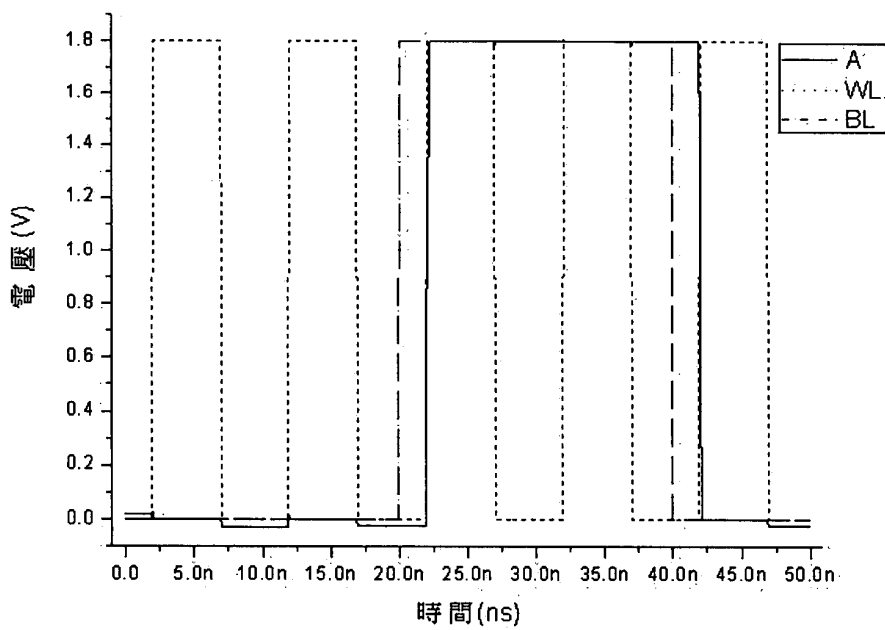


第 1a 圖

(4)

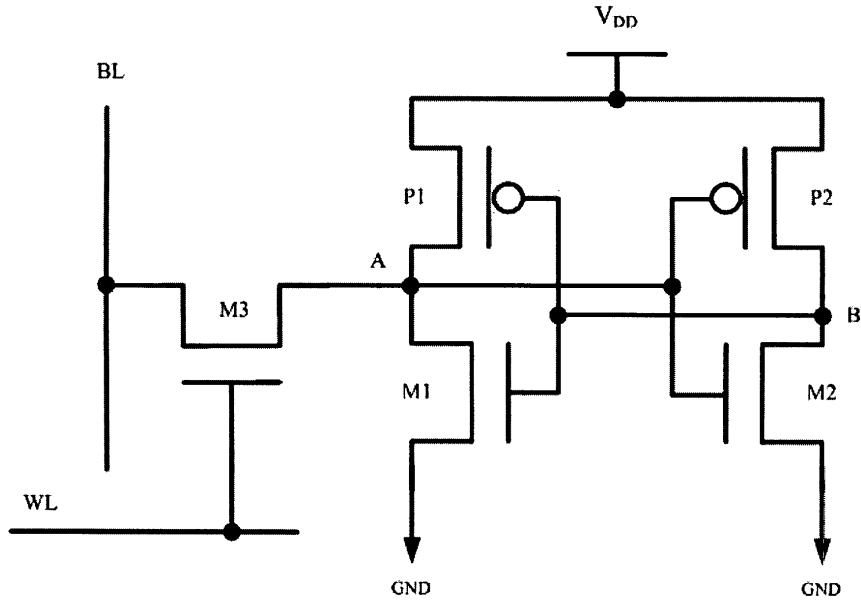


第 1b 圖

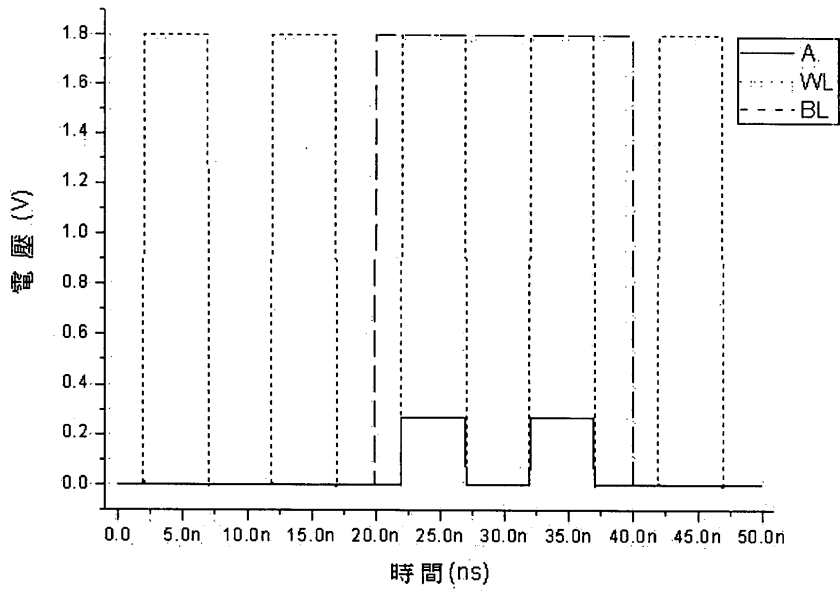


第 2 圖

(5)

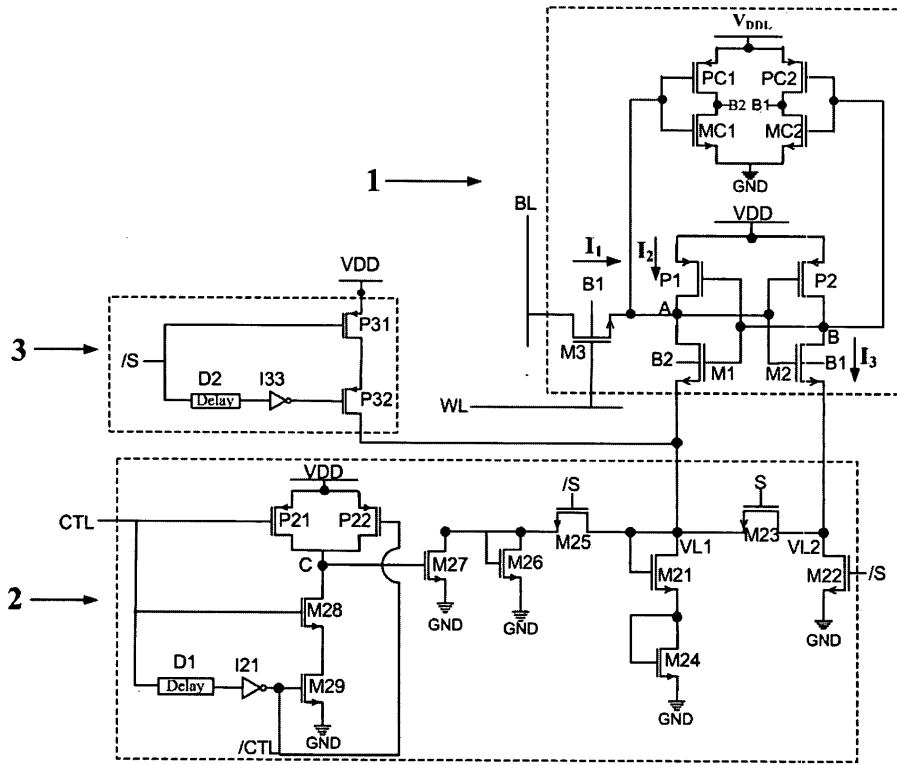


第 3 圖

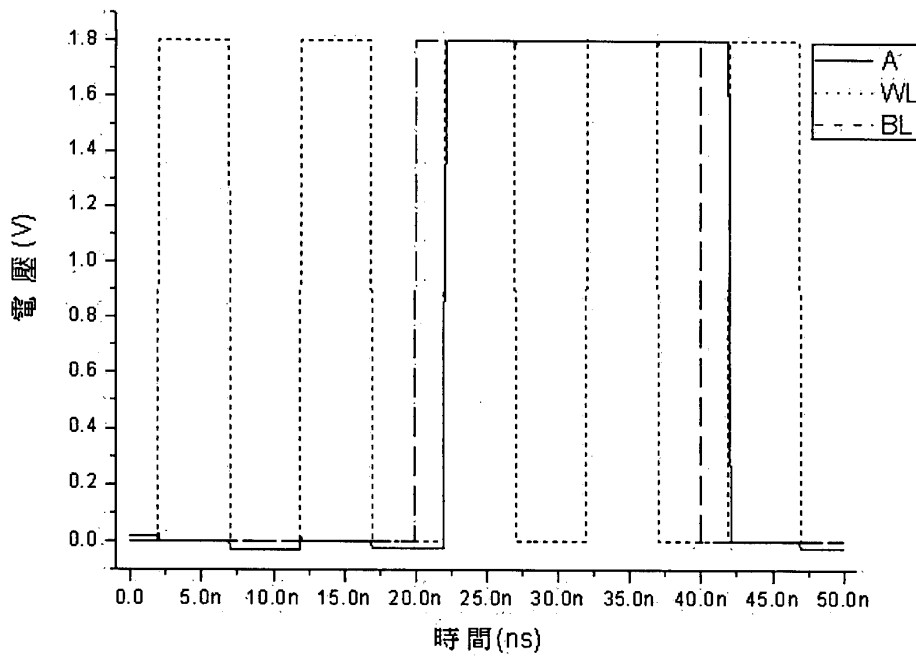


第 4 圖

(6)



第 5 圖



第 6 圖