

【11】證書號數：M455893

【45】公告日：中華民國 102 (2013) 年 06 月 21 日

【51】Int. Cl. : G05F3/00 (2006.01) H03K19/00 (2006.01)

新型

全 4 頁

【54】名稱：具低漏電流之電壓位準移位器

VOLTAGE LEVEL CONVERTER HAVING LOW LEAKAGE CURRENT

【21】申請案號：101218517 【22】申請日：中華民國 101 (2012) 年 09 月 25 日

【72】新型創作人：余建政 (TW) YU, CHIEN CHENG

【71】申請人：修平學校財團法人修平科技大學 HSIUPING UNIVERSITY OF SCIENCE AND TECHNOLOGY

臺中市大里區工業路 11 號

[57]申請專利範圍

1. 一種具低漏電流之電壓位準移位器，用以將一第一信號轉換為一第二信號，其包括：一第一節點(N1)，用以將一第一 PMOS 電晶體(MP1)的閘極、一第二 PMOS 電晶體(MP2)的閘極、一第三 PMOS 電晶體(MP3)的汲極以及一第三 NMOS 電晶體(MN3)之汲極連接在一起；一第二節點(N2)，用以提供一第三反相器(I3)以及一第四反相器(I4)的輸入信號；一第一輸入端(IN)，用以提供一第一反相器(I1)的輸入信號；一第二輸入端(INB)，用以提供一第二反相器(I2)的輸入信號；一輸出端(OUT)，用以輸出該第二信號；一第一電源電壓，用以提供電壓位準移位器所需之第一高電位電壓(VDDH)和參考接地；一第二電源電壓，用以提供電壓位準移位器所需之第二高電位電壓(VDDL)和參考接地；該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；一第一反相器(I1)，用以接受該輸入電壓(V(IN))信號，並控制該第一開關電晶體(2)之導通(on)或關閉(off)；一第二反相器(I2)，用以提供該第二輸入端(INB)的反相信號，並控制該第二開關電晶體(3)之導通(on)或關閉(off)；一第三反相器(I3)，用以反相該第二節點(N2)的一輸出信號，並控制該第一控制電晶體(4)之導通(on)或關閉(off)；一第四反相器(I4)，用以反相該第二節點(N2)的一輸出信號，並控制該第二控制電晶體(5)之導通(on)或關閉(off)；一電流鏡電路(1)，用來做為電壓位準控制；一第一開關電晶體(2)，其係由一第一 NMOS 電晶體(MN1)所組成，其源極連接至地(GND)，其閘極用以接受輸入電壓(V(IN))的反相信號，而其汲極則連接至第三 NMOS 電晶體(MN3)的源極；一第二開關電晶體(3)，其係由一第二 NMOS 電晶體(MN2)所組成，其源極連接至地(GND)，其閘極用以接受第二輸入端(INB)的反相電壓信號，而其汲極則連接至第二節點(N2)；一第一控制電晶體(4)，用以控制該電流鏡電路(1)之導通(on)或關閉(off)，其係由一第三 PMOS 電晶體(MP3)所組成，其源極連接至第一高電位電壓(VDDH)，其閘極連接至輸出端(OUT)，而其汲極則與第一 PMOS 電晶體(MP1)的汲極、第一 PMOS 電晶體(MP1)的閘極以及第二 PMOS 電晶體(MP2)的閘極相連接；以及一第二控制電晶體(5)，用以阻斷該電流鏡電路(1)至該第一開關電晶體(2)之電流流動，其係由一第三 NMOS 電晶體(MN3)所組成，其源極連接至第一 NMOS 電晶體(MN1)的汲極，其閘極連接至該第四反相器(I4)的輸出端，而其汲極則與第一 PMOS 電晶體(MP1)的汲極、第一 PMOS 電晶體(MP1)的閘極以及第二 PMOS 電晶體(MP2)的閘極相連接。
2. 如申請專利範圍第 1 項所述的具低漏電流之電壓位準移位器，其中該電流鏡電路(1)包括：一第一 PMOS 電晶體(MP1)，其源極連接至第一高電位電壓(VDDH)，閘極與汲極連接至該第一節點(N1)以及該第二 PMOS 電晶體(MP2)之閘極；以及一第二 PMOS 電晶體

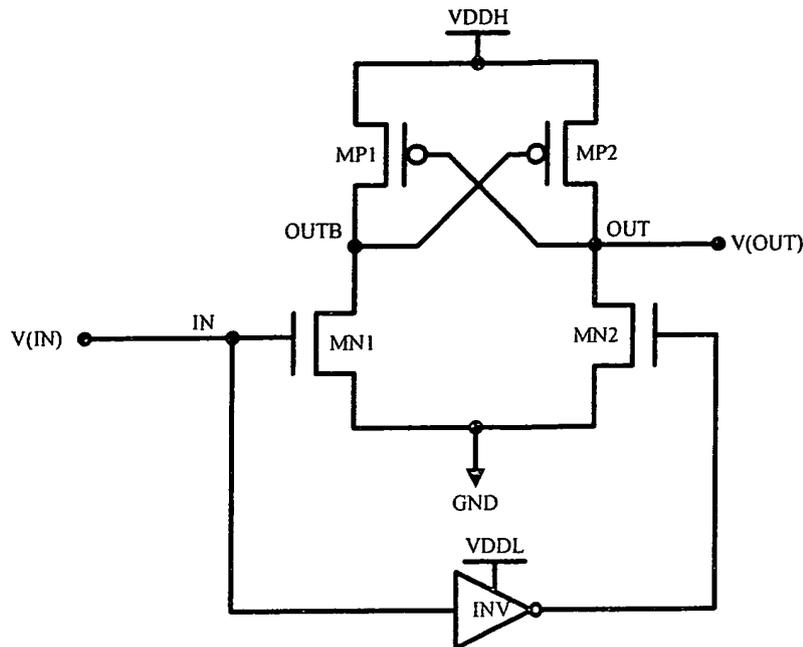
(2)

(MP2)，其源極連接至第一高電位電壓(VDDH)，其閘極連接至該第一 PMOS 電晶體(MP1)之閘極與汲極以及該第一節點(N1)，而其汲極則連接至該第二節點(N2)。

3. 如申請專利範圍第 1 項所述的具低漏電流之電壓位準移位器，其中該第一信號的振幅為 0 伏特至該第二高電位電壓(VDDL)之間。
4. 如申請專利範圍第 3 項所述的具低漏電流之電壓位準移位器，其中該第二信號的振幅為 0 伏特至該第一高電位電壓(VDDH)之間。
5. 如申請專利範圍第 4 項所述的具低漏電流之電壓位準移位器，其中該第一反相器(I1)的電壓源為該第二高電位電壓(VDDL)。
6. 如申請專利範圍第 5 項所述的具低漏電流之電壓位準移位器，其中該第二反相器(I2)的電壓源為該第二高電位電壓(VDDL)。
7. 如申請專利範圍第 6 項所述的具低漏電流之電壓位準移位器，其中該第三反相器(I3)的電壓源為該第一高電位電壓(VDDH)。
8. 如申請專利範圍第 7 項所述的具低漏電流之電壓位準移位器，其中該第四反相器(I4)的電壓源為該第一高電位電壓(VDDH)。

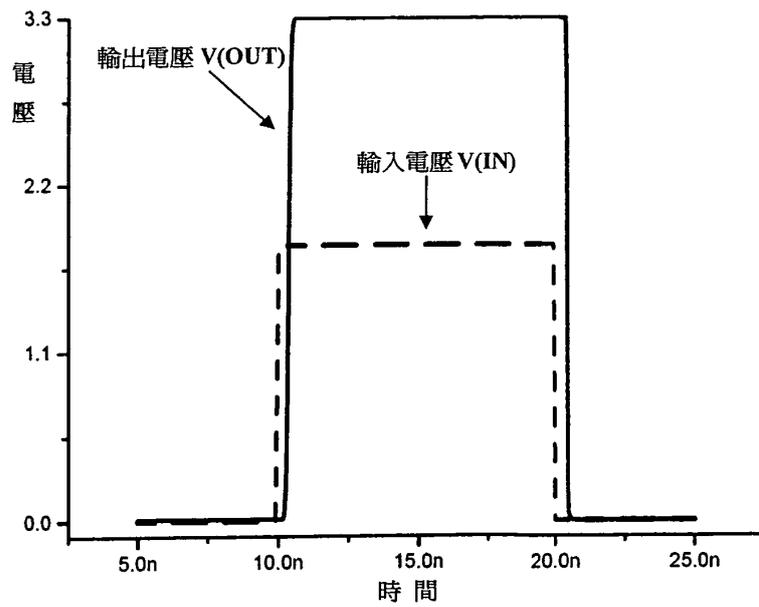
圖式簡單說明

第 1 圖 係顯示第一先前技藝中電壓位準移位器之電路圖；第 2 圖 係顯示第二先前技藝中電壓位準移位器之電路圖；第 3 圖 係顯示本創作較佳實施例之電壓位準移位器之電路圖；第 4 圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；



第 1 圖

(4)



第 4 圖