

【11】證書號數：M337934

【45】公告日：中華民國97(2008)年8月1日

【51】Int. Cl. : **H03L5/00 (2006.01)**

新型

全 4 頁

---

【54】名稱：電位轉換器

LEVEL SHIFTER

【21】申請案號：097201630

【22】申請日：中華民國97(2008)年1月25日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY  
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種電位轉換器，用以將一第一信號轉換為一第二信號，包含有：
  - 一第一輸入端(IN)，用以提供一輸入電壓信號；
  - 一第二輸入端(INB)，用以提供一輸入電壓(V(IN))的反相信號；
  - 一輸出端(OUT)，用以輸出該第二信號；
  - 一第一節點(X)，用以提供一輸入電壓(V(IN))的反相信號；

5. 10.

- 一第二節點(Y)，用以提供一控制信號；
- 一第一電源電壓，用以提供電位轉換器所需之第一高電位電壓(VDDH)；
- 一第二電源電壓，用以提供電位轉換器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；

一第一反相器(1)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓(V(IN))信號反相的信號至第二反相器(2)；

一第二反相器(2)，用來接受第一節點(X)以及第二輸入端(INB)的信號，並提供一個輸出信號至輸出端(OUT)；

一第三反相器(3)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第二輸入端(INB)；

一拉升電晶體(4)，用來接受回授控制電路(5)所提供的信號，並提供第一反相器(1)一第一高電位電壓(VDDH)，其係由一第四PMOS電晶體(MP4)組成，其源極連接至第一電源電壓(VDDH)，其汲極連接至第一PMOS電晶體(MP1)的源極，而其閘極則連接至第二節點(Y)；以及  
一回授控制電路(5)，用來控制拉升電晶體(4)。

2.如申請專利範圍第1項所述的電位轉換器，其中該第一反相器(1)包括：

一第一PMOS電晶體(MP1)，其源極連接至第四PMOS電晶體(MP4)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極，而其閘極則連接至第一輸入端(IN)；以及

一第一NMOS電晶體(MN1)，其源極連接至地(GND)，其汲極連接至第一PMOS電晶體(MP1)的汲極，而其閘極則連接至第一輸入端(IN)。

3.如申請專利範圍第2項所述的電位轉換器，其中該第二反相器(2)包括：

一第二PMOS電晶體(MP2)，其源極連接至第一電源電壓(VDDH)，其汲極連接至第二NMOS電晶體(MN2)的汲極，而其閘極則連接至第一節點(X)；以及

一第二NMOS電晶體(MN2)，其源極連接至地(GND)，其汲極連接至第二PMOS電晶體(MP2)的汲極，而其閘極則連接至第二輸入端(INB)。

5.4.如申請專利範圍第3項所述的電位轉換器，其中該第三反相器(3)包括：

一第三PMOS電晶體(MP3)，其源極連接至第二電源電壓(VDDL)，其汲極連接至第三NMOS電晶體(MN3)的汲極，而其閘極則連接至第一輸入端(IN)；以及

一第三NMOS電晶體(MN3)，其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極，而其閘極則連接至第一輸入端(IN)。

10.5.如申請專利範圍第4項所述的電位轉換器，其中該回授控制電路(5)包括：

一第四NMOS電晶體(MN4)，其源極連接至第五NMOS電晶體(MN5)的汲極，其汲極連接至第一電源電壓(VDDH)，而其閘極則連接至輸出端(OUT)；以及

一第五NMOS電晶體(MN5)，其源極連接至地(GND)，其汲極連接至第四NMOS電晶體(MN4)的源極，而其閘極則連接至第二輸入端(INB)。

15.6.如申請專利範圍第1項所述的電位轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

20.7.如申請專利範圍第6項所述的電位轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

25.8.如申請專利範圍第7項所述的電位轉換器，其中該第三反相器(3)的電壓源為該第二高電位電壓(VDDL)。

圖式簡單說明：

30.40.第1圖係顯示第一先前技術中電

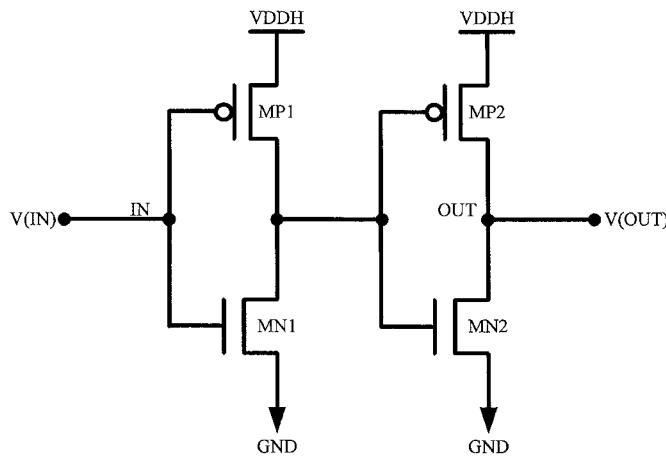
位轉換器之電路圖；

第 2 圖係顯示第二先前技術中電位轉換器之電路圖；

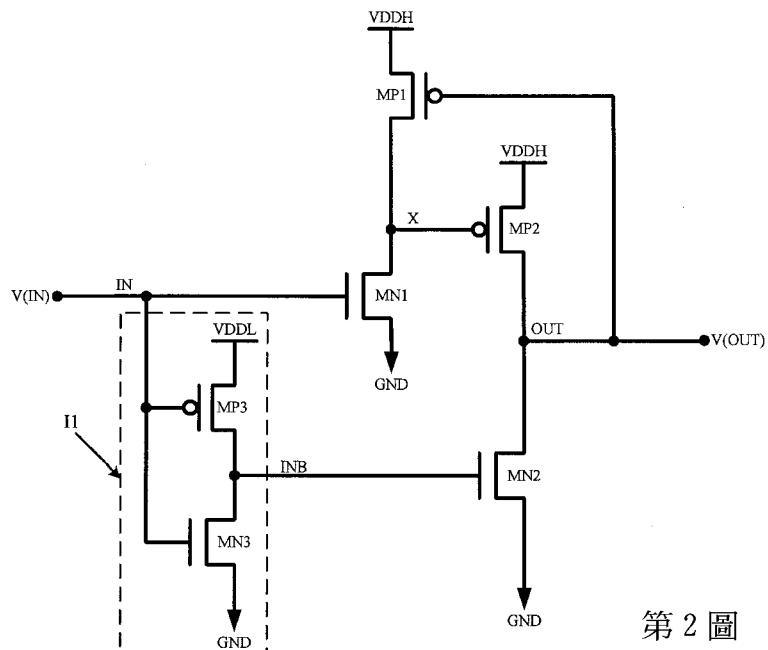
第 3 圖係顯示本創作較佳實施例

之電位轉換器之電路圖；

第 4 圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

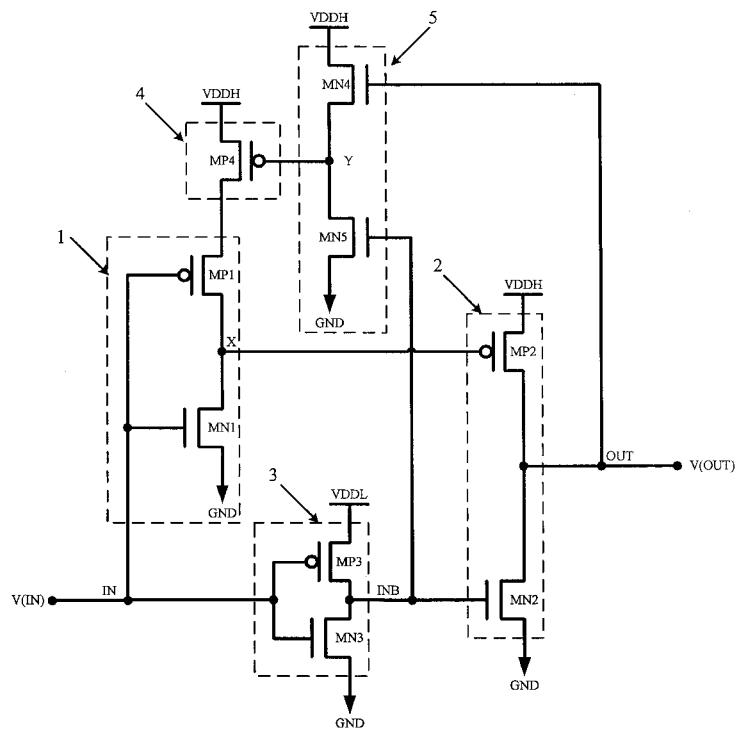


第 1 圖

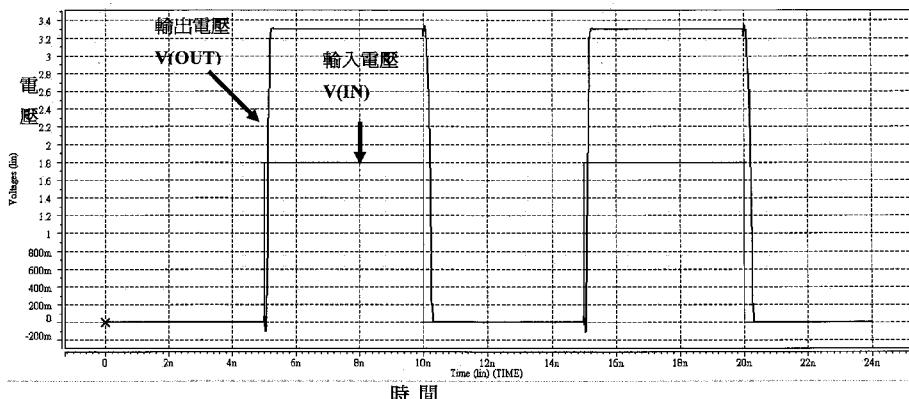


第 2 圖

(4)



第3圖



第4圖