

【11】證書號數：M342696

【45】公告日：中華民國97(2008)年10月11日

【51】Int. Cl. : **H03K19/0185 (2006.01)**

新型

全 4 頁

【54】名稱：靴帶式全擺幅 CMOS 電壓位準轉換器

BOOTSTRAPPED FULL-SWING CMOS VOLTAGE LEVEL CONVERTER

【21】申請案號：096220179

【22】申請日：中華民國96(2007)年11月29日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種靴帶式全擺幅 CMOS 電壓位準轉換器，用以將一第一信號轉換為一第二信號，包含有：

一第一輸入端(IN)，用以提供一輸入電壓信號；

一第二輸入端(INB)，用以提供一反相的輸入電壓信號；

一第一輸出端(OUT)，用以輸出該第二信號；

一第二輸出端(X)，用以輸出控制電

路(1)的輸出信號以及該第二信號的反相信號；

一第一電源電壓，用以提供電壓位準轉換器所需之第一高電位電壓(VDDH)；

一第二電源電壓，用以提供電壓位準轉換器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；

10.

一反相器(INV)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第二輸入端(INB)；

一控制電路(1)，用來做為輸入電壓(V(IN))信號的反相器之用；

一拉升電晶體(2)，用來接受控制電路(1)所提供的信號，該拉升電晶體(2)係由一第二PMOS電晶體(MP2)組成，其源極連接至第一電源電壓，其汲極連接至第二NMOS電晶體(MN2)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸出端(X)；

一拉降電晶體(3)，用來接受反相器(INV)所提供的信號，該拉降電晶體(3)係由一第二NMOS電晶體(MN2)組成，其源極連接至第一輸入端(IN)，其汲極連接至第二PMOS電晶體(MP2)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸入端(INB)；以及

一靴帶式電晶體(4)，用來將第一輸出端(OUT)的電壓拉升至第二高電位電壓(VDDL)或拉降至地(GND)，該靴帶式電晶體係由一第三NMOS電晶體(MN3)組成，其源極、汲極和基體連接在一起，並連接至第一輸入端(IN)，而其閘極則連接至第一輸出端(OUT)；

其中該控制電路(1)更包含：

一第一PMOS電晶體(MP1)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第三PMOS電晶體(MP3)的源極，而其閘極則連接至第一NMOS電晶體(MN1)的閘極以及第一

輸入端(IN)；

一回授電晶體，其係由一第三PMOS電晶體(MP3)所組成，其源極連接至第一PMOS電晶體(MP1)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極以及第二輸出端(X)，而其閘極接至第一輸出端(OUT)；以及

5. 一第一NMOS電晶體(MN1)，其源極連接至地(GND)，其汲極連接至第一PMOS電晶體(MP1)的汲極以及第二輸入端(INB)，而其閘極則連接至第一PMOS電晶體(MP1)的閘極以及第一輸入端(IN)。

10. 2.如申請專利範圍第1項所述的靴帶式全擺幅CMOS電壓位準轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

20. 3.如申請專利範圍第2項所述的靴帶式全擺幅CMOS電壓位準轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

25. 4.如申請專利範圍第3項所述的靴帶式全擺幅CMOS電壓位準轉換器，其中該反相器的電壓源為該第二高電位電壓(VDDL)。

圖式簡單說明：

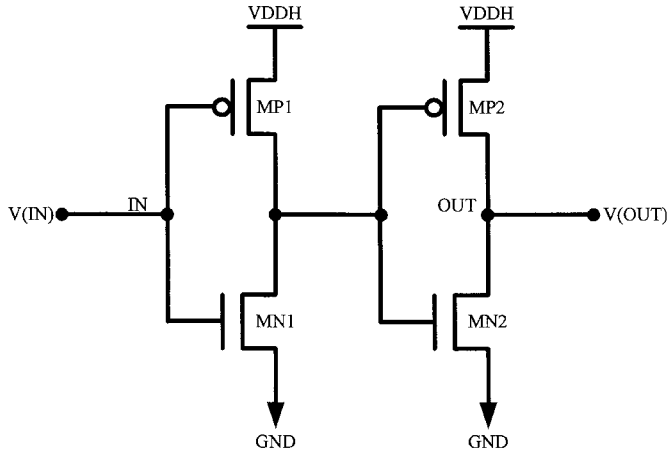
第1圖係顯示第一先前技術中電壓位準轉換器之電路圖；

30. 第2圖係顯示第二先前技術中電壓位準轉換器之電路圖；

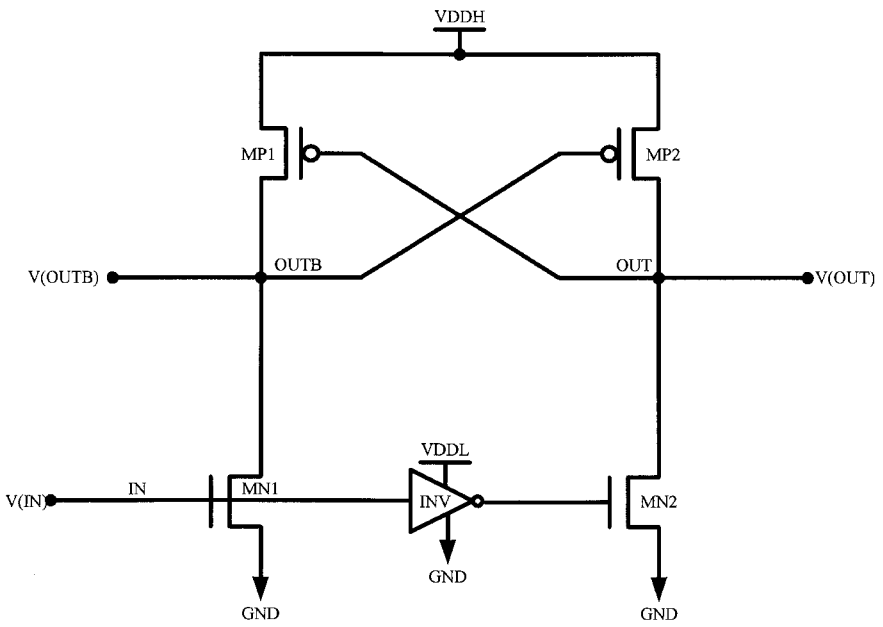
第3圖係顯示本創作較佳實施例之電壓位準轉換器之電路圖；

35. 第4圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

(3)

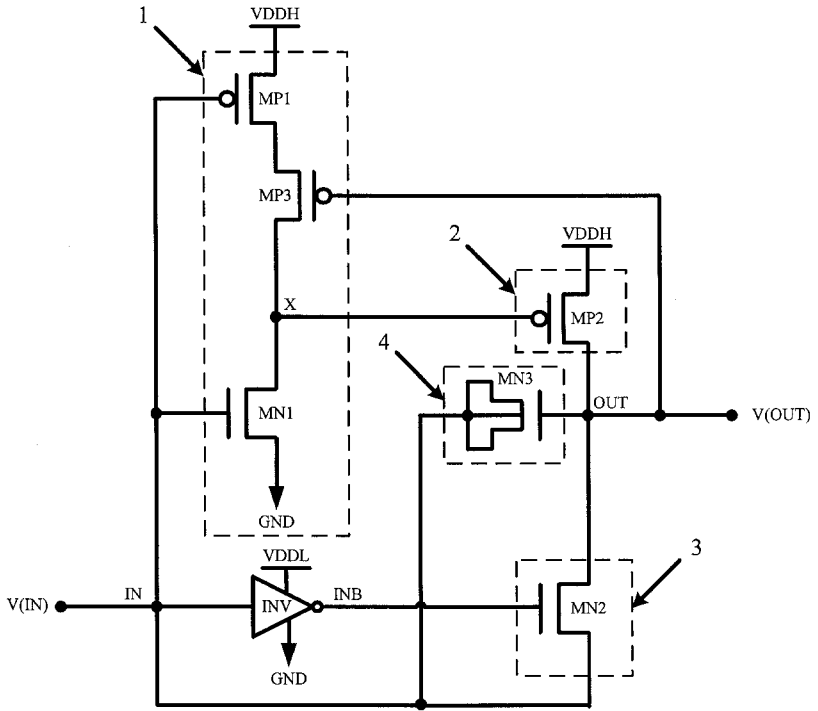


第 1 圖

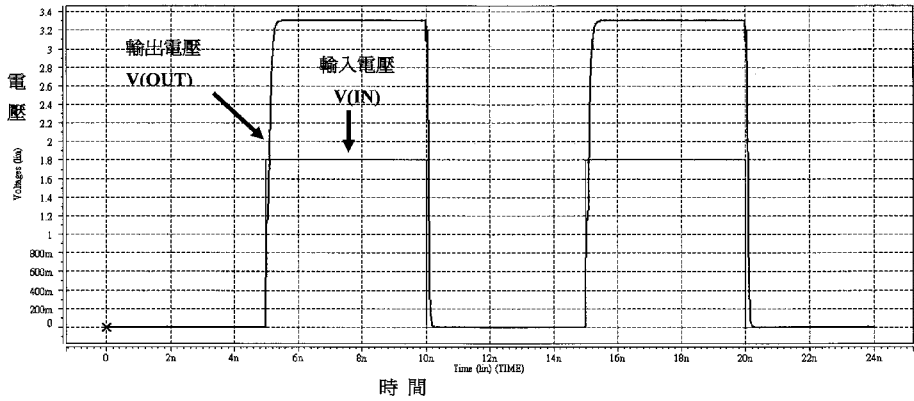


第 2 圖

(4)



第 3 圖



第 4 圖