

【54】名稱： CMOS電壓位準轉換電路  
CMOS LEVEL-SHIFTING CIRCUIT

【21】申請案號：096221286

【22】申請日：中華民國96(2007)年12月14日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY  
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

- 1. 一種 CMOS 電壓位準轉換電路，用以將一第一信號轉換為一第二信號，包含有：
  - 一第一輸入端(IN)，用以提供一輸入電壓信號；
  - 一第二輸入端(INB)，用以提供一反相的輸入電壓信號；
  - 一第一輸出端(OUT)，用以輸出該第二信號；
  - 一第二輸出端(X)，用以輸出該第二

- 信號的反相信號；
- 一第一電源電壓，用以提供電壓位準轉換電路所需之第一高電位電壓(VDDH)；
- 5. 一第二電源電壓，用以提供電壓位準轉換電路所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；
- 10. 一反相器(INV)，用來接受輸入電壓

(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第二輸入端(INB)；

一控制電路(1)，用來做為輸入電壓(V(IN))信號的反相器之用；

一回授電晶體(2)，該回授電晶體係做為位準復原之用，其係由一第一PMOS電晶體(MP1)所組成，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第三PMOS電晶體(MP3)的源極，而其閘極則接至第三NMOS電晶體(MN3)的汲極以及第一輸出端(OUT)；

一轉態驅動反相器(3)，用以在輸入信號的電位發生變化時，將第一輸出端(OUT)的電位拉升至第一高電位電壓(VDDH)或拉降至地(GND)；以及

一拉降電晶體(4)，用來接受第二輸出端(X)所提供的信號，其係由一第三NMOS電晶體(MN3)組成，其源極連接至地(GND)，其汲極連接至第二PMOS電晶體(MP2)的汲極、第二NMOS電晶體(MN2)的汲極、第一PMOS電晶體(MP1)的閘極以及第一輸出端(OUT)，而其閘極則連接至第二輸出端(X)。

2.如申請專利範圍第1項所述的CMOS電壓位準轉換電路，其中該控制電路(1)包括：

一第三PMOS電晶體(MP3)，其源極連接至第一PMOS電晶體(MP1)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極以及第二輸出端(X)，而其閘極接至第一輸入端(IN)；以及

一第一NMOS電晶體(MN1)，其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極以及第二輸出端(X)，而其閘極則連接至第

一輸入端(IN)。

3.如申請專利範圍第2項所述的CMOS電壓位準轉換電路，其中該轉態驅動反相器(3)包括：

5. 一第二PMOS電晶體(MP2)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第二NMOS電晶體(MN2)的汲極、第三NMOS電晶體(MN3)的汲極以及第一輸出端(OUT)，而其閘極則連接至第三NMOS電晶體(MN3)的閘極以及第二輸出端(X)；以及

10. 一第二NMOS電晶體(MN2)，其源極連接至地(GND)，其汲極連接至第二PMOS電晶體(MP2)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸入端(INB)。

4.如申請專利範圍第1項所述的CMOS電壓位準轉換電路，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

5.如申請專利範圍第4項所述的CMOS電壓位準轉換電路，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

6.如申請專利範圍第5項所述的CMOS電壓位準轉換電路，其中該反相器(INV)的電壓源為該第二高電位電壓(VDDL)。

30. 圖式簡單說明：

第1圖係顯示第一先前技術中電壓位準轉換電路之電路圖；

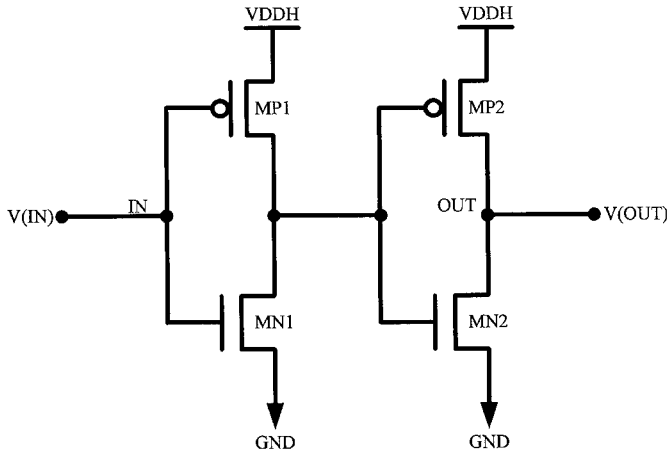
第2圖係顯示第二先前技術中電壓位準轉換電路之電路圖；

35. 第3圖係顯示本創作較佳實施例之電壓位準轉換電路之電路圖；

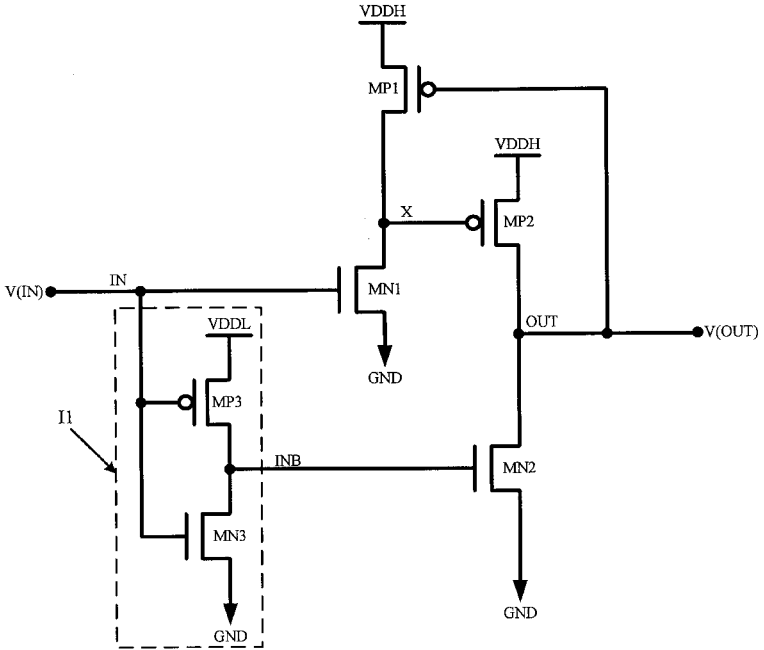
第4圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

40.

(3)

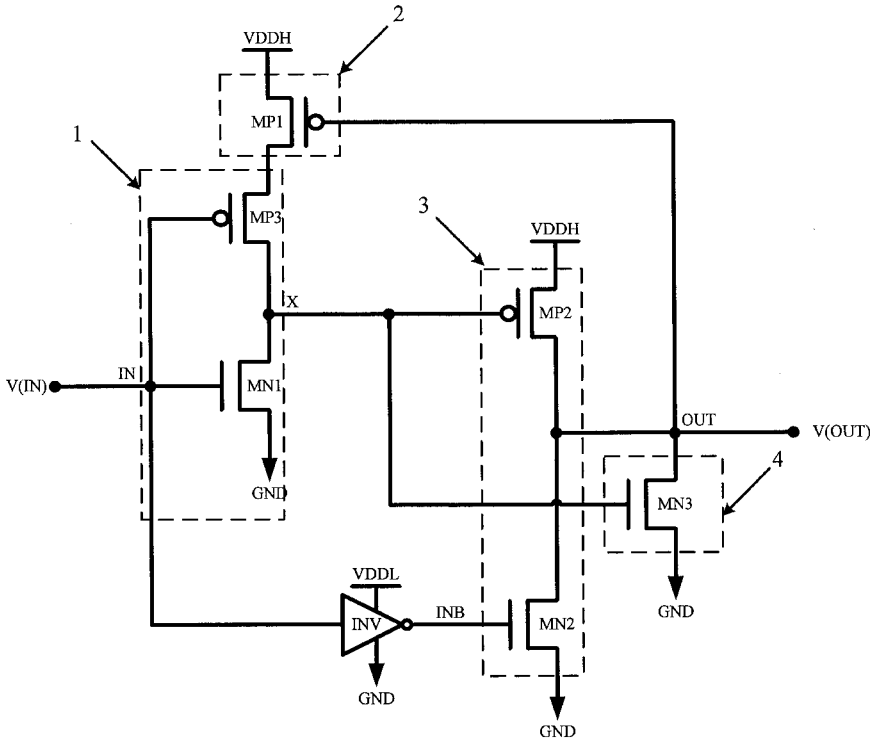


第 1 圖

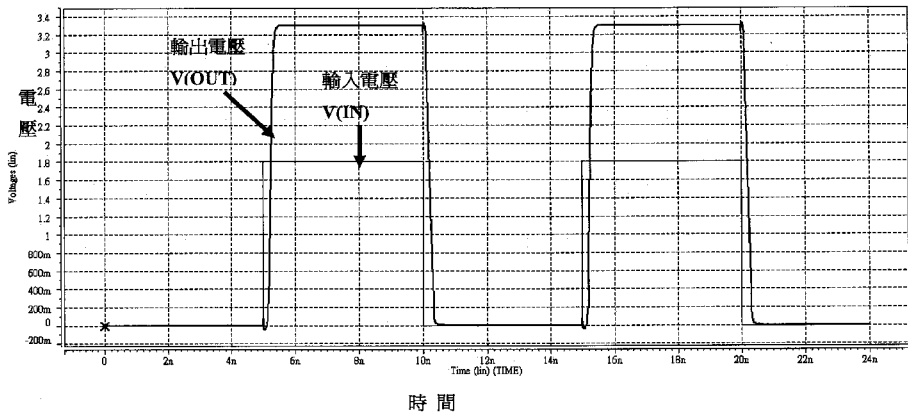


第 2 圖

(4)



第 3 圖



第 4 圖