

# 中華民國專利公報 [19] [12]

[11]公告編號：543292

[44]中華民國 92年(2003) 07月21日

發明

全 4 頁

[51] Int.Cl<sup>07</sup>： H03K19/00

[54]名稱：輸出緩衝電路及方法

[21]申請案號： 091109543

[22]申請日期：中華民國 91年(2002) 05月06日

[72]發明人：

蕭明椿

臺中縣大里市工業路十一號修平技術學院電機系

[71]申請人：

修平技術學院

臺中縣大里市工業路十一號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種輸出緩衝電路，該輸出緩衝電路包括：

一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並用以將一輸入信號IN反相；

一第一NPN電晶體Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；

一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；以及

一控制電路1，其係連接於CMOS反相器之輸出與接地之間，且在

CMOS反相器中之第一PMOS電晶體M1導通時，該控制電路1能導通一段預定之時間，俾藉此以吸走第一PMOS電晶體M1之部份汲極電流，並因而降低第二NPN電晶體Q2於轉換瞬間之集極電流大小及其電流變化率；

該控制電路1更包括：

一第二NMOS電晶體M3，其汲極與閘極連接在一起，並共同連接至該CMOS反相器之輸出；

一第三NMOS電晶體M4，其汲極連接至第二NMOS電晶體M3之源極，而其源極則接地；以及

一延遲電路11，其連接於輸入信號

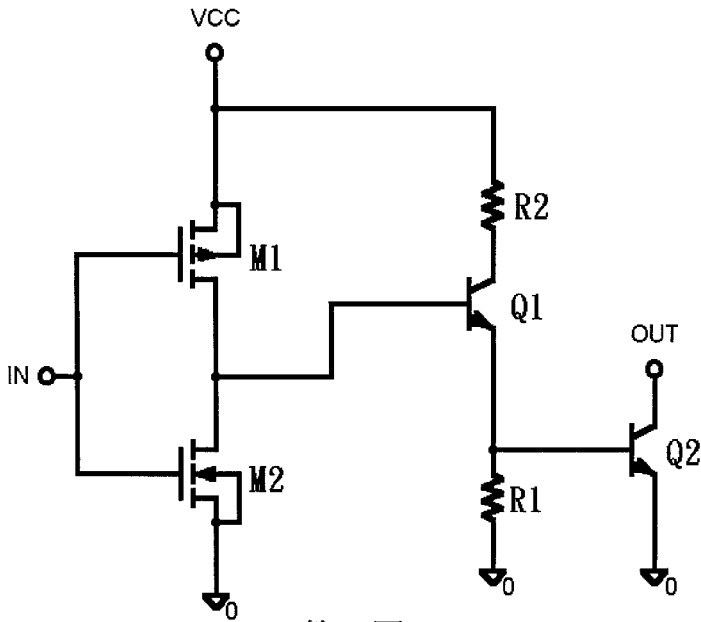
IN與第三NMOS電晶體M4之閘極之間。

- 2.如申請專利範圍第1項所述之輸出緩衝電路，其更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
  - 3.如申請專利範圍第2項所述之輸出緩衝電路，其更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。
  - 4.如申請專利範圍第1項所述之輸出緩衝電路，其中，該延遲電路11係由偶數個反相器所組成。
  - 5.一種降低輸出緩衝電路之雜訊的方法，該輸出緩衝電路係包括：
    - 一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並用以將一輸入信號IN反相器；
    - 一第一NPN電晶體Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；
    - 一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；以及
    - 一控制電路1，其係連接於CMOS反相器之輸出與接地之間；該控制電路更包括：
      - 一第二NMOS電晶體M3，其汲極與閘極連接在一起，並共同連接至該CMOS反相器之輸出；
      - 一第三NMOS電晶體M4，其汲極連接至第二NMOS電晶體M3之源極，而其源極則接地；以及
      - 一延遲電路11，其連接於輸入信號IN與第三NMOS電晶體M4之閘極之間；
- 而該降低輸出緩衝電路雜訊的方法

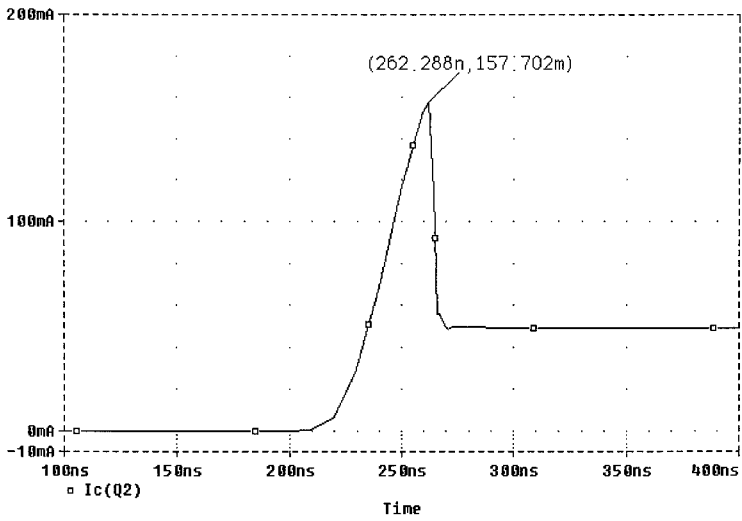
包含下列步驟：

- (a)輸入一輸入信號IN至輸出緩衝電路；
- (b)判斷該輸入信號IN之位準變化，亦即判斷該輸入信號IN係由高位準變為低位準，抑是由低位準變為高位準，若是該輸入信號IN係由高位準變為低位準，則在CMOS反相器中之第一PMOS電晶體M1導通時，控制該控制電路1仍能導通一段預定之時間，俾藉此以吸走該第一PMOS電晶體M1之部份汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)；而若是該輸入信號IN係由低位準變為高位準，則關閉該控制電路1。
5. 6.如申請專利範圍第5項所述之方法，該輸出緩衝電路更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
10. 7.如申請專利範圍第6項所述之方法，該輸出緩衝電路更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。
15. 8.如申請專利範圍第5項所述之方法，該輸出緩衝電路中之延遲電路1係由偶數個反相器所組成。
20. 圖式簡單說明：
25. 30. 第一圖 係顯示習知輸出緩衝電路之電路圖；  
第二圖 係習知輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖；
35. 第三圖 係顯示本發明實施例之輸出緩衝電路的電路圖；  
第四圖 係本發明輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖。

(3)

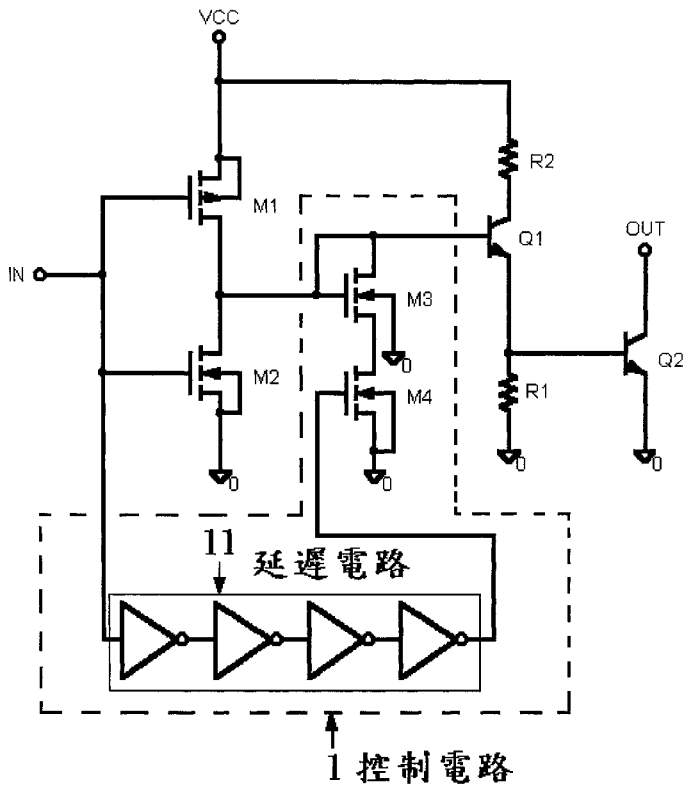


第一圖

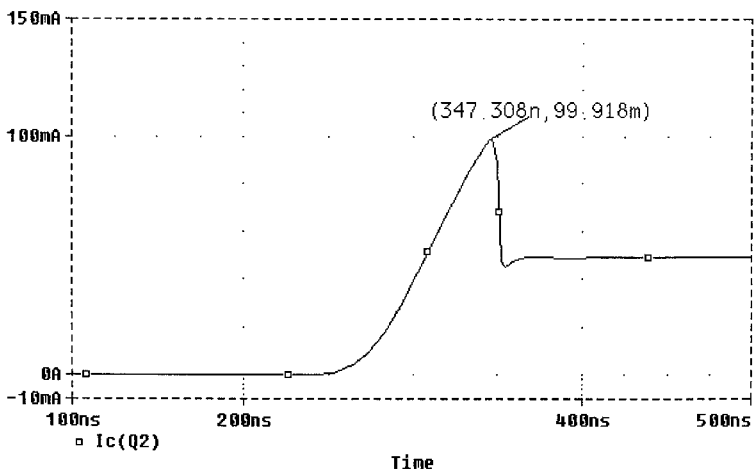


第二圖

(4)



第三圖



第四圖