

【11】證書號數： I241066

【45】公告日： 中華民國 94 (2005) 年 10 月 01 日

【51】Int. Cl.⁷: H03K19/0175

發明

全 4 頁

【54】名稱： 具低雜訊之輸出緩衝電路
OUTPUT BUFFER WITH REDUCED NOISE

【21】申請案號： 090129772

【22】申請日期： 中華民國 90 (2001) 年 11 月 29 日

【72】發明人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種輸出緩衝電路，該輸出緩衝電路包括：

一 CMOS 反相器，其係由一 PMOS 電晶體(M1)以及一 NMOS 電晶體(M2)所組成，並用以將一輸入信號(IN)反相；

一第一 NPN 電晶體(Q1)，其基極端連接至該 CMOS 反相器之輸出，並具有一集極端以及一射極端；

一第二 NPN 電晶體(Q2)，其基極端

連接至該第一 NPN 電晶體(Q1)之射極端，其集極端連接至輸出端子(OUT)，而其射極端則接地；

一第一電阻(R1)，連接於該第一 NPN 電晶體(Q1)之射極端與接地之間；

一第二電阻(R2)，連接於該第一 NPN 電晶體(Q1)之集極端與電源供應電壓(VCC)之間；以及

10. 一延遲電路(1)，其係連接於輸入端

子與NMOS 電晶體(M2)的閘極之間，俾藉此以降低第二 NPN 電晶體 (Q2)於轉換瞬間之集極電流大小及其電流變化率；
 其中，該延遲電路(1)係由偶數個反相器所組成。

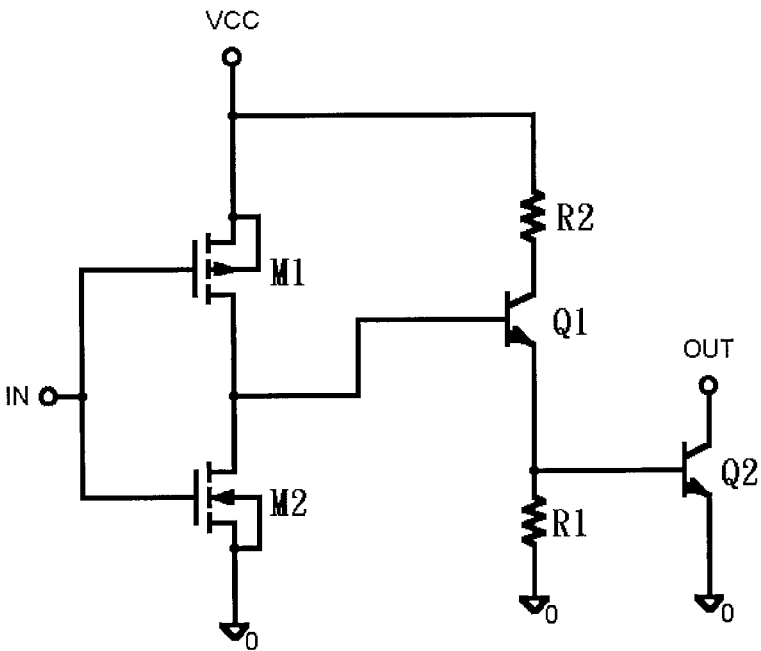
圖式簡單說明：

第一圖 係顯示習知輸出緩衝電路之電路圖；

第二圖 係習知輸出緩衝電路之 OrCAD PSpice 模擬取得之輸出電流曲線圖；

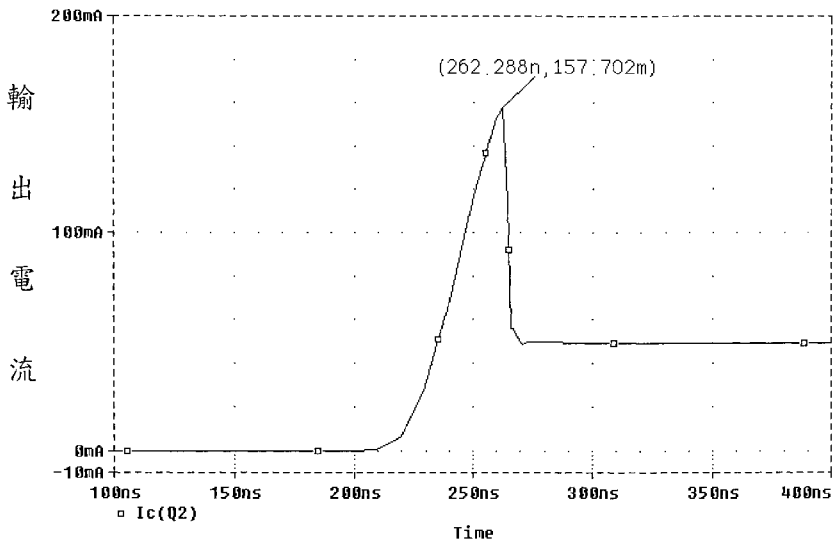
第三圖 係顯示本發明實施例之輸出緩衝電路的電路圖；

第四圖 係本發明輸出緩衝電路之 OrCAD PSpice 模擬取得之輸出電流曲線圖。

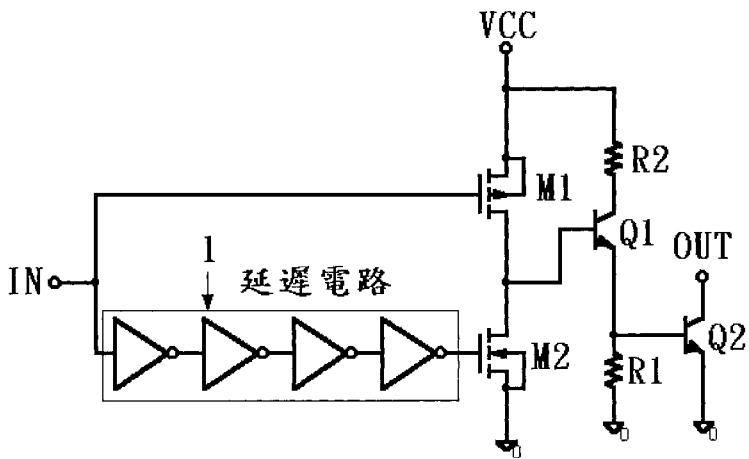


第一圖

(3)

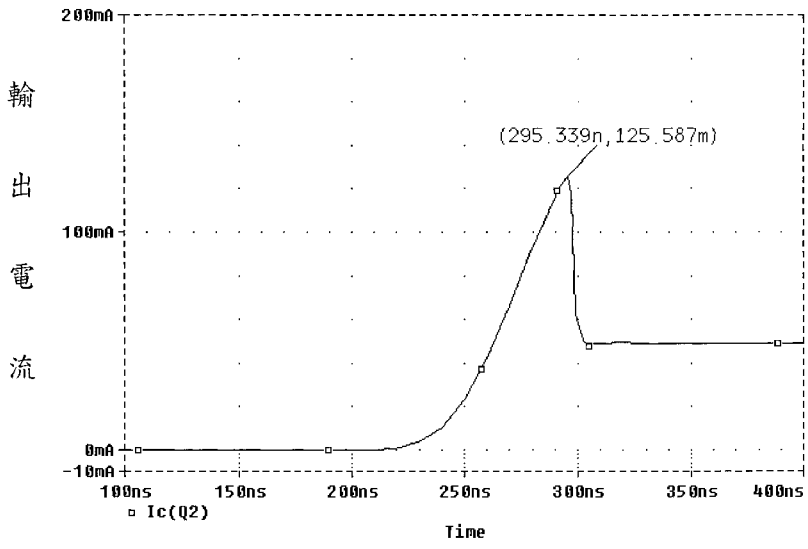


第二圖



第三圖

(4)



第四圖