

【11】證書號數：M251126

【45】公告日：中華民國 93 (2004) 年 11 月 21 日

【51】Int. Cl.⁷：G01R19/04

新型

全 7 頁

【54】名稱：具輸入雜訊抑制之電壓峰值檢知器

PEAK VOLTAGE DETECTOR WITH INPUT NOISE INHIBITION

【21】申請案號：092220755

【22】申請日期：中華民國 92 (2003) 年 11 月 24 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

蔡俊威

TSIA, CHUN WEI

吳政洋

WU, CHENG YANG

黃運文

HUANG, YUN WEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路十一號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種具輸入雜訊抑制之電壓峰值檢知器，其包括：

一輸入端，用以提供一輸入電壓信號；

一輸出端，用以輸出該輸入電壓信號之峰值電壓；

一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓和參考接地；

一低通濾波器(1)，用以濾除來自輸

入端之雜訊，並輸出一經濾除雜訊之輸入電壓信號至差動放大器(2)；

一差動放大器(2)，用以接受該經濾除雜訊之輸入電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡；

一控制電晶體(3)，該控制電晶體(3)係為一 PMOS 電晶體，且連接在電源電壓與差動放大器(2)之間，以及

10. 電源電壓與電流鏡(4)之間，以便於

待機時，可阻斷該差動放大器(2)與該電流鏡(4)之電流路徑；

一電流鏡(4)，用以根據該差動放大器(2)所提供之充電電流信號，而提供一充電電流給電容器(C)；以及一電容器(C)，該電容器之一端連接至電流鏡，以便接收該電流鏡所供應之充電電流，而另一端則連接至參考接地。

2.如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：

一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3.如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

4.如申請專利範圍第1項所述之電壓峰值檢知器，其中該差動放大器(2)包括：

一第一PMOS電晶體(MP1)，其源極連接至該控制電晶體(3)之汲極，閘極與第二PMOS電晶體(MP2)之閘極相連接，而汲極則與該電流鏡(4)以及第一NMOS電晶體(MN1)之汲極相連接；

一第二PMOS電晶體(MP2)，其源極連接至該控制電晶體(3)之汲極，閘極與汲極連接在一起，並連接至第一PMOS電晶體(MP1)之閘極，且汲極亦與第二NMOS電晶體(MN2)之汲極連接；

一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及第三NMOS電晶體(MN3)之汲極相連接，閘極用以接受該經濾除雜訊之輸入電壓信號，而汲極則與該電流鏡(4)以及第一PMOS電晶

體(MP1)之汲極相連接；

一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及第三NMOS電晶體(MN3)之汲極相連接，閘極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二PMOS電晶體(MP2)之汲極相連接；

一第三NMOS電晶體(MN3)，其源極連接至參考接地，閘極連接至電源電壓，而汲極則與第一以及第二NMOS電晶體(MN1和MN2)之源極相連接。

5.如申請專利範圍第4項所述之電壓峰值檢知器，其中該電流鏡(4)包括：

一第三PMOS電晶體(MP3)，其源極連接至該控制電晶體(3)之汲極，閘極與汲極連接在一起，並連接至該差動放大器(2)之輸出；

一第四PMOS電晶體(MP4)，其源極連接至該控制電晶體(3)之汲極，閘極與第三PMOS電晶體(MP3)之閘極連接，而汲極則與該電容器(C)以及第二NMOS電晶體(MN2)之閘極相連接。

6.如申請專利範圍第4項所述之電壓峰值檢知器，其中該低通濾波器(1)係由第四NMOS電晶體(MN4)和電阻器(R1)所組成，該電阻器(R1)之一端係連接至電壓峰值檢知器之輸入端，而另一端連接至該第四NMOS電晶體(MN4)之汲極，該第四NMOS電晶體(MN4)之汲極、源極與基底係連接在一起，並連接至該電阻器(R1)之另一端以及該差動放大器(2)中之一第一NMOS電晶體(MN1)之閘極，至於該第四NMOS電晶體(MN4)之閘極則接地。

7.如申請專利範圍第5項所述之電壓峰值檢知器，其中該控制電晶體(3)係

由第五PMOS電晶體(MP5)所組成，該第五PMOS電晶體(MP5)之源極係連接至電源電壓，汲極與差動放大器(2)中之第一和第二PMOS電晶體(MP1和MP2)之源極以及電流鏡(4)中之第三和第四PMOS電晶體(MP3和MP4)之源極相連接，而閘極則連接至一控制信號(Vc)。

8.如申請專利範圍第7項所述之電壓峰值檢知器，其中該控制信號(Vc)，於待機模式時，係呈邏輯高位準(即電源電壓Vdd)，因此可有效阻斷該差動放大器(2)與該電流鏡(4)之電流路徑，而於操作模式時，該控制信號(Vc)係呈邏輯低位準(即接地)，因此，可使該差動放大器(2)與該電流鏡(4)正常運作，以便取得輸入電壓信號之峰值電壓。

圖式簡單說明：

第一圖係顯示第一先前技藝中電

壓峰值檢知器之電路圖；

第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

5. 第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

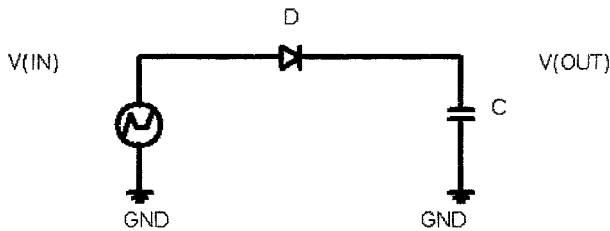
10. 第五圖係顯示第三先前技藝中電壓峰值檢知器之電路圖；

第六圖係顯示第五圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

15. 第七圖係顯示本創作較佳實施例之電壓峰值檢知器之電路圖；

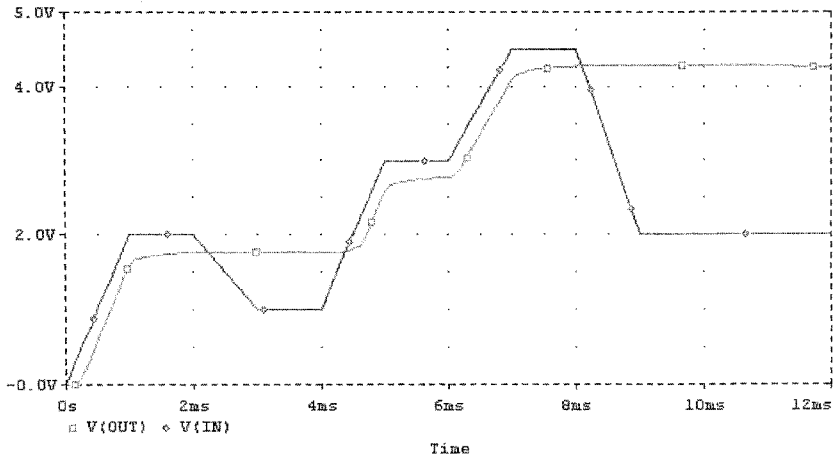
第八圖係顯示本創作電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖。

20.

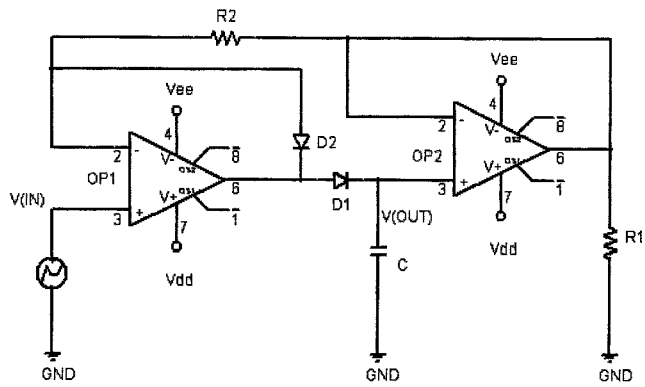


第一圖

(4)

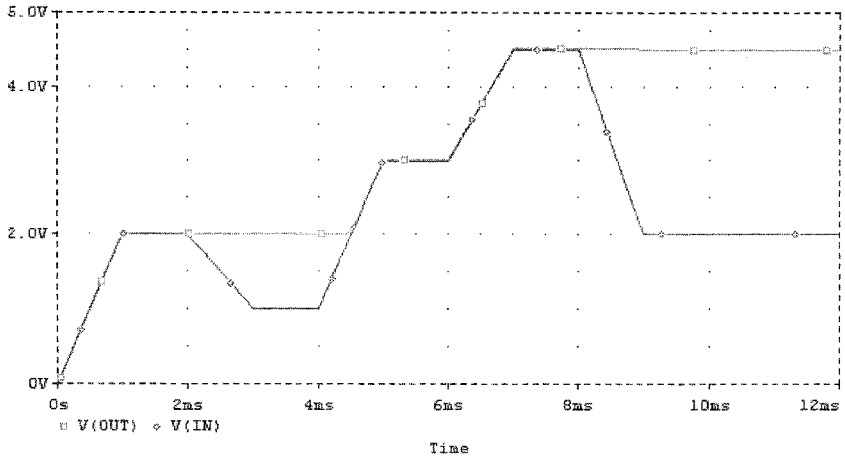


第二圖

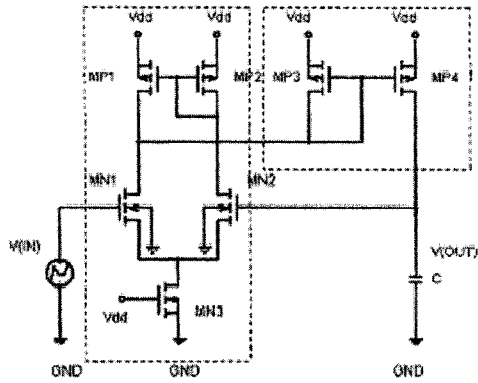


第三圖

(5)

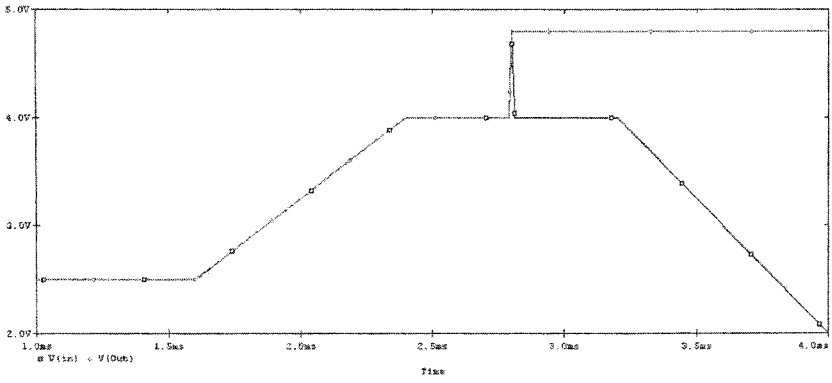


第四圖

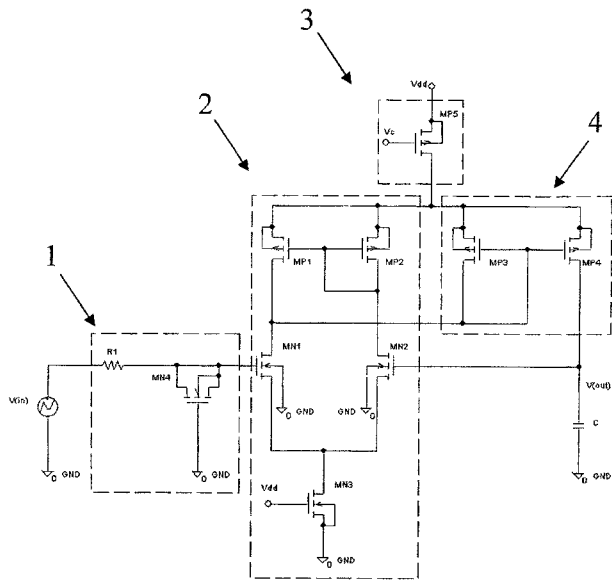


第五圖

(6)

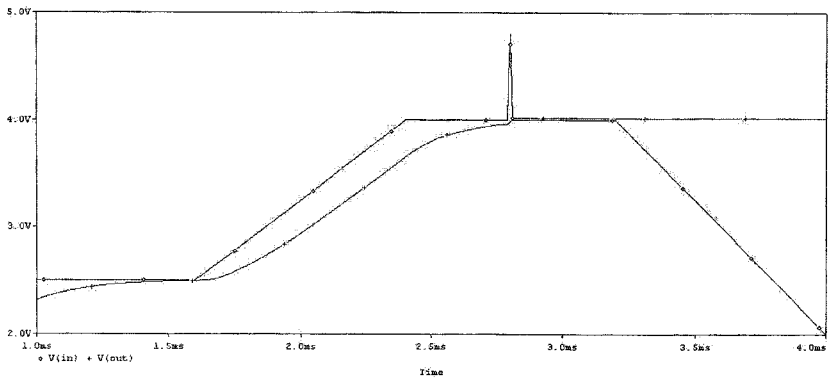


第六圖



第七圖

(7)



第八圖

