

【11】證書號數： M276200

【45】公告日： 中華民國 94 (2005) 年 09 月 21 日

【51】Int. Cl.⁷: G01R19/04

新型

全 7 頁

【54】名稱： 具低功耗消耗之電壓峰值檢知器

PEAK VOLTAGE DETECTOR HAVING LOWER POWER
DISSIPATION

【21】申請案號： 094204755

【22】申請日期： 中華民國 94 (2005) 年 03 月 28 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低功率消耗之電壓峰值檢知器，其包括：

一輸入端，用以提供一輸入電壓信號；

一輸出端，用以輸出該輸入電壓信號之峰值電壓；

一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓(V_{dd})和參考接地；

一差動放大器(1)，用以接受該輸入

電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡(2)，同時該差動放大器(1)具有一作為一電流源且用以提供一參考電流給差動放大器(1)使用之 MOS 電晶體；

一電流鏡(2)，用以根據該差動放大器(1)所提供之充電電流信號，而提供一充電電流給電容器(C)

5. 一控制電晶體(3)，該控制電晶體(3)

係連接在該輸入電壓信號與作為一電流源且用以提供一參考電流給差動放大器(1)使用之 MOS 電晶體之閘極之間，以便隨著輸入電壓信號之電壓位準，而動態控制該作為一電流源使用之 MOS 電晶體之汲極電流；以及

一電容器(C)，該電容器之一端連接至電流鏡(2)，以便接收該電流鏡所供應之充電電流，而另一端則連接至參考接地。

2.如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：

一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3.如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半導體所組成。

4.如申請專利範圍第1項所述之電壓峰值檢知器，其中該差動放大器(1)包括：

一第一 PMOS 電晶體(MP1)，其源極連接至電源電壓(Vdd)，閘極與第二 PMOS 電晶體(MP2)之閘極相連接，而汲極則與該電流鏡(2)以及第一 NMOS 電晶體(MN1)之汲極相連接；

一第二 PMOS 電晶體(MP2)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一 PMOS 電晶體(MP1)之閘極，且汲極亦與第二 NMOS 電晶體(MN2)之汲極連接；

一第一 NMOS 電晶體(MN1)，其源極與第二 NMOS 電晶體(MN2)之源極以及第三 NMOS 電晶體(MN3)之汲極相連接，閘極用以接受該輸入電壓信號，而汲極則與該電流鏡(2)

以及第一 PMOS 電晶體(MP1)之汲極相連接；

一第二 NMOS 電晶體(MN2)，其源極與第一 NMOS 電晶體(MN1)之源極以及第三 NMOS 電晶體(MN3)之汲極相連接，閘極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二 PMOS 電晶體(MP2)之汲極相連接；

10. 一第三 NMOS 電晶體(MN3)，其源極連接至參考接地，閘極連接至控制電晶體(3)之輸出端，而汲極則與第一以及第二 NMOS 電晶體(MN1 和 MN2)之源極相連接，該第 NMOS 電晶體(MN3)係作為一電流源且用以提供一參考電流給差動放大器(1)使用。

15. 5.如申請專利範圍第4項所述之電壓峰值檢知器，其中該電流鏡(2)包括：

20. 一第三 PMOS 電晶體(MP3)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一 NMOS 電晶體 MN1 之汲極；

25. 一第四 PMOS 電晶體(MP4)，其源極連接至電源電壓(Vdd)，閘極與第三 PMOS 電晶體(MP3)之閘極連接，而汲極則與該電容器(C)以及第二 NMOS 電晶體(MN2)之閘極相連接。

30. 6.如申請專利範圍第4項所述之電壓峰值檢知器，其中該控制電晶體(3)係由第四 NMOS 電晶體(MN4)所組成，該第四 NMOS 電晶體(MN4)之閘極與汲極連接在一起，並連接至該電壓峰值檢知器之輸入端，而源極則連接至該第三 NMOS 電晶體(MN3)之閘極。

圖式簡單說明：

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；

40. 第二圖係顯示第一圖電壓峰值檢

(3)

5

知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第五圖係顯示第三先前技藝中電壓峰值檢知器之電路圖；

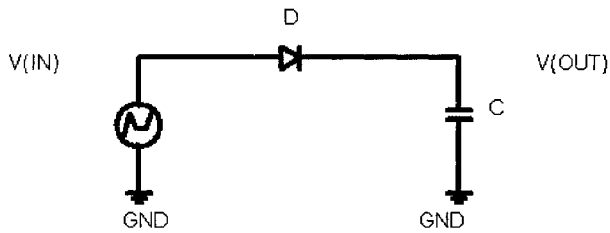
6

第六圖係顯示本創作較佳實施例之電壓峰值檢知器之電路圖；

第七圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

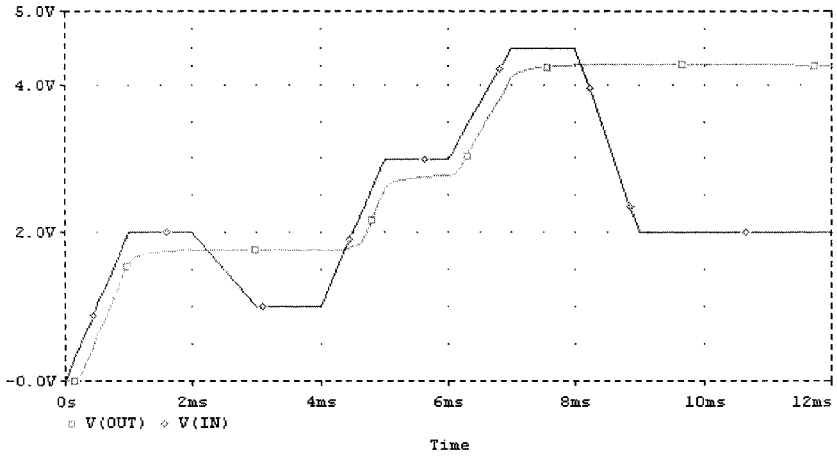
第八圖係比較本創作電壓峰值檢知器與第三先前技藝之暫態電流分析時序圖。

5.

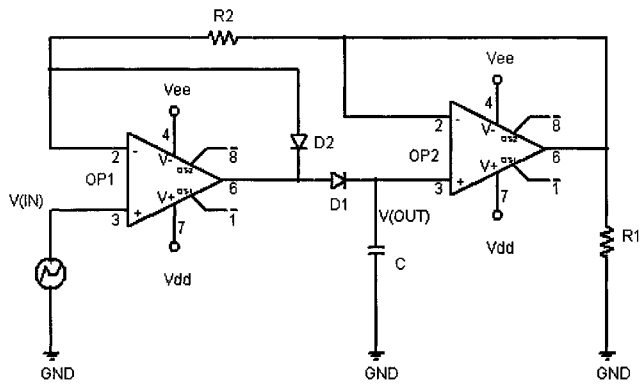


第一圖

(4)

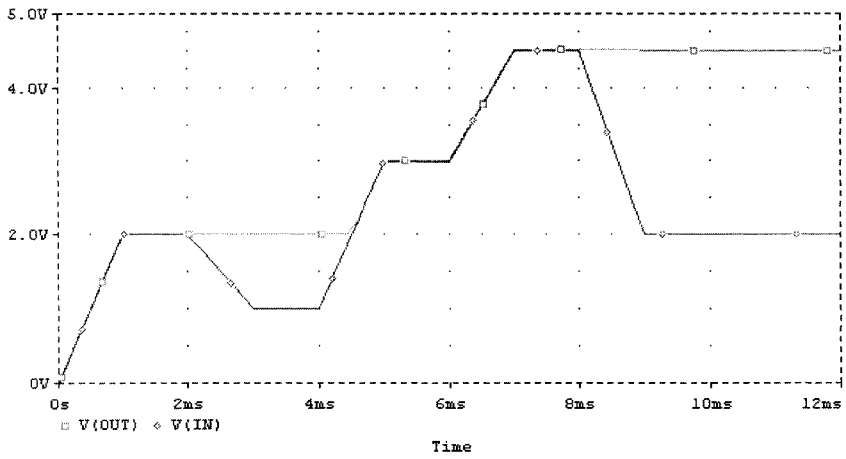


第二圖

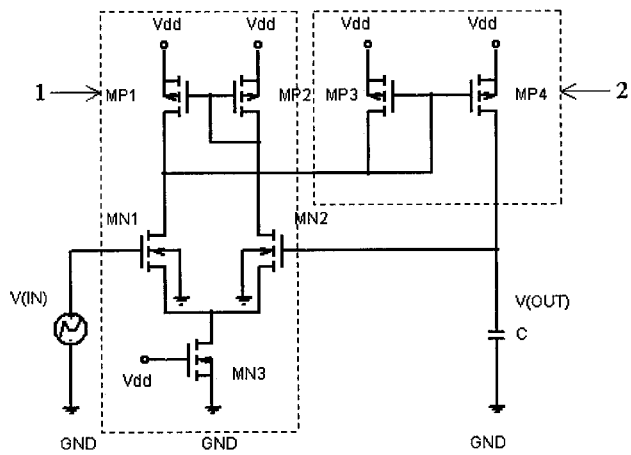


第三圖

(5)

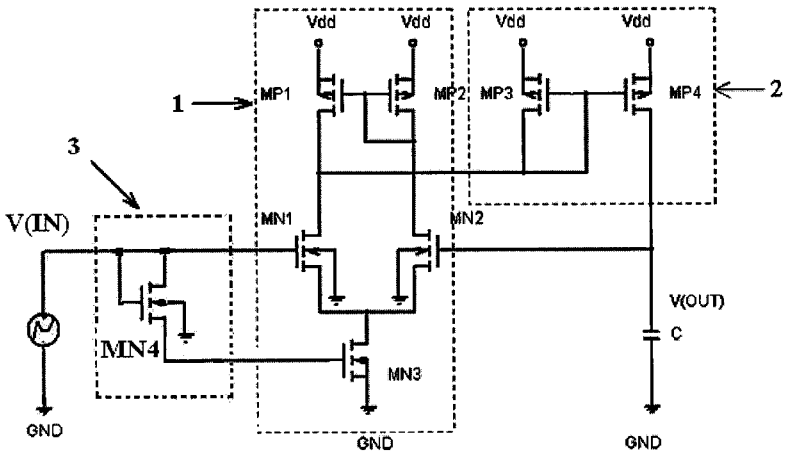


第四圖

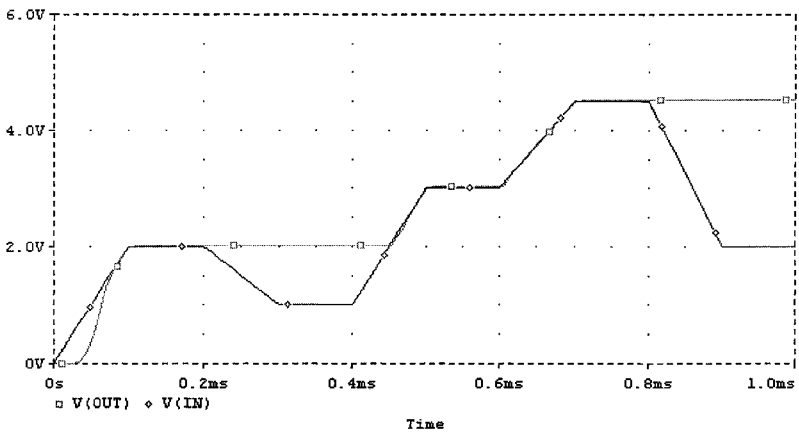


第五圖

(6)

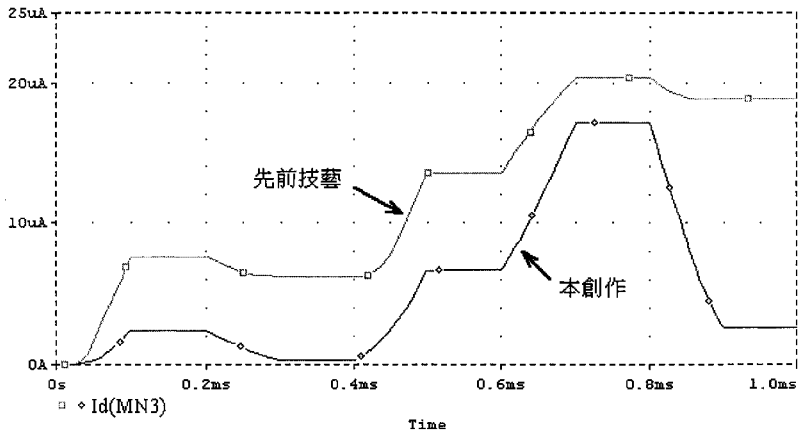


第六圖



第七圖

(7)



第八圖

