

# 內容摘要

本專題提出一種雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列、複數個控制電路、複數個預充電電路、一待機啟動電路以及複數個高電壓位準控制電路，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞設置一個控制電路，且每一記憶體晶胞係包括一第一反相器（由一第一PMOS電晶體P11與一第一NMOS電晶體M11所組成）、一第二反相器（由一第二PMOS電晶體P12與一第二NMOS電晶體M12所組成）、一存取電晶體（由第三NMOS電晶體M13所組成）、一第一讀取用電晶體M14以及一第二讀取用電晶體M15。每一控制單元係連接至對應列記憶體晶胞中之每一記憶體晶胞的該第一NMOS電晶體M11的源極以及該第二NMOS電晶體M12的源極，以便因應不同操作模式而控制該第一NMOS電晶體M11的源極電壓以及該第二NMOS電晶體M12的源極電壓，藉此於寫入模式時，可有效防止寫入邏輯1困難之問題，於讀取模式時，可於提高讀取速度的同時，亦避免無謂的功率耗損，於待機模式時，可有效降低漏電流，而於保持模式時則可維持原有的電氣特性。再者，藉由該待機啟動電路的設計，以有效促使雙埠靜態隨機存取記憶體快速進入待機模式，並因而有效提高雙埠靜態隨機存取記憶體之待機效能。此外，藉由該複數個高電壓位準控制電路的設計，以在於讀取邏輯0時藉由增加第二讀取用電晶體M15之導通程度，以進一步提高讀取速度。

# 表目錄

1. 讀取比較表格.....	13
----------------	----

# 圖表目錄

2.	第1a圖	1
3.	第1b圖	2
4.	第2圖	3
5.	第3圖 7 T S R A M良	7
6.	第4圖 7 T S R A M分析結果	8
7.	第5圖寫入模擬波形圖	9
8.	第6圖寫入模擬波形圖	10
9.	第7圖讀取模擬波形圖	12
10.	第8圖讀取模擬波形圖	12
11.	第9圖待機模擬波形圖	15
12.	第10圖待機模擬波形圖	16

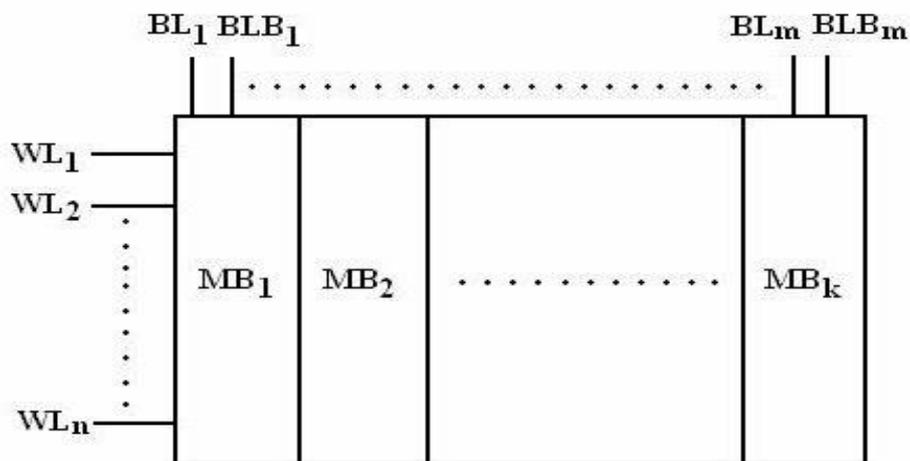
# 目錄

• 內容摘要.....	I
• 表目錄.....	II
• 圖表目錄.....	III
• 目錄.....	IV
一 • 內容報告.....	1
1.1 • 前言.....	2
1.2 • 本專題提出之靜態隨機存取記憶體.....	5
1.3 • 模擬結果.....	6
二 • 總結.....	16
參考文獻.....	18
作者簡介.....	19

# 一、內容報告

## 1.1 前言：

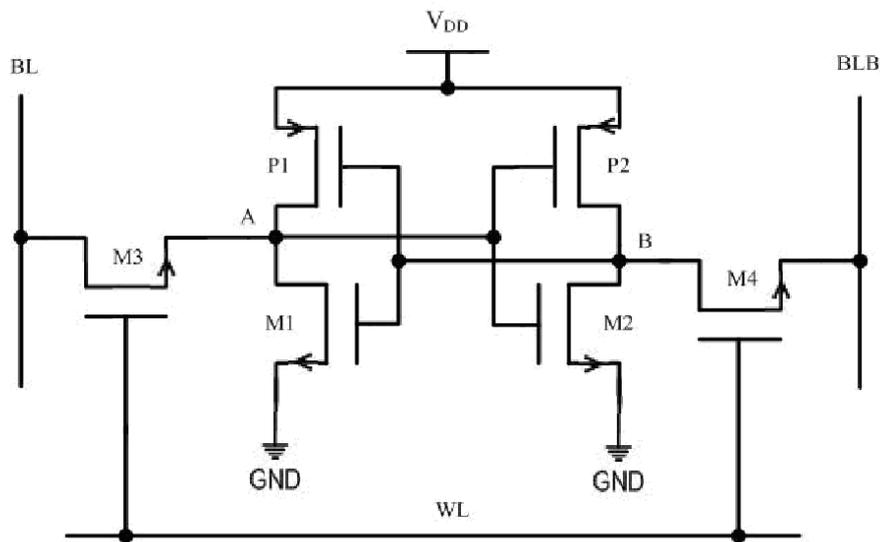
本專題係有關於一種7T雙埠（dual port）靜態隨機存取記憶體（Static Random Access Memory，簡稱SRAM），尤指一種有效提高7T雙埠SRAM之待機效能，並能有效提高讀取速度與有效降低漏電流（leakage current）且能解決習知具單一位元線之雙埠SRAM寫入邏輯1困難之7T雙埠SRAM。



第1a圖

習知之單埠靜態隨機存取記憶體（SRAM）如第1a圖所示，其主要包括一記憶體陣列（memory array），該記憶體陣列係由複數個記憶體區塊（memory block，MB<sub>1</sub>、MB<sub>2</sub>等）所組成，每一記憶體區塊更由複數列記憶體晶胞（a plurality of rows of memory cells）與複數行記憶體晶胞（a plurality of columns of memory cells）所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞；複數條

字元線 (word line,  $WL_1$ 、 $WL_2$ 等), 每一字元線對應至複數列記憶體晶胞中之一列; 以及複數位元線對 (bit line pairs,  $BL_1$ 、 $BLB_1$ ... $BL_m$ 、 $BLB_m$ 等), 每一位元線對係對應至複數行記憶體晶胞中之一行, 且每一位元線對係由一位元線 ( $BL_1$ ... $BL_m$ ) 及一互補位元線 ( $BLB_1$ ... $BLB_m$ ) 所組成。



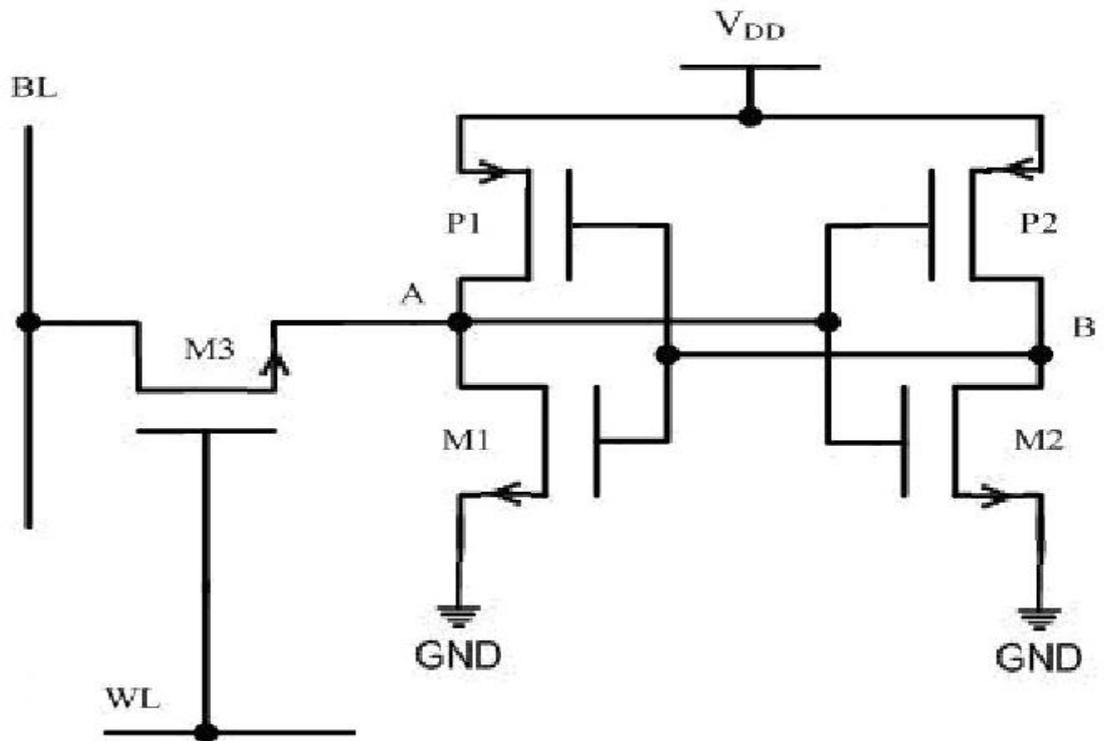
第1b圖

第1b圖所示即是6T單埠靜態隨機存取記憶體 (SRAM) 晶胞之電路示意圖, 其中, PMOS 電晶體 (P1) 和 (P2) 稱為負載電晶體 (load transistor), NMOS 電晶體 (M1) 和 (M2) 稱為驅動電晶體 (driving transistor), NMOS 電晶體 (M3) 和 (M4) 稱為存取電晶體 (access transistor), WL 為字元線 (word line), 而 BL 及 BLB 分別為位元線 (bit line) 及互補位元線 (complementary bit line), 由於該單埠 SRAM 晶胞需要 6 個電晶體, 且於讀取邏輯 0 時, 為了避免讀取操作初始瞬間

(initial instant) 另一驅動電晶體導通，節點A之讀取初始瞬間電壓 ( $V_{AR}$ ) 必須滿足方程式 (1)：

$$V_{AR} = V_{DD} \times (R_{M1}) / (R_{M1} + R_{M3}) < V_{TM2} \quad (1)$$

以防止讀取時之半選定晶胞干擾 (half-selected cell disturbance)，其中， $V_{AR}$  表示節點A之讀取初始瞬間電壓， $R_{M1}$  與  $R_{M3}$  分別表示該 NMOS 電晶體 (M1) 與該 NMOS 電晶體 (M3) 之導通電阻，而  $V_{DD}$  與  $V_{TM2}$  分別表示電源供應電壓與該 NMOS 電晶體 (M2) 之臨界電壓，此導致驅動電晶體與存取電晶體之間的電流驅動能力比 (即單元比率，cell ratio) 通常設定在 2.2 至 3.5 之間。



第2圖

用來減少6T靜態隨機存取記憶體（SRAM）晶胞之電晶體數之一種方式係揭露於第2圖中。第2圖顯示一種僅具單一位元線之5T單埠靜態隨機存取記憶體晶胞之電路示意圖，與第1b圖之6T單埠靜態隨機存取記憶體晶胞相比，此種5T靜態隨機存取記憶體晶胞比6T靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該5T單埠靜態隨機存取記憶體晶胞在不變更PMOS電晶體P1和P2以及NMOS電晶體M1、M2和M3的通道寬長比的情況下存在寫入邏輯1相當困難之問題。茲考慮記憶晶胞左側節點A原本儲存邏輯0的情況，由於節點A之電荷僅獨自位元線（BL）傳送，因此在將節點A中先前寫入的邏輯0蓋寫成邏輯1之寫入初始瞬間電壓（ $V_{AW}$ ）等於方程式（2）：

$$V_{AW} = V_{DD} \times (R_{M1}) / (R_{M1} + R_{M3}) \quad (2)$$

其中， $V_{AW}$ 表示節點A之寫入初始瞬間電壓， $R_{M1}$ 與 $R_{M3}$ 分別表示NMOS電晶體（M1）與NMOS電晶體（M3）之導通電阻，比較方程式（1）與方程式（2）可知，寫入初始瞬間電壓（ $V_{AW}$ ）小於NMOS電晶體（M2）之臨界電壓（ $V_{TM2}$ ），因而無法完成寫入邏輯1之操作。具單一位元線之5T靜態隨機存取記憶體晶胞存在寫入邏輯1相當困難之問題。迄今，有許多具單一位元線之7T雙埠靜態隨機存取記憶體晶胞之技術被提出，[1]-[11]，該等專利雖可有效解決寫入邏輯1困難之問題，惟由於該等專利均未考慮到製程20奈米以下操作電壓將降為1伏特以下時所造成讀取速度降低之問題，因此仍有改進空間。有鑑於

此，本專題之主要目的係提出一種雙埠靜態隨機存取記憶體，其能藉由控制電路與高電壓位準控制電路之雙重機制以有效提高讀取速度。

本專題之次要目的係提出一種雙埠靜態隨機存取記憶體，其能藉由二階段的讀取控制以於提高讀取速度的同時，亦能避免無謂的功率耗損。

本專題之再一目的係提出一種雙埠靜態隨機存取記憶體，其能藉由待機啟動電路以有效促使SRAM快速進入待機模式，並因而有效提高SRAM之待機效能。

本專題之又一目的係提出一種雙埠靜態隨機存取記憶體，其能藉由控制電路以有效降低待機模式之漏電流。

## 1.2 · 本專題提出之靜態隨機存取記憶體

本專題提出一種雙埠靜態隨機存取記憶體，其主要包括一記憶體陣列、複數個控制電路、複數個預充電電路、一待機啟動電路以及複數個高電壓位準控制電路，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞設置一個控制電路，且每一記憶體晶胞係包括一第一反相器（由一第一PMOS電晶體P11與一第一NMOS電晶體M11所組成）、一第二反相器（由一第二PMOS電晶體P12與一第二NMOS電晶體M12所組成）、一存取電晶體（由第三NMOS

電晶體M13所組成)、一第一讀取用電晶體 (M14) 以及一第二讀取用電晶體 (M15)。每一控制單元係連接至對應列記憶體晶胞中之每一記憶體晶胞的該第一NMOS電晶體 (M11) 的源極以及該第二NMOS電晶體 (M12) 的源極，以便因應不同操作模式而控制該第一NMOS電晶體 (M11) 的源極電壓以及該第二NMOS電晶體 (M12) 的源極電壓，藉此於寫入模式時，可有效防止寫入邏輯1困難之問題，於讀取模式時，可於提高讀取速度的同時，亦避免無謂的功率耗損，於待機模式時，可有效降低漏電流，而於保持模式時則可維持原有的電氣特性。再者，藉由該待機啟動電路的設計，以有效促使雙埠靜態隨機存取記憶體快速進入待機模式，並因而有效提高7T雙埠靜態隨機存取記憶體之待機效能。此外，藉由該複數個高電壓位準控制電路的設計，以在於讀取邏輯0時藉由增加第二讀取用電晶體 (M15) 之導通程度，以進一步提高讀取速度。

## 1.3 模擬結果

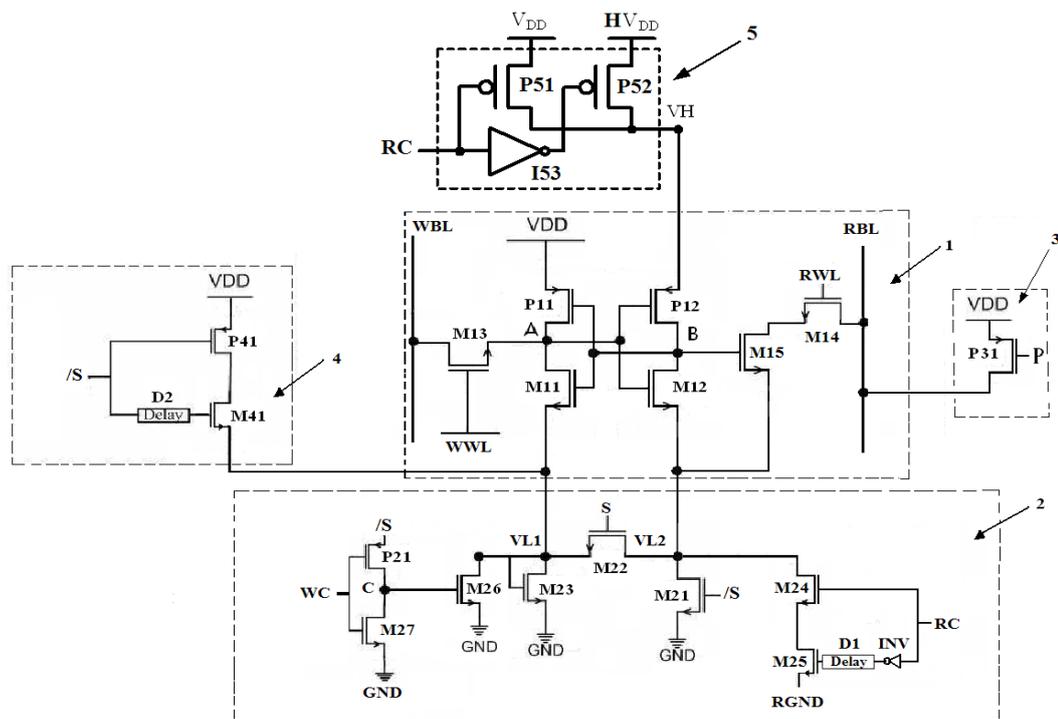
### 模擬應用程式H-SPICE:

PSICE一種應用於電路描述與模擬的語言與模擬器軟體，目的在檢測電路是的連接和功能的完整性以及預測電路的特性與行為。

SPICE主要發展以H-SPICE、P-SPICE和IS-SPICE這三種較為常見。

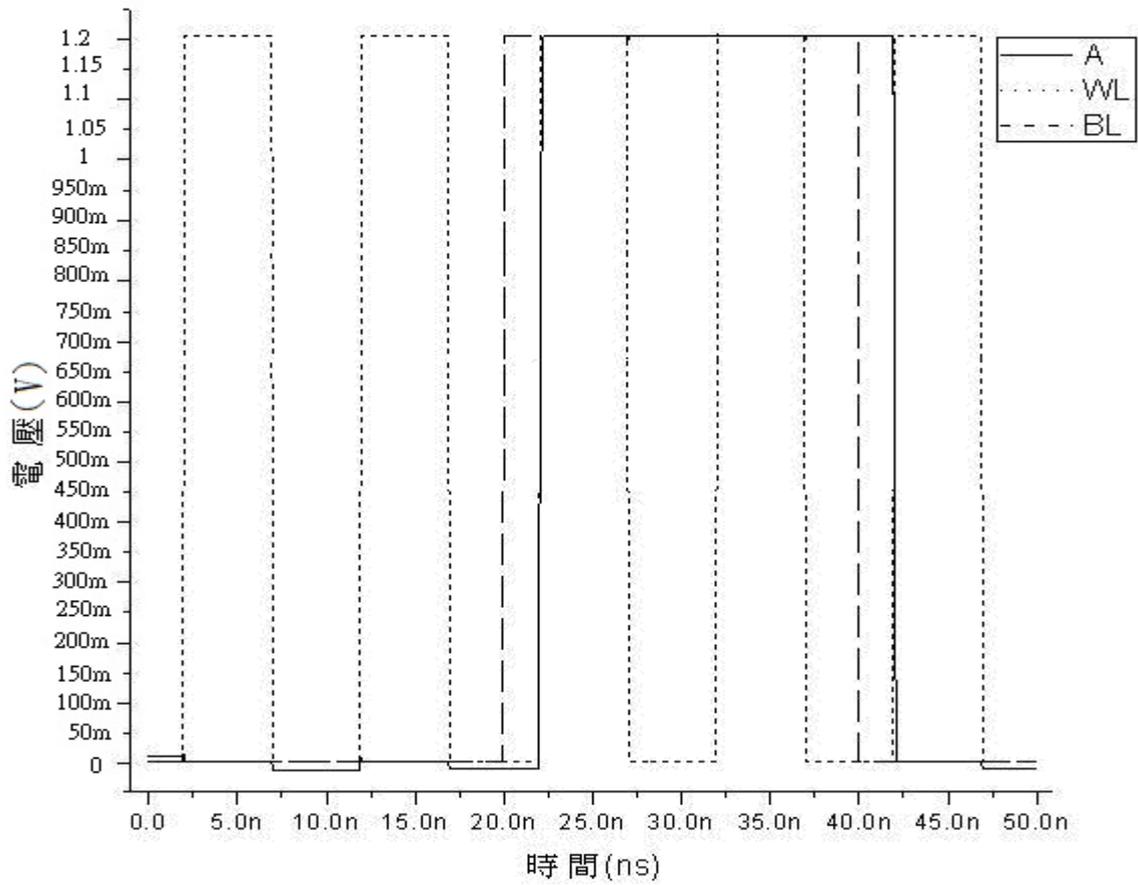
H-SPICE則較常應用於業界發產(IC設計)或學術研究，特別是在積體電路設計方面使用。

H-SPICE這款軟體並無模擬電路的元件可供視覺化設計，而是需要用概念式的方法給予電路上的節點編號，以及給予電子元件規格，再經由程式碼來進行模擬結果。



第 3 圖 7 T S R A M 改良

# 7T1SRAM 模擬



第 4 圖 7 T S R A M 分析結果

寫入的語法：

```

|ff
.lib'mm018.1'tt
MN11  A      B      VL1  GND  NCH  L=0.18u W=0.22u
MN12  B      A      VL2  GND  NCH  L=0.18u W=0.22u
MN13  WBL    WWL    A      GND  NCH  L=0.18u W=0.56u
MN14  RBL    RWL    1      GND  NCH  L=0.18u W=0.22u
MN15  1      B      VL2  GND  NCH  L=0.18u W=0.22u
MP11  A      B      VDD  VDD  PCH  L=0.18u W=0.44u
MP12  B      A      VH   VDD  PCH  L=0.18u W=0.44u

MN21  VL2    /S     GND  GND  NCH  L=0.18u W=0.22u
MN22  VL2    S      VL1  GND  NCH  L=0.18u W=0.22u
MN23  VL1    VL1    GND  GND  NCH  L=0.18u W=0.22u
MN24  VL2    RC     2     GND  NCH  L=0.18u W=0.22u
MN25  2      3     RGND  GND  NCH  L=0.18u W=0.22u
MN26  VL1    C      GND  GND  NCH  L=0.18u W=0.22u
MN27  C      WC     GND  GND  NCH  L=0.18u W=0.22u
MP21  C      WC     /S    VDD  PCH  L=0.18u W=0.44u

MN11  3      RC     GND  GND  NCH  L=0.72u W=0.22u
MP11  3      RC     VDD  VDD  PCH  L=0.18u W=0.44u

MP31  RBL    P      VDD  VDD  PCH  L=0.18u W=0.44u

MN41  6      5     VL1  GND  NCH  L=0.18u W=0.22u
MP41  6      /S    VDD  VDD  PCH  L=0.18u W=0.44u

MN12  4      /S     GND  GND  NCH  L=0.72u W=0.22u
MP12  4      /S    VDD  VDD  PCH  L=0.18u W=0.44u
MN13  5      4     GND  GND  NCH  L=0.72u W=0.22u
MP13  5      4     VDD  VDD  PCH  L=0.18u W=0.44u

MP51  VH     RC     VDD  VDD  PCH  L=0.18u W=0.44u
MP52  VH     7     VDDH VDD  PCH  L=0.18u W=0.44u

MN14  7      RC     GND  GND  NCH  L=0.18u W=0.22u
MP14  7      RC     VDD  VDD  PCH  L=0.18u W=0.44u

```

```

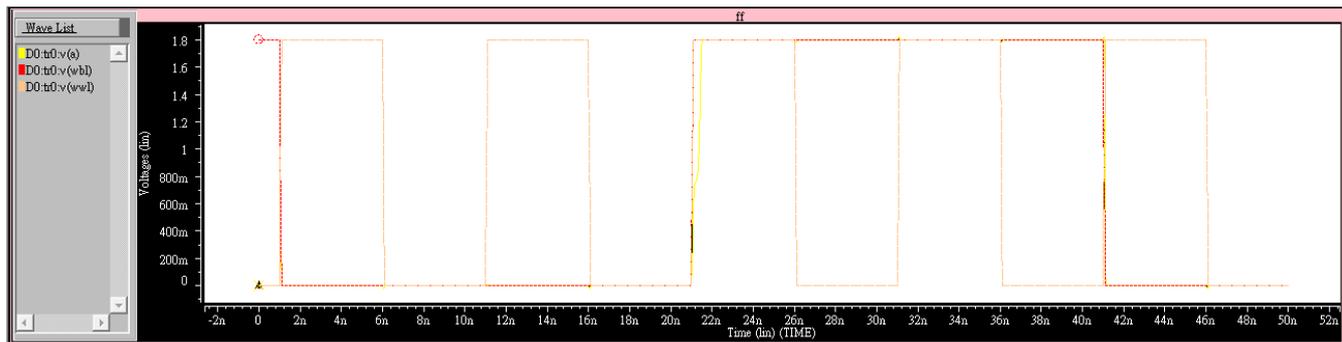
VDD    VDD    GND    1.8
VDDH   VDDH   GND    2.1
VRGND  RGND   GND    -0.4

VS      S      GND    0
V/S     /S     GND    1.8
VRC     RC     GND    -0.4
VRWL    RWL   GND    0
VP      P      GND    1
VWBL    WBL   GND    PULSE(1.8 0 1n 0.1n 0.1n 19.9n 40n)
VWWL    WWL   GND    PULSE(0 1.8 1n 0.1n 0.1n 4.9n 10n)

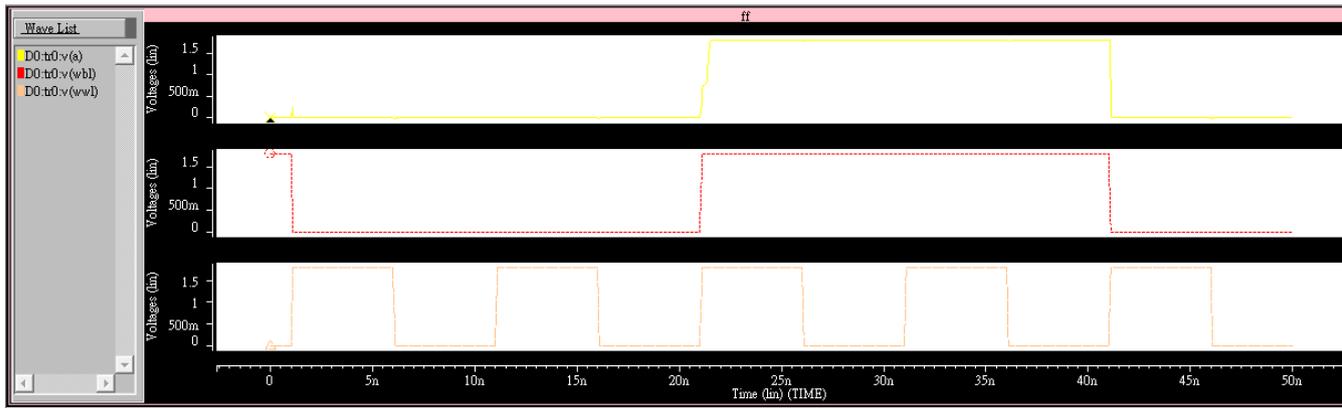
.TRAN  0.01n 50n
.END

```

寫入的模擬波形圖：



## 第 5 圖



## 第 6 圖

第一條黃色=A

第二條紅色=WBL

第三條皮膚色=WWL

1. 寫入操作時，VL1 必須高於接地電壓，且 VL2 維持於接地電壓。
2. 以解決寫入邏輯 1 困難之問題。

## 讀取的語法:

```

ff_A
.lib'mm018.l'tt
.ic b=1.8
MN11 A B VL1 GND NCH L=0.18u W=0.22u
MN12 B A VL2 GND NCH L=0.18u W=0.22u
MN13 WBL WWL A GND NCH L=0.18u W=0.56u
MN14 RBL RWL 1 GND NCH L=0.18u W=0.22u
MN15 1 B VL2 GND NCH L=0.18u W=0.22u
MP11 A B VDD VDD PCH L=0.18u W=0.44u
MP12 B A VH VDD PCH L=0.18u W=0.44u

MN21 VL2 /S GND GND NCH L=0.18u W=0.22u
MN22 VL2 S VL1 GND NCH L=0.18u W=0.22u
MN23 VL1 VL1 GND GND NCH L=0.18u W=0.22u
MN24 VL2 RC 2 GND NCH L=0.18u W=0.84u
MN25 2 3 RGND GND NCH L=0.18u W=0.84u
MN26 VL1 C GND GND NCH L=0.18u W=0.22u
MN27 C WC GND GND NCH L=0.18u W=0.22u
MP21 C WC /S VDD PCH L=0.18u W=0.44u

MN11 3 RC GND GND NCH L=3.6u W=0.22u
MP11 3 RC VDD VDD PCH L=0.18u W=0.44u

MP31 RBL P VDD VDD PCH L=0.18u W=0.44u

MN41 6 5 VL1 GND NCH L=0.18u W=0.22u
MP41 6 /S VDD VDD PCH L=0.18u W=0.44u

MN12 4 /S GND GND NCH L=0.72u W=0.22u
MP12 4 /S VDD VDD PCH L=0.18u W=0.44u
MN13 5 4 GND GND NCH L=0.72u W=0.22u
MP13 5 4 VDD VDD PCH L=0.18u W=0.44u

MP51 VH RC VDD VDD PCH L=0.18u W=0.44u
MP52 VH 7 VDDH VDD PCH L=0.18u W=0.44u

MN14 7 RC GND GND NCH L=0.18u W=0.22u
MP14 7 RC VDD VDD PCH L=0.18u W=0.44u

```

```

C1      WBL      GND      0.01PF
C2      RBL      GND      0.04PF
C3      VL1     GND      0.01PF
C4      VL2     GND      0.01PF
C5      VH      GND      0.01PF

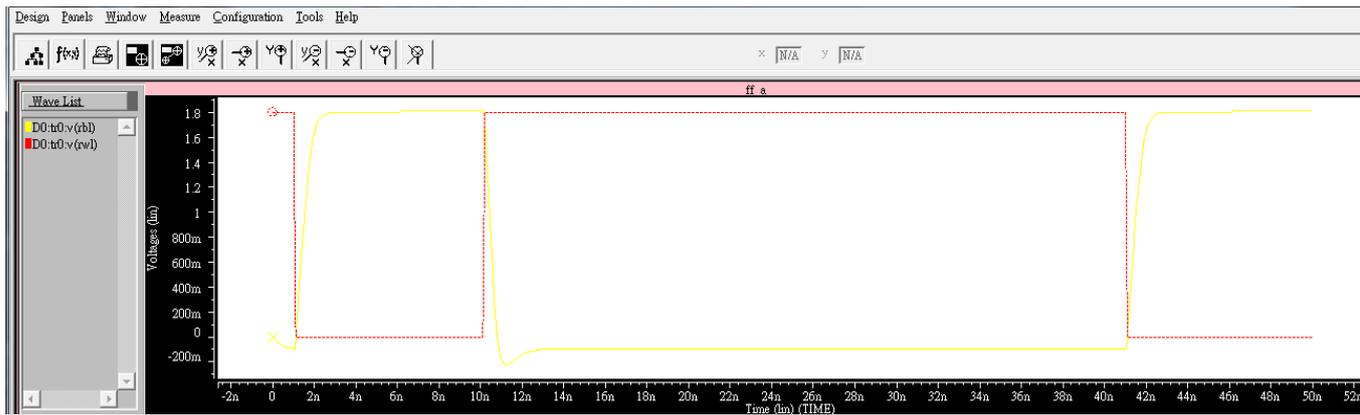
VDD     VDD      GND      1.8
VDDH    VDDH    GND      2.1
VRGND   RGND    GND      -0.6

VS      S       GND      0
V/S     /S      GND      1.8
VRC     RC      GND      PULSE(1.8 -0.6 1n 0.1n 0.1n 9n 40n)
VRWL    RWL     GND      PULSE(1.8 0 1n 0.1n 0.1n 9n 40n)
VP      P       GND      PULSE(1.8 0 1n 0.1n 0.1n 5n 40n)
VWBL    WBL     GND      0
VWVL    WVL     GND      0

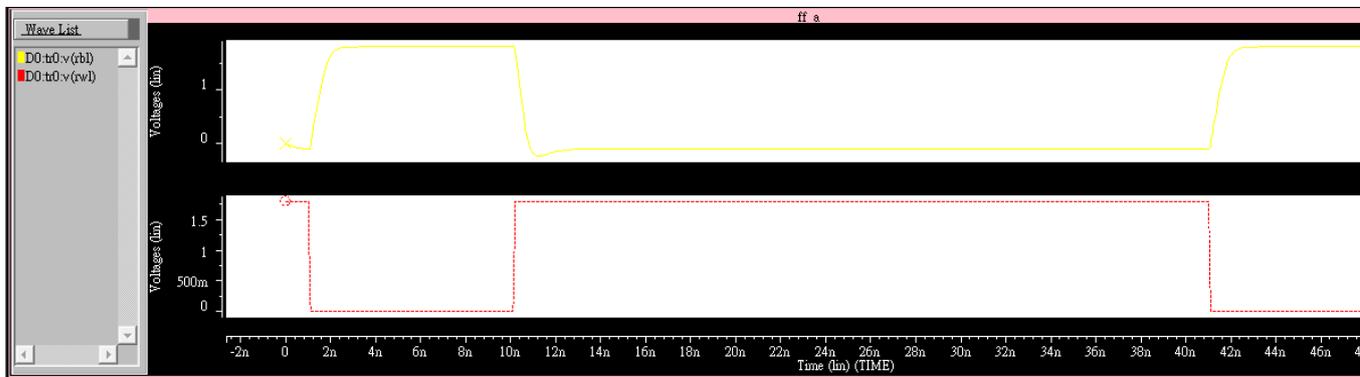
.TRAN   0.01n   50n   uic
.END

```

讀取的模擬波形圖：



第 7 圖



第 8 圖

第一條黃色=RBL

第二條紅色=RWL

"讀取"時，VL1 接地 VL2 比接地低以致加快讀取速度現在的製程越做越小。

電源供應電壓(VDD)也會越來越小電壓差也會越來越小，導致速度變慢 所以才要加快讀去速度。

讀取做成 2 個階段

VL2 第一個階段比接地低，讀取在第一階段的時間已完成。

第二個階段還原為接地電壓，減少無謂的功率損耗。

讀取模式時，可於提高讀取速度的同時，亦避免無謂的功率耗損。

### 讀取比較表格

下降電壓(V)	傳統 SRAM(ns)	本專題 SRAM(ns)	百分比
0.05	0.076	0.063	17.1%
0.1	0.1	0.085	15%
0.15	0.122	0.1	18%

待機的語法:

```
ff.b
.lib'mm018.l'tt
```

```
MN11 A B VL1 GND NCH L=0.18u W=0.22u
MP11 A B VDD VDD PCH L=0.18u W=0.44u
MN12 B A VL2 GND NCH L=0.18u W=0.22u
MP12 B A VH VDD PCH L=0.18u W=0.44u
MN13 WBL WWL A GND NCH L=0.18u W=0.56u
MN14 RBL RWL 1 GND NCH L=0.18u W=0.22u
MN15 1 B VL2 GND NCH L=0.18u W=0.22u

MN21 VL2 /S GND GND NCH L=0.18u W=0.22u
MN22 VL1 S VL2 GND NCH L=0.18u W=0.22u
MN23 VL1 VL1 GND GND NCH L=0.18u W=0.22u
MN24 VL2 RC 2 GND NCH L=0.18u W=0.22u
MN25 2 D1 RGND GND NCH L=0.18u W=0.22u
MN26 VL1 C GND GND NCH L=0.18u W=0.22u
MN27 C /WC /S GND NCH L=0.18u W=0.22u
MN28 C WC GND GND NCH L=0.18u W=0.22u

MNI1 D1 RC GND GND NCH L=0.18u W=0.22u
MPI1 D1 RC VDD VDD PCH L=0.18u W=0.44u

MP13 RBL P VDD VDD PCH L=0.18u W=0.44u

MN41 3 5 VL1 GND NCH L=0.18u W=0.22u
MP41 3 /S VDD VDD PCH L=0.18u W=0.44u

MNI2 4 /S GND GND NCH L=0.18u W=0.22u
MPI2 4 /S VDD VDD PCH L=0.36u W=0.22u
MNI3 5 4 GND GND NCH L=0.36u W=0.22u
MPI3 5 4 VDD VDD PCH L=0.18u W=0.44u

MP51 VH RC VDD VDD PCH L=0.18u W=0.44u
MP52 VH 6 VDDH VDD PCH L=0.18u W=0.44u

MNI4 6 RC GND GND NCH L=0.18u W=0.22u
```

```
MPI4 6 RC VDD VDD PCH L=0.18u W=0.44u
```

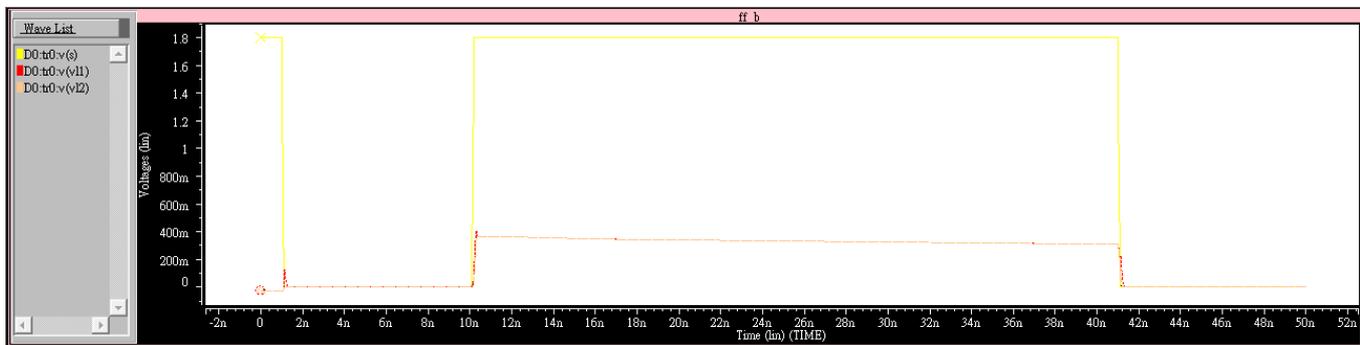
```
C1 WBL GND 0.01PF  
C2 RBL GND 0.01PF  
C3 VL1 GND 0.01PF  
C4 VL2 GND 0.01PF  
C5 VH GND 0.01PF
```

```
VDD VDD GND 1.8  
VDDH VDDH GND 2.1  
VRGND RGND GND -0.4  
VRC RC GND -0.4
```

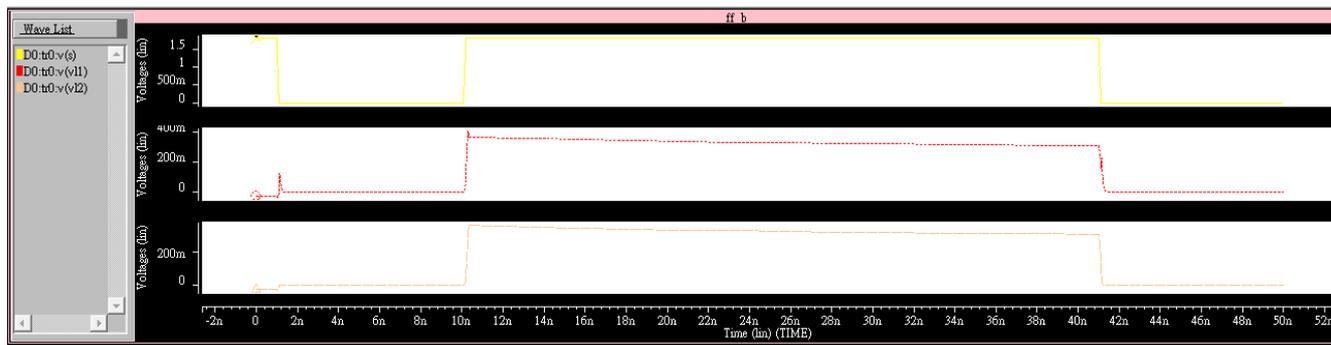
```
VP P GND 1.8  
VRWL RWL GND 0  
VS S GND PULSE(1.8 0 1n 0.1n 0.1n 9n 40n)  
V/S /S GND PULSE(0 1.8 1n 0.1n 0.1n 9n 40n)  
VWC WC GND 0  
V/WC /WC GND 1.8  
VWWL WWL GND 0  
VWBL WBL GND 0
```

```
.TRAN 0.01n 50n  
.END
```

待機的模擬波形圖：



第 9 圖



第 10 圖

第一條黃色=S

第二條紅色=VL1

第三條皮膚色=VL2

待機時 VL1 跟 VL2 都設定成比接地高

待機模式時，可有效降低漏電流，而於保持模式時則可維持原有的電氣特性。

## 二、總結

本專題所提出之雙埠靜態隨機存取記憶體，具有如下功效：

- (1) 高讀取速度並避免無謂的功率消耗：本專題所提出之雙埠靜態隨機存取記憶體係採用二階段讀取操作，於讀取邏輯0之第一階段藉由將該第二低電壓節點（VL2）設定成較接地電壓為低之該加速讀取電壓（RGND），並將該節點B設定為高於該電源供應電壓（ $V_{DD}$ ）之該高電源供應電壓（ $HV_{DD}$ ），因此可藉此雙重機制以有效提高讀取速度，而於讀取邏輯0之第二階段則藉由將該第二低電壓節點（VL2）設定回接地電壓，以便減少無謂的功率消耗；
- (2) 快速進入待機模式：由於本專題所提出之雙埠靜態隨機存取記憶體設置有待機啟動電路（4）以促使SRAM快速進入待機模式，並藉此以謀求提高7T雙埠SRAM之待機效能；
- (3) 避免寫入邏輯1困難之問題：本專題所提出之雙埠靜態隨機存取記憶體

於寫入操作時，可藉由提高該第一低電壓節點（VL1）之電壓位準以有效避免習知具單一位元線之雙埠SRAM存在寫入邏輯1相當困難之問題；

- (4) 低待機電流：由於本專題所提出之雙埠靜態隨機存取記憶體於待機模式時，可藉由呈導通狀態之該第五NMOS電晶體（M22），以使得該第一低電壓節點（VL1）之電壓位準相等於該第二低電壓節點（VL2）之電壓位準，並使得該等電壓位準均等於該第六NMOS電晶體（M23）之臨界電壓的位準，因此本專題所提出之雙埠靜態隨機存取記憶體亦具備低待機電流之功效；
- (5) 有效降低半選定晶胞干擾：本專題所提出之雙埠靜態隨機存取記憶體由於使用分離的讀/寫路徑，且該讀取路徑係設計成將該第一和第二讀取用電晶體（M14和M15）串聯連接在該讀取用位元線（RBL）與該第二低電壓節點（VL2）之間，並將該反相儲存節點（B）連接至該第二讀取用電晶體（M15）的閘極，因此可有效降低半選定晶胞干擾（half-selected cell disturbance），其中半選定晶胞係指被該讀取用字元線（RWL）選定但未被該讀取用位元線（RBL）選定之晶胞。
- (6) 低電晶體數：對於具有1024列1024行之SRAM陣列而言，傳統第5圖之8T雙埠SRAM陣列共需 $1024 \times 1024 \times 8 = 8,388,608$ 顆電晶體，而本專題所提出之7T雙埠靜態隨機存取記憶體僅至少需 $1024 \times 1024 \times 7 + 1024 \times 20 + 6 = 7,360,518$ 顆電晶體，其減少12.3%之電晶體數。

## 參考文獻

- [1] Ming-Chuen Shiau, En-Chih Chang, “Dual port SRAM”,TW pat .I441178 B,Jun.11,2014.
- [2] Ming-Chuen Shiau, Shih-Ching Wang, “DUAL PORT SRAM HAVING A DISCHARGING PATH”,TW pat. I441179 B,Jun.11,2014.
- [3] Ching-Te Chuang, Yin-Nien Chen, Chien-Yu Hsieh, Ming-LongFan, Pi-Ho Hu, Pin Su ,“Independently-controlled-gate SRAM”,US pat. 8717807 B2,May.6,2014.
- [4] Ming-Chuen Shiau, En-Chih Chang,“7T DUAL PORT SRAM”,TW pat. I433152 B,Apr.1,2014.
- [5] Ming-Chuen Shiau, Chien-Cheng Yu, En-Chih Chang, Kuan-Ting Chen,“DUAL PORT SRAM HAVING A DISCHARGING PATH”,TW pat.I425509 B,Feb.1,2014.
- [6] Ming-Chuen Shiau, Sheng-Wei Liao, “DUAL PORT SRAM HAVING A LOWER POWER VOLTAGE IN WRITING OPERATION”,TW pat.I423257 B.Jan.11,2014.
- [7] Ming-Chuen Shiau, Sheng-Wei Liao,“DUAL PORT SRAM HAVING A HIGHER VOLTAGE WRITE-WORD-LINE IN WRITING OPERATION”,TW pat.I423258 B,Jan.11,2014.
- [8] Ming-Chuen Shiau, Sheng-Wei Liao,“DUAL PORT SRAM HAVING A LOWER POWER VOLTAGE IN WRITING OPERATION”,TW pat.I399748 B,Jun.21,2013.
- [9] Theodore W. Houston,“Seven transistor sram cell”, US pat.20090161410 A1,Jun.22,2009.
- [10] Donald J. Redwine,“SRAM cell with independent static noise margin, trip voltage, and read current optimization ”, US pat.7385840 B2,Jun.10,2008.
- [11] Louis L. Hsu, Toshiaki K. Kirihata, Li-Kong Wang, Robert C. Wong ,“Ultra high-speed DDP-SRAM cache ”, US pat.6751151 B2,Jun.15,2004.

## 作者簡介

電機三甲/三乙石明定、郭峻豪在得知了專題發展方向的時候我們兩人並沒有好好的把機會給把握住，二下的暑假期間每個禮拜的上課日子我們總是有在聽課但礙於學習能力不算好的那一方面，因而導致於該完成的部分並沒有達到標準，並且開學之後忙於上課也沒把之前該完成的地方補足，於是乎到了第一次專題口試發表的時候拿出來的作品和對話方式表現得極差，該說到的重點基本上都沒有講出口老師在問答的時候我們也無法說出答案也應此讓我們感到十分懊悔，很感謝老師們有再一次給予我們表現的機會所以第二次專題口試時，我們把目前最好的水平給呈現出來。雖然還是有許多的缺點，但這代表我們還有很大的進步空間能夠向上努力。

## 致謝

感謝指導老師蕭明椿老師在專題陷入困境時從旁幫助我們拉了專題一把，給予專題許多的思考方向讓研究達到更高的目標。也感謝評分老師的參予有了老師們的叮嚀才能把好的專題作品放上來給大家參觀，並且有了批評和指教才能夠進行修改達到更好的地步，再從其中找出其他不同的觀點繼續得以研究。