

第一充電電流給電容器；
一二極體，該二極體之一端連接至輸入端，而另一端連至電容器，用以提供一第二充電電流給該電容器；以及

一電容器，該電容器之一端連接至參考接地，而另一端連接至該電流鏡與該二極體，以接受該電流鏡與該二極體所供應之該第一與該第二充電電流。

2.如申請專利範圍第1項所述之具雙充電路徑之電壓峰值檢知器，其更包括：

一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3.如申請專利範圍第2項所述之具雙充電路徑之電壓峰值檢知器，其中該開關係由一金氧半導體所組成。

4.如申請專利範圍第1項所述之具雙充電路徑之電壓峰值檢知器，其中該差動放大器包括：

一第一PMOS電晶體(MP1)，其源極連接至電源電壓(Vdd)，閘極與第二PMOS電晶體(MP2)之閘極相連接，而汲極則與該電流鏡以及第一NMOS電晶體(MN1)之汲極相連接；

一第二PMOS電晶體(MP2)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一PMOS電晶體(MP1)之閘極，而汲極則與第二NMOS電晶體(MN2)之汲極連接；

一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及作為PMOS電流源(IP)使用之該PMOS電晶體之源極相連接，閘極用以接受該輸入電壓信號，而汲

極則與該電流鏡以及第一PMOS電晶體(MP1)之汲極相連接；

一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及作為PMOS電流源(IP)使用之該PMOS電晶體之源極相連接，閘極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二PMOS電晶體(MP2)之汲極相連接；以及

5. 一PMOS電流源(IP)，係由一連接成二極體形式之PMOS電晶體所組成，亦即將該PMOS電晶體之閘極與汲極連接在一起並連接至參考接地，而源極則與該第一以及該第二NMOS電晶體(MN1和MN2)之源極相連接，該作為PMOS電流源(IP)使用之該PMOS電晶體係用以提供一電流給該差動放大器使用。

5.如申請專利範圍第4項所述之具雙充電路徑之電壓峰值檢知器，其中該電流鏡包括：

一第三PMOS電晶體(MP3)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一NMOS電晶體MN1之汲極；以及

25. 一第四PMOS電晶體(MP4)，其源極連接至電源電壓(Vdd)，閘極與第三PMOS電晶體(MP3)之閘極連接，而汲極則與該電容器(C)以及第二NMOS電晶體(MN2)之閘極相連接。

6.如申請專利範圍第1項所述之具雙充電路徑之電壓峰值檢知器，其中該二極體係由一金氧半導體所組成。

35. 圖式簡單說明：

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；

第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

40.

第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

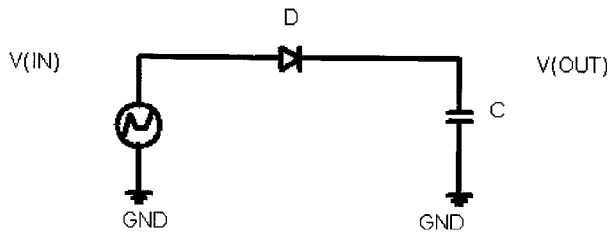
第五圖係顯示中華民國公告案號第 523592 號專利案電壓峰值檢知器之電路圖；

第六圖係顯示本創作較佳實施例

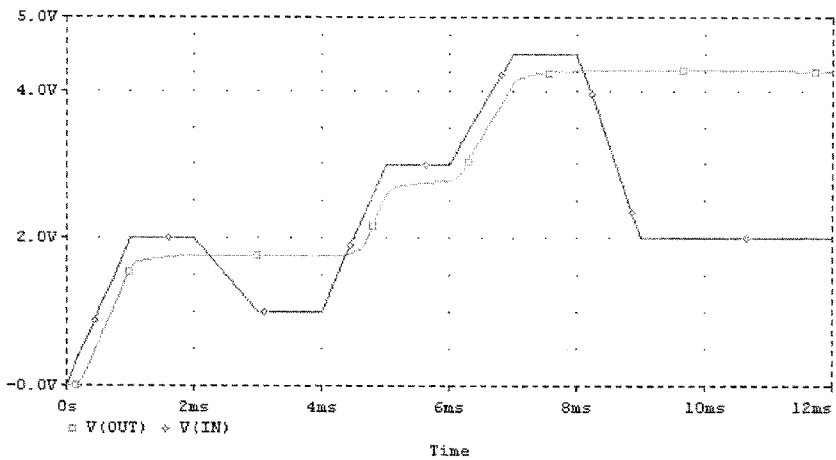
之電壓峰值檢知器之電路圖；

第七圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

5. 第八圖係比較本創作電壓峰值檢知器與中華民國公告案號第 523592 號專利案電壓峰值檢知器之暫態電流分析時序圖。

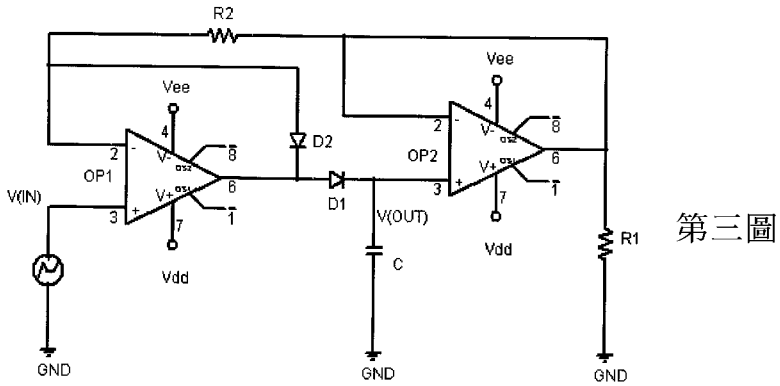


第一圖

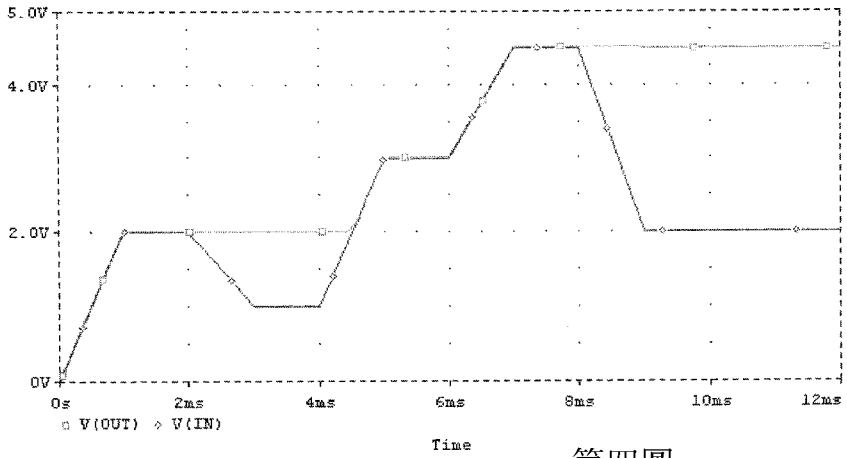


第二圖

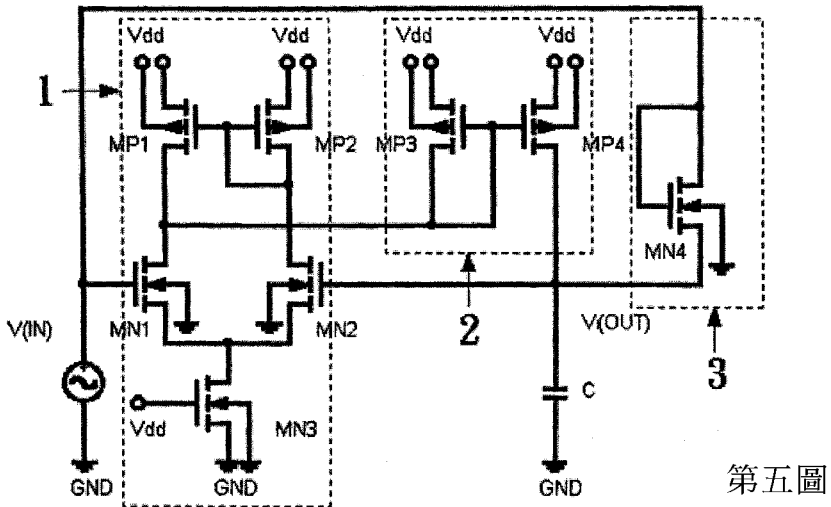
(4)



第三圖

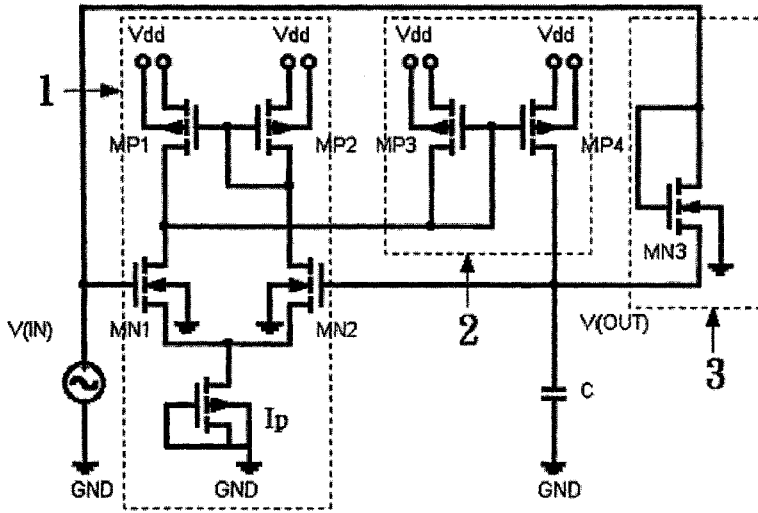


第四圖

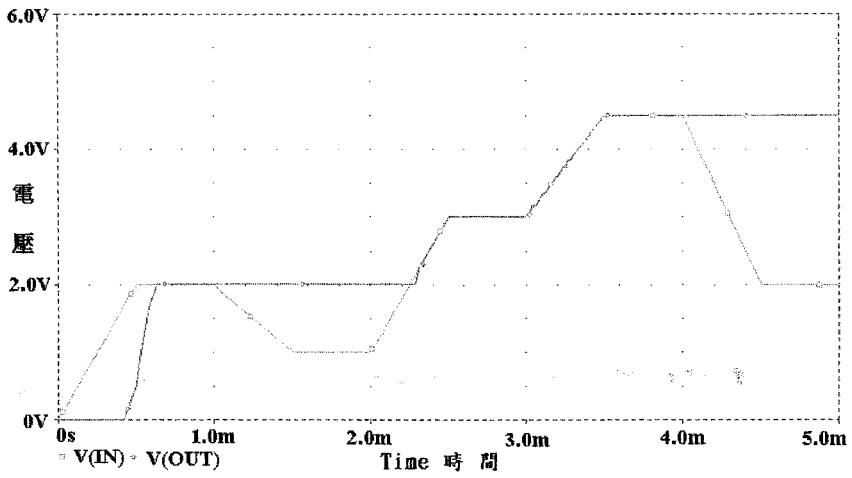


第五圖

(5)

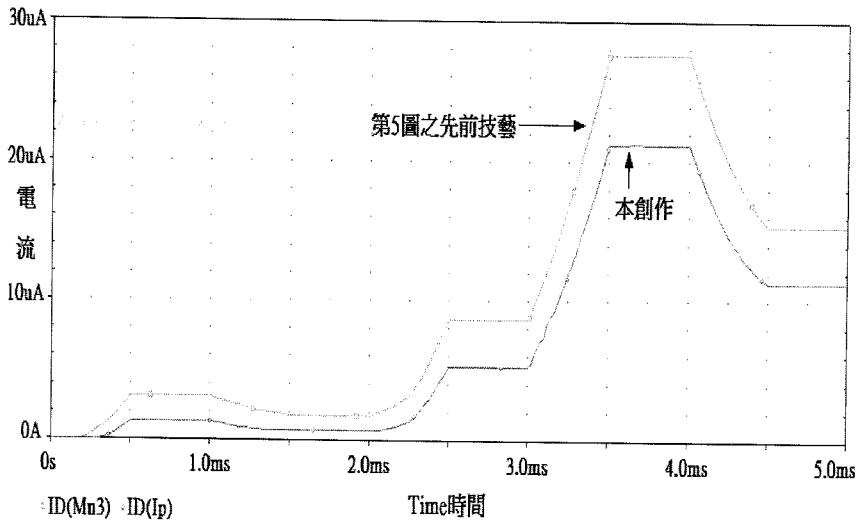


第六圖



第七圖

(6)



第八圖