

# 新型專利說明書

※申請案號： 096220181

※IPC 分類：

## 一、 新型名稱：

具可控制的PMOS電流源及單邊負載之電壓峰值檢知器  
Peak Voltage Detector Having Controllable PMOS  
Current Source and One-Sided Transistor Load

## 二、 中文新型摘要：

本創作提出一種新穎架構之具可控制的PMOS(P-channel Metal Oxide Semiconductor, P通道金屬氧化物半導體)電流源及單邊負載之電壓峰值檢知器，其係由一差動放大器(1)、一充電電晶體(2)、一控制電路(3)以及一電容器(C)所組成，其中，該差動放大器(1)係做為比較器使用，該充電電晶體(2)係做為充電器使用，用以提供電容器(C)所需之充電電流，且該差動放大器(1)之兩輸入端係分別接受輸入電壓信號及電壓峰值檢知器之輸出電壓回授信號，並提供適當之充電電流給充電電晶體，以便取得輸入電壓波形之峰值做為輸出電壓信號，該差動放大器(1)係包括一第一PMOS電晶體(MP1)、一第一NMOS(N-channel Metal Oxide Semiconductor, N通道金屬氧化物半導體)電晶體(MN1)、一第二NMOS電晶體(MN2)以及一由PMOS電晶體(MP)所組成之電流源(IP)，其中，該第一NMOS電晶體(MN1)和第二NMOS電晶體(MN2)係做為驅動器(driver)使用，該第一PMOS電晶體(MP1)係做為一單邊負載電晶體使用，且該單邊負載電晶體與該充電電晶體(2)共同構成一電流鏡，而該PMOS電晶體(MP)所組成之電流源(IP)係受該控制電路(3)以控制其為導通(on)或關閉(off)狀態，當該PMOS電晶體所組成之電流源(IP)為導通狀態時可提供一電流給該差動放大器(1)使用，而當該PMOS電晶體所組成之電流源(IP)為關閉狀態時，則禁能(disable)該差動放大器(1)，以便有效地減少功率消耗。本創作所提出之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且兼具電路結構簡單、使用的電晶體數量較少以及有利於裝置之小型化等多重功效，同時亦能有效地減少功率消耗。

## 三、 英文新型摘要：

## 四、 指定代表圖：

(一)本案指定代表圖為： 第6圖

(二)本代表圖之元件符號簡單說明：

1 . . . 差動放大器

2 . . . 充電電晶體

3 . . . 控制電路

IP . . . 電流源

C . . . 電容器

Vdd . . . 電源供應電壓

V(IN) . . . 輸入電壓信號

V(OUT) . . . 輸出電壓信號

MP . . . PMOS電晶體

MP1 . . . 第一PMOS電晶體

MP2 . . . 第二PMOS電晶體

MP3 . . . 第三PMOS電晶體

MN1 . . . 第一NMOS電晶體

MN2 . . . 第二NMOS電晶體

MN3 . . . 第三NMOS電晶體

D1 . . . 二極體

D2 . . . 二極體

## 五、 新型說明：

### 【新型所屬之技術領域】

[\_0001] 本創作係有關一種具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，尤指利用一差動放大器、一充電電晶體、一控制電路以及一電容器所組成以求獲得精確電壓峰值且具有低功率消耗之互補式金氧半(CMOS)電子電路。

### 【先前技術】

[\_0002] 電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

[\_0003] 在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器(A/D converter)、最大近似解碼系統(maximum likelihood decoding system)以及用以檢測核輻射之脈衝信號檢測電路等也需要用到電壓峰值檢知器。

[\_0004] 先前技藝(prior art)中，電壓峰值檢知器之最簡單作

法係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

- [\_0005] 如第1圖所示，當輸入電壓 $V(IN)$ 大於電容器 $C$ 之電壓時，二極體 $D$ 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 $C$ 不能再繼續充電，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。
- [\_0006] 由於輸出端與輸入端之間存在二極體 $D$ ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 $V_d$ 之誤差。亦即， $MAX(V(OUT)) = MAX(V(IN)) - V_d$ ，如第2圖所示(該圖係OrCAD PSpice之暫態分析模擬結果)。
- [\_0007] 對於許多應用而言，上述二極體導通電壓 $V_d$ 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。
- [\_0008] 為了能夠精確地檢測輸入之峰值電壓，另一種常用之先前技藝係使用了由二個運算放大器 $OP1$ 和 $OP2$ 、二個二極體 $D1$ 和 $D2$ 、二個電阻器 $R1$ 和 $R2$ 、以及一個電容器 $C$ 來構成一電壓峰值檢知器，如第3圖所示，其OrCAD PSpice之暫態分析模擬結果，如第4圖所示。其中， $OP1$ 是一個精確的半波整流器，當輸入電壓 $V(IN)$ 大於電容電壓 $V(C)$ 時，二極體 $D1$ 將傳送偏壓對電容器 $C$ 進行充電，最後電容電壓 $V(C)$ 將會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，所檢測出的輸出電壓 $V(OUT)$ 也會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，不會再有如第2圖所示於輸出端與輸入端之間存在一二極體導通電壓 $V_d$ 之誤差。而當輸入電壓 $V(IN)$ 小於電容電壓 $V(C)$ 時，二極體 $D2$ 將會導通，二極體 $D1$ 將會截止而不再對電容器 $C$ 進行充電之動作，這使得所檢測出的輸出電壓 $V(OUT)$ 會等於輸入電壓 $V(IN)$ 之峰值電壓。雖說第3圖之電壓峰值檢知器能精確地檢測出峰值電壓，但其電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。
- [\_0009] 迄今，有許多電壓峰值檢知器之技術被提出，例如於美國專利案第US5304939、5502746、5546027、5969545、6051998、6064238和6472861號以及中華民國專利案公告案號第476418號中所揭露者均是，該等技術均能精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失；此外，該等電壓峰值檢知器並未考慮到如何節省功率消耗之問題。
- [\_0010] 最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，例如中華民國專利案公告案號第517161號、第523592號、第I223078號、第I223079號、第I223080號、第I223081號、M276199、M311888、M315336

(其主要代表圖如第5圖所示)、M315337和M315338中所揭露者即是，該等技術係由本申請人提出，其係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。然而，該等技術並未考慮到僅於特定狀況時(該特定狀況例如應用於檢測核輻射之脈衝信號檢測電路而核輻射超過一特定量時)方使電壓峰值檢知器致能(enable)，以便進一步減少功率消耗，因此仍有改良空間存在。

[\_0011] 有鑑於此，本創作之主要目的係提出一種新穎架構之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其不但能精確且快速地檢測出輸入信號之峰值電壓，並且可較先前之電壓峰值檢知器具有更低之功率消耗。

[\_0012] 本創作之次要目的係提出一種新穎架構之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其考慮到僅於特定狀況時方使電壓峰值檢知器致能之機制，如此以進一步減少功率消耗。

#### 【發明內容】

[\_0013]

本創作提出一種新穎架構之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其係由一差動放大器(1)、一充電電晶體(2)、一控制電路(3)以及一電容器(C)所組成，其中，該差動放大器(1)係做為比較器使用，該充電電晶體(2)係做為充電器使用，用以提供電容器(C)所需之充電電流，且該差動放大器(1)之兩輸入端係分別接受輸入電壓信號及電壓峰值檢知器之輸出電壓回授信號，並提供適當之充電電流給充電電晶體，以便取得輸入電壓波形之峰值做為輸出電壓信號，該差動放大器(1)係包括一第一PMOS電晶體(MP1)、一第一NMOS電晶體(MN1)、一第二NMOS電晶體(MN2)以及一由PMOS電晶體(MP)所組成之電流源(IP)，其中，該第一NMOS電晶體(MN1)和第二NMOS電晶體(MN2)係做為驅動器(driver)使用，該第一PMOS電晶體(MP1)係做為一單邊負載電晶體使用，且該單邊負載電晶體與該充電電晶體(2)共同構成一電流鏡，而該PMOS電晶體(MP)所組成之電流源(IP)係受該控制電路(3)以控制其為導通(on)或關閉(off)狀態，當該PMOS電晶體所組成之電流源(IP)為導通狀態時可提供一電流給該差動放大器(1)使用，而當該PMOS電晶體所組成之電流源(IP)為關閉狀態時，則禁能(disable)該差動放大器(1)，以便有效地減少功率消耗。本創作所提出之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且兼具電路結構簡單、使用的電晶體數量較少以及有利於裝置之小型化等多重功效，同時亦能有

效地減少功率消耗。

**【實施方式】**

- [\_0014] 根據上述之目的，本創作提出一種具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，如第6圖所示，其係由一差動放大器(1)、一充電電晶體(2)、一控制電路(3)以及一電容器(C)所組成。該差動放大器(1)係包括一第一PMOS電晶體(MP1)、一第一NMOS電晶體(MN1)、一第二NMOS電晶體(MN2)以及一由PMOS電晶體(MP)所組成之電流源(IP)，其中，該第一NMOS電晶體(MN1)和第二NMOS電晶體(MN2)係做為驅動器(driver)使用，該第一PMOS電晶體(MP1)係做為一單邊負載電晶體使用，且該單邊負載電晶體與該充電電晶體(2)共同構成一電流鏡，而該由PMOS電晶體(MP)所組成之電流源(IP)，用以提供一電流給該差動放大器(1)使用，該PMOS電晶體(MP)之閘極(gate)係連接至該控制電路(3)之輸出，且受該控制電路(3)以控制其為導通(on)或關閉(off)狀態，當該PMOS電晶體(MP)為導通狀態時可提供一電流給該差動放大器(1)使用，而當該PMOS電晶體(MP)為關閉狀態時，則禁能(disable)該差動放大器(1)。
- [\_0015] 該第一NMOS電晶體(MN1)和第二NMOS電晶體(MN2)之閘極(gate)係分別接受輸入信號(V(IN))及檢知器之輸出電壓回授信號(V(OUT))，源極(source)連接在一起，並連接至該PMOS電晶體(MP)之源極(source)，而其汲極則分別與第一PMOS電晶體(MP1)之汲極和電源電壓(Vdd)相連接；該PMOS電晶體(MP)之閘極(gate)係連接至該控制電路(3)之輸出，源極係連接至該第一NMOS電晶體(MN1)和該第二NMOS電晶體(MN2)之源極，而汲極則連接至接地；該第一PMOS電晶體(MP1)之源極係連接至電源電壓(Vdd)，而閘極與汲極連接在一起以形成一二極體，並連接至該第一NMOS電晶體(MN1)之汲極。
- [\_0016] 請再參考第6圖，該充電電晶體(2)係由第二PMOS電晶體(MP2)所組成，該第二PMOS電晶體(MP2)之源極連接至電源電壓(Vdd)，閘極與該第一PMOS電晶體(MP1)之閘極以及該第一NMOS電晶體(MN1)之汲極相連接，而汲極則與該電容器(C)以及該第二NMOS電晶體(MN2)之閘極相連接。其中該第一PMOS電晶體(MP1)與該第二PMOS電晶體(MP2)係形成一電流鏡組態。
- [\_0017] 該控制電路(3)係由串聯連接在電源電壓(Vdd)與接地間之一CMOS反相器、一第一二極體(D1)以及一第二二極體(D2)所組成，該CMOS反相器包括有一第三PMOS電晶體(MP3)以及一第三NMOS電晶體(MN3)，該第三PMOS電晶體(MP3)之源極連接至電源電壓(Vdd)，閘極接受輸入信號(V(IN))，而汲極則與該第三NMOS電晶體(MN3)之汲極相連接；該第三

NMOS電晶體(MN3)之源極經該第一二極體(D1)和該第二二極體(D2)連接後連接至接地，閘極接受輸入信號(V(IN))，而汲極則與該第三PMOS電晶體(MP3)之汲極相連接，在此值得注意的是，該第一二極體(D1)和該第二二極體(D2)係用以提升該CMOS反相器之輸出邏輯低電位之電壓位準，該供升壓之二極體數量可依實際需要而增減其數目，該數目可為一或複數個，且該第一二極體(D1)和該第二二極體(D2)可由金氧半電晶體所組成。該控制電路(3)係用於控制該PMOS電晶體(MP)為導通(on)或關閉(off)狀態，當該PMOS電晶體(MP)為導通狀態時可提供一電流給該差動放大器(1)使用，此時該差動放大器(1)與該電壓峰值檢知器均為致能(enable)狀態；而當該PMOS電晶體(MP)為關閉狀態時，則禁能(disable)該差動放大器(1)與該電壓峰值檢知器，因此可更進一步減少功率消耗。

- [\_0018] 為了便於說明起見，以下之推導過程，均將金氧半電晶體以OrCAD Pspice中之最簡單模型(即level 1模型)來描述，且不考慮通道長度調變(Channel length modulation)效應。但於後續之模擬驗證時，則考慮了OrCAD Pspice中之所有電晶體參數(當然包括通道長度調變效應)。
- [\_0019] 由第6圖所示電路得知，當輸入電壓信號V(IN)大於輸出電壓信號V(OUT)且電壓峰值檢知器為致能(enable)狀態時，第一NMOS電晶體(MN1)之汲極電流 $I_d(MN1)$ 會大於第二NMOS電晶體(MN2)之汲極 $I_d(MN2)$ ，其中，流入電晶體之電流取正號，而流出電晶體之電流則取負號，亦即，電流 $I_d(MN1)$ 代表流入第一NMOS電晶體(MN1)之汲極電流，而 $-I_d(MP1)$ 則代表流出第一PMOS電晶體(MP1)之汲極電流，且 $I_d(MN1) + I_d(MN2) = I_P$  (1)其中， $I_P$ 為該PMOS電晶體(MP)所提供之電流，又 $I_d(MN1) = -I_d(MP1)$  (2)由於第一PMOS電晶體(MP1)及第二PMOS電晶體(MP2)係構成一電流鏡，因此 $-I_d(MP1)/(W/L)_{MP1} = -I_d(MP2)/(W/L)_{MP2}$  (3)其中， $(W/L)_{MP1}$ 和 $(W/L)_{MP2}$ 分別表示第一PMOS電晶體(MP1)及第二PMOS電晶體(MP2)之有效通道寬長比，故可對電容器(C)進行充電動作。
- [\_0020] 當充電動作達到V(OUT)等於輸入電壓信號(V(IN))之峰值電壓時，電流 $I_d(MN1)/(W/L)_{MN1} = I_d(MN2)/(W/L)_{MN2}$  (4)其中， $(W/L)_{MN1}$ 和 $(W/L)_{MN2}$ 分別表示第一NMOS電晶體(MN1)及第二NMOS電晶體(MN2)之有效通道寬長比，此時仍會對電容器(C)進行充電動作。
- [\_0021] 但依據差動放大器之轉移特性曲線得知：輸出電壓信號V(OUT)須較輸入峰值電壓( $V_{peak}$ )高過一超量電壓(OverShoot Voltage簡稱Vos)才能將第一NMOS電晶體

(MN1)強迫為截止狀態，當第一NMOS電晶體(MN1)為截止狀態時，充電電晶體即停止對電容器(C)進行充電作用，此時輸出電壓信號V(OUT)為 $V(OUT) = V_{peak} + V_{os}$  (5)

- [\_0022] 由於此時的第二NMOS電晶體(MN2)係工作於飽和區，而第一NMOS電晶體(MN1)恰由飽和區進入截止區，因此，可由下列電流方程式求出VGS2及VGS1： $I_d(MN2) = I_P$  (6)  $I_d(MN1) = 0$  (7)故超量電壓(Vos)等於 $V_{os} = V_{GS2} - V_{GS1}$  (8)
- [\_0023] VGS2及VGS1分別表示第一NMOS電晶體(MN1)及第二NMOS電晶體(MN2)之閘源極電壓。之後，當輸入電壓信號V(IN)由峰值電壓( $V_{peak}$ )往下掉時，因第一NMOS電晶體(MN1)已進入截止狀態，因此電流 $-I_d(MP1) = -I_d(MP2) = 0$  (9)
- [\_0024] 所以充電電晶體不會再對電容器(C)進行充電動作，因此輸出電壓信號(V(OUT))仍會固定維持在方程式(5)之電壓。
- [\_0025] 由方程式(5)得知，輸出電壓信號V(OUT)恆較輸入峰值電壓( $V_{peak}$ )高出一超量電壓(Vos)，該超量電壓(Vos)係顯示於方程式(8)中，若所有的NMOS電晶體均具有相同的零偏壓臨限電壓 $V_{T0}$ (Zero-bias threshold voltage)以及互導參數KP(Transconductance parameter)，該零偏壓臨限電壓( $V_{T0}$ )以及互導參數(KP)均為金氧半電晶體之一模型參數，則方程式(8)可改寫為 $V_{os} = [2 \cdot I_P \cdot 1/KP \cdot 1/(W/L)_{MN2}]^{1/2}$ (10)
- [\_0026] 其中， $(W/L)_{MN2}$ 表示第二NMOS電晶體(MN2)之有效通道寬長比，有關超量電壓Vos之推導可參考Kenneth R. Laker及Willy M. C. Sansen合著由McGRAW-Hill出版「Design of analog integrated circuits and systems」一書中之第357至375頁。
- [\_0027] 由方程式(10)可知，只要適當的選擇該PMOS電晶體(MP)所提供之電流(IP)及第二NMOS電晶體MN2之 $(W/L)_{MN2}$ 即可將該超量電壓Vos控制在一極小值，此時即能使具可控制的PMOS電流源及單邊負載之電壓峰值檢知器精確地檢測出輸入信號之峰值電壓。
- [\_0028] 接下來說明本創作如何減少功率消耗，首先比較第5圖所示之中華民國公告案號第M315336號專利案之電壓峰值檢知器與第6圖所示之本創作較佳實施例，由於在第5圖所示之先前技藝中，用以提供一電流給差動放大器(1)使用之PMOS電晶體(MP)之閘極恆連接至接地端，反觀本創作用以提供一電流給差動放大器(1)使用之PMOS電晶體(MP)之閘極係連接至控制電路(3)的輸出，該控制電路(3)的輸出邏輯低電位之電壓位準由於該第一二極體(D1)與該第二二極體(D2)而具有較接地電位為高之電壓位準，該控制電路

(3)的輸出邏輯低電位為2個二極體導通之電壓位準，因此，在用以提供電流給差動放大器(1)使用之電晶體具有相同的有效通道寬度/長度比值的情況下，本創作之PMOS電晶體(MP)閘源極電壓 $V_{GS(IP)}$ 的絕對值恆小於第5圖所示之PMOS電晶體(MP)閘源極電壓 $V_{GS(IP)}$ 的絕對值，亦即本創作於差動放大器(1)致能時，具有較第5圖所示之先前技藝更低之功率消耗。再者，本創作考慮到僅於特定狀況時(例如輸入電壓信號 $V(IN)$ 超過一預定輸入電壓準位時)方使電壓峰值檢知器致能之機制，而第5圖所示先前技藝並未具有僅於特定狀況時方使電壓峰值檢知器致能之機制，因此本創作可更進一步減少功率消耗。

- [\_0029] 本創作所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第7圖所示，由該模擬結果可証實，本創作所提出之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器能精確地檢測出輸入信號之峰值電壓。在此值的注意的是，本創作所提出之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其僅於特定狀況時(例如輸入電壓信號 $V(IN)$ 超過一預定輸入電壓準位時)方使該電壓峰值檢知器致能，而於輸入電壓信號( $V(IN)$ )小於該預定輸入電壓準位時，則禁能(disable)該電壓峰值檢知器，其中該預定輸入電壓準位主要係由該控制電路(3)來調整。
- [\_0030] 第8圖所示為中華民國公告案號第M315336號專利案之電壓峰值檢知器(先前技藝)與本創作電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，由該模擬結果可証實，本創作之電壓峰值檢知器可較先前技藝具有更低之電流消耗。
- [\_0031] 本創作之電壓峰值檢知器在使用時可於電容器C兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。
- [\_0032] 本創作所提出之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，具有如下功效：(1)高集積度及有利於裝置之小型化：由於本創作所提出之電壓峰值檢知器僅使用了4個PMOS電晶體、3個NMOS電晶體、2個二極體以及1個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量較少，並且因不需使用運算放大器，因而具備有高集積度及有利於裝置之小型化等優點；(2)高精確度：本創作所提出之電壓峰值檢知器經模擬結果証實，確實能精確地檢測出輸入信號之峰值電壓，因此也具有高精確度之優點；(3)低功率消耗：本創作所提出之電壓峰值檢知器經模擬結果証實，確實能有效降低差動放大器之電流消耗，因此可有效降低電壓峰值檢知器之功率消耗。
- [\_0033] 雖然本本創作特別揭露並描述了所選之最佳實施例，但舉



凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

**【圖式簡單說明】**

- [\_0060] 第1圖 係顯示第一先前技藝中電壓峰值檢知器之電路圖。
- [\_0061] 第2圖 係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖。
- [\_0062] 第3圖 係顯示第二先前技藝中電壓峰值檢知器之電路圖。
- [\_0063] 第4圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖。
- [\_0064] 第5圖係顯示中華民國公告案號第M315336號專利案電壓峰值檢知器之電路圖。
- [\_0065] 第6圖係顯示本創作較佳實施例之電壓峰值檢知器之電路圖。
- [\_0066] 第7圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；
- [\_0067] 第8圖係比較本創作電壓峰值檢知器與中華民國公告案號第M315336號專利案電壓峰值檢知器之暫態電流分析時序圖。

**【主要元件符號說明】**

- [\_0034] 1 . . . 差動放大器
- [\_0035] 2 . . . 充電電晶體
- [\_0036] 3 . . . 控制電路
- [\_0037] C . . . 電容器
- [\_0038] D . . . 二極體
- [\_0039] D1 . . . 二極體
- [\_0040] D2 . . . 二極體
- [\_0041] Id(MN3) . . . NMOS電晶體MN3之汲極電流
- [\_0042] OP1 . . . 運算放大器
- [\_0043] OP2 . . . 運算放大器
- [\_0044] MP1 . . . 第一PMOS電晶體
- [\_0045] MP2 . . . 第二PMOS電晶體
- [\_0046] MP3 . . . 第三PMOS電晶體
- [\_0047] MP4 . . . 第四PMOS電晶體
- [\_0048] MN1 . . . 第一NMOS電晶體
- [\_0049] MN2 . . . 第二NMOS電晶體
- [\_0050] MN3 . . . 第三NMOS電晶體
- [\_0051] MN . . . NMOS電晶體

- [\_0052] IP . . . 電流源
- [\_0053] Vdd . . . 電源電壓
- [\_0054] R1 . . . 電阻器
- [\_0055] R2 . . . 電阻器
- [\_0056] V(IN) . . . 輸入電壓信號
- [\_0057] V(OUT) . . . 輸出電壓信號
- [\_0058] INV1 . . . 第一CMOS反相器
- [\_0059] INV2 . . . 第二CMOS反相器

## 六、申請專利範圍：

1. 一種具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，用以檢測輸入電壓信號之峰值，其包括：一輸入端，用以提供一輸入電壓信號；一輸出端，用以輸出該輸入電壓信號之峰值電壓；一電源電壓(Vdd)，用以提供電壓峰值檢知器所需之電源電壓和參考接地；一具單邊負載電晶體之差動放大器(1)，用以接受並比較輸入電壓信號及電容器上之電壓信號，並提供充電電流信號給充電電晶體；一充電電晶體(2)，用以根據該差動放大器(1)之單邊負載電晶體所流過之電流量，而提供一充電電流給電容器；一控制電路(3)，用以接受該輸入電壓信號，並控制該差動放大器(1)係為導通(on)或關閉(off)狀態；以及一電容器(C)，該電容器之一端連接至充電電晶體(2)，以便接受該充電電晶體(2)所供應之充電電流，而另一端則連接至參考接地；其中，該具單邊負載電晶體之差動放大器(1)更包括：一單邊負載電晶體，其係由第一PMOS電晶體(MP1)所組成，該第一PMOS電晶體(MP1)之源極連接至電源電壓，閘極與汲極連接在一起，並連接至充電電晶體(2)之閘極；一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及PMOS電晶體(MP)之源極相連接，閘極用以接受輸入電壓信號，而汲極則與該充電電晶體(2)之閘極以及該第一PMOS電晶體(MP1)之汲極相連接；一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及PMOS電晶體(MP)之源極相連接，閘極用以接受電容器上之電壓信號，而汲極則連接至電源電壓；以及一電流源(IP)，該電流源(IP)係由一PMOS電晶體(MP)所組成，其閘極係連接至該控制電路(3)之輸出，源極係連接至該第一NMOS電晶體(MN1)和該第二NMOS電晶體(MN2)之源極，而汲極則連接至接地；該控制電路(3)更包括串聯連接在電源電壓(Vdd)與接地間之一CMOS反相器以及一或複數個二極體，該CMOS反相器係由一第三PMOS電晶體(MP3)以及一第三NMOS電晶體(MN3)所組成，該第三PMOS電晶體(MP3)之源極連接至電源電壓(Vdd)，閘極接受輸入電壓信號，而汲極則與該第三NMOS電晶體(MN3)之汲極相連接；該第三NMOS電晶體(MN3)之源極

經該一或複數個二極體連接後連接至接地，閘極接受輸入電壓信號，而汲極則與該第三PMOS電晶體(MP3)之汲極相連接。

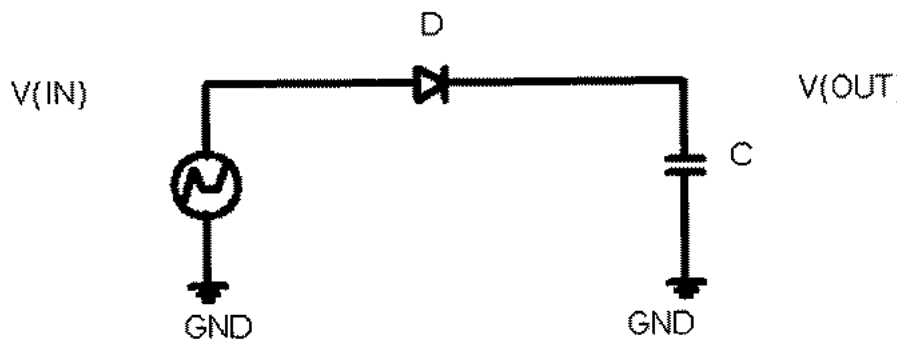
2. 如申請專利範圍第1項所述之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其中該一或複數個二極體係由金氧半電晶體所組成。

3. 如申請專利範圍第1項所述之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其中該充電電晶體(2)係由第二PMOS電晶體(MP2)所組成，該第二PMOS電晶體(MP2)之源極連接至電源電壓，閘極與第一PMOS電晶體(MP1)之閘極以及第一NMOS電晶體(MN1)之汲極相連接，而汲極則與該電容器之一端以及第二NMOS電晶體(MN2)之閘極相連接。

4. 如申請專利範圍第1項所述之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其更包括：一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

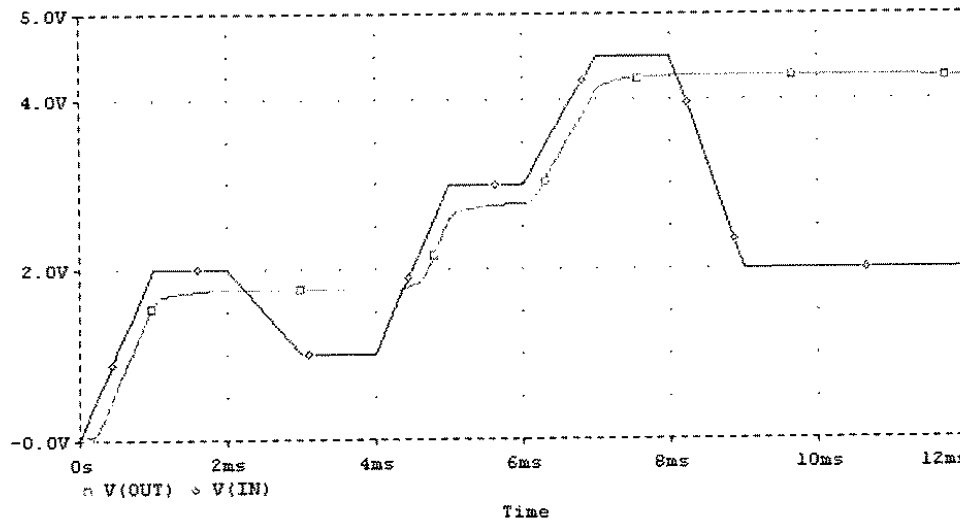
5. 如申請專利範圍第4項所述之具可控制的PMOS電流源及單邊負載之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

七、圖式：



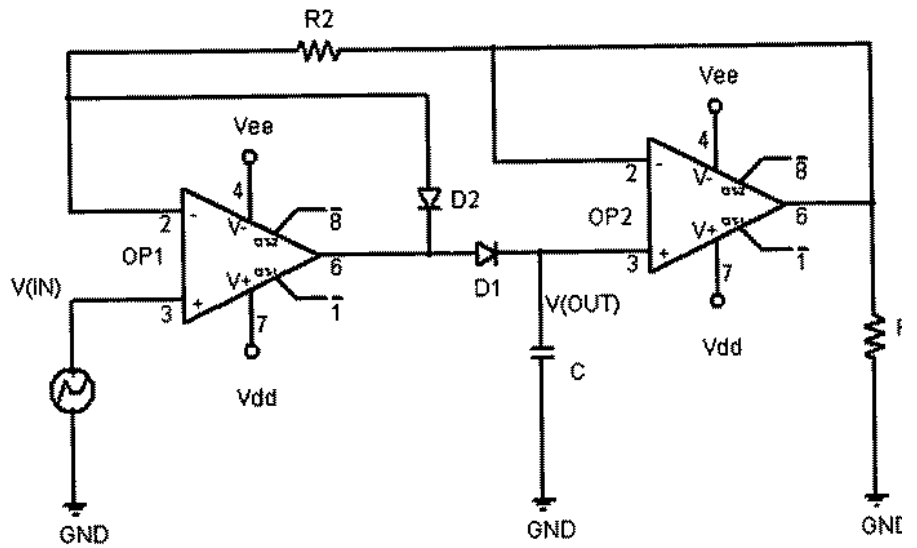
第 1 圖

第1圖



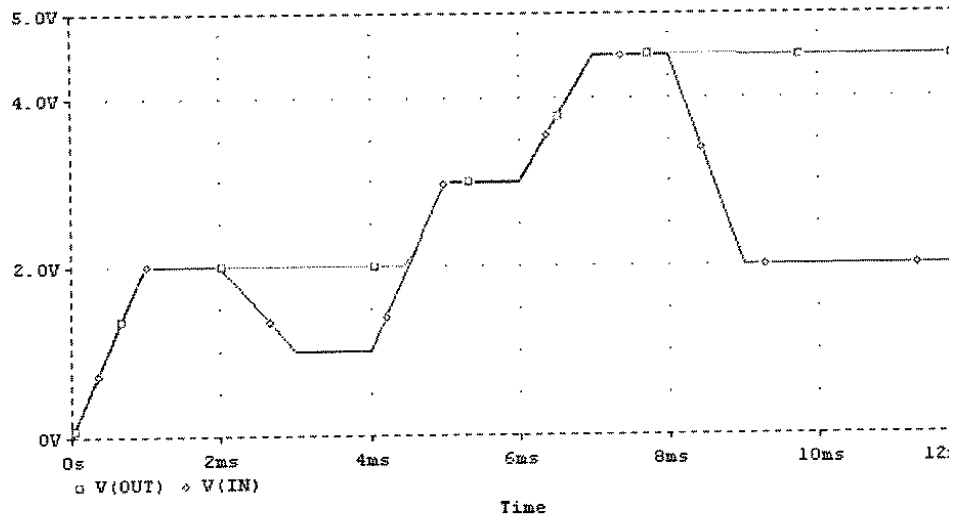
第 2 圖

第2圖



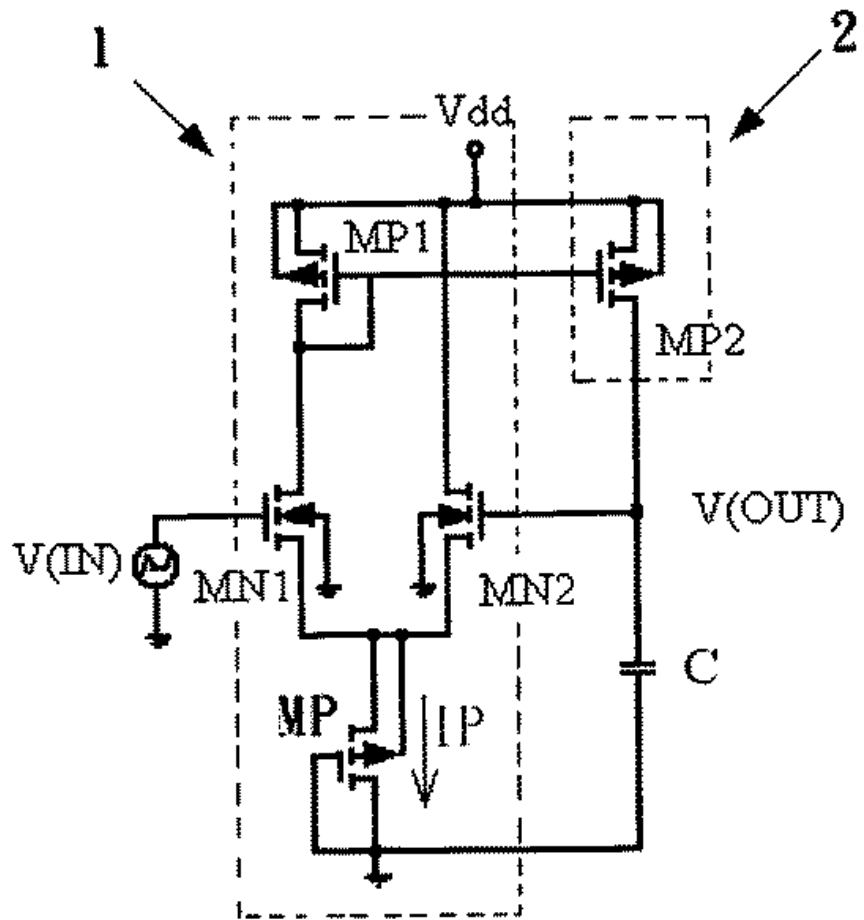
第 3 圖

第3圖



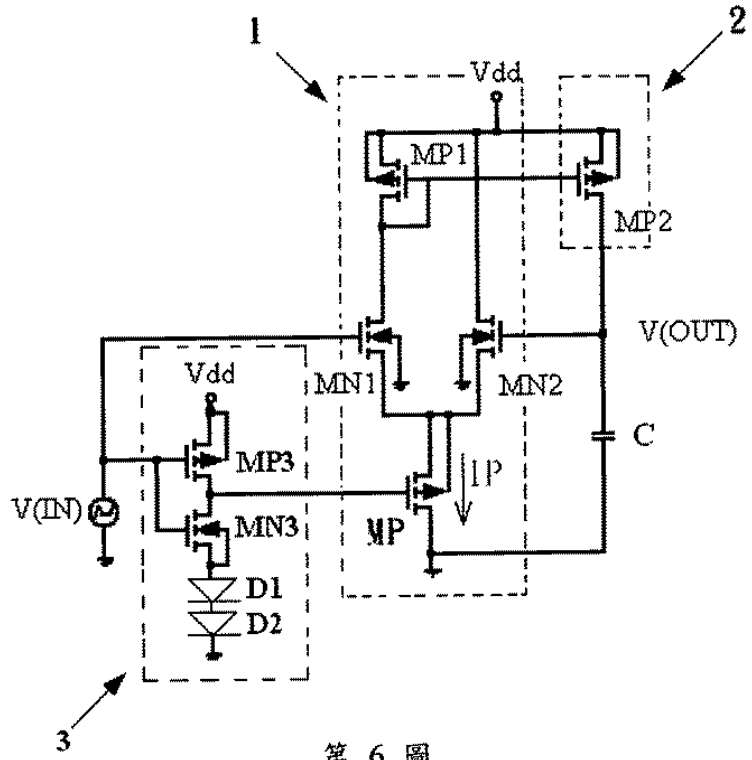
第 4 圖

第4圖



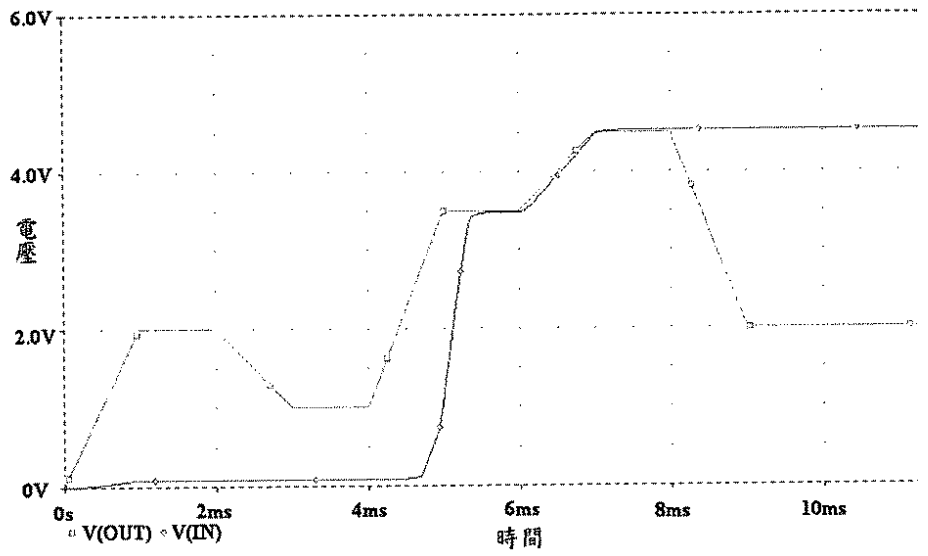
第 5 圖

第5圖



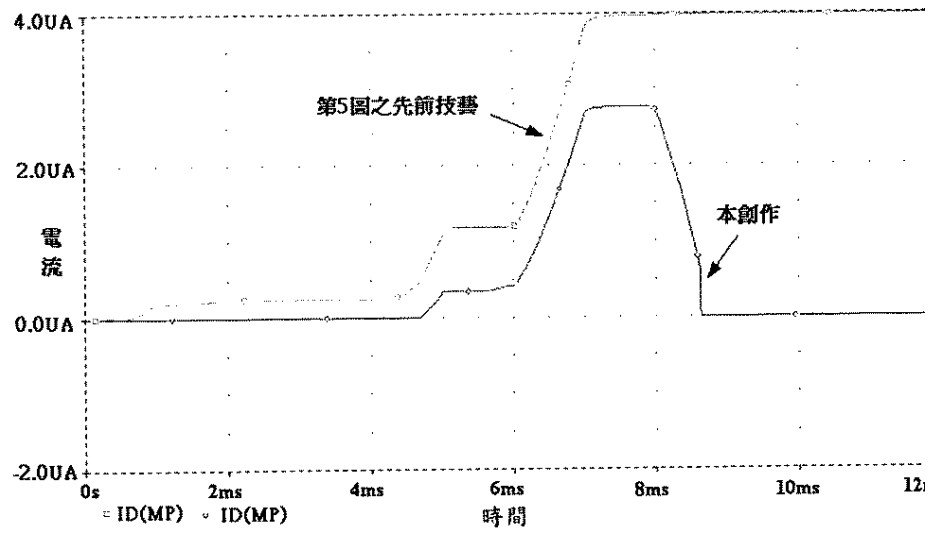
第 6 圖

第6圖



第 7 圖

第7圖



第 8 圖

第8圖