

【11】證書號數：M335097

【45】公告日：中華民國97(2008)年6月21日

【51】Int. Cl. : **H03G11/00 (2006.01)**

新型 全 6 頁

【54】名稱：具可控制的NMOS電流源及輸出級之電壓峰值檢知器

PEAK VOLTAGE DETECTOR HAVING CONTROLLABLE NMOS CURRENT SOURCE AND  
OUTPUT STAGE

【21】申請案號：096220182

【22】申請日：中華民國96(2007)年11月29日

【72】創作人：蕭明椿 SHIAU, MING CHUEN

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY  
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具可控制的NMOS電流源及輸出級之電壓峰值檢知器，用以檢測輸入電壓信號之峰值，其包括：

- 一輸入端，用以提供一輸入電壓信號；
- 一輸出端，用以輸出該輸入電壓信號之峰值電壓；
- 一電源電壓(Vdd)，用以提供電壓峰值檢知器所需之電源電壓和參考接地；

一具單邊負載電晶體之差動放大器(1)，用以接受並比較輸入電壓信號及電容器上之電壓信號，並提供充電電流信號給充電電晶體；

- 5. 一充電電晶體(2)，用以根據該差動放大器(1)之單邊負載電晶體所流過之電流量，而提供一充電電流給電容器；
- 一輸出級(3)，連接在電容器(C)之一端與該電壓峰值檢知器輸出端之
- 10.

間，用以調整電容器(C)上之電壓信號，以便精確地輸出該輸入電壓信號之峰值電壓；

一控制電路(4)，用以接受該輸入電壓信號，並控制該差動放大器(1)係為導通(on)或關閉(off)狀態；以及一電容器(C)，該電容器之一端連接至充電電晶體(2)，以便接受該充電電晶體(2)所供應之充電電流，而另一端則連接至參考接地；

其中，該具單邊負載電晶體之差動放大器(1)更包括：

一單邊負載電晶體，其係由第一 PMOS 電晶體(MP1)所組成，該第一 PMOS 電晶體(MP1)之源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至充電電晶體(2)之閘極；

一第一 NMOS 電晶體(MN1)，其源極與第二 NMOS 電晶體(MN2)之源極連接，閘極用以接受輸入電壓信號，而汲極則與該充電電晶體(2)之閘極以及該第一 PMOS 電晶體(MP1)之汲極相連接；

一第二 NMOS 電晶體(MN2)，其源極與第一 NMOS 電晶體(MN1)之源極連接，閘極用以接受電容器上之電壓信號，而汲極則連接至電源電壓(Vdd)；以及

一電流源(IP)，該電流源(IP)係由一 NMOS 電晶體(MN)所組成，其閘極係連接至該控制電路(4)之輸出，汲極係連接至該第一 NMOS 電晶體(MN1)之源極和該第二 NMOS 電晶體(MN2)之源極，而源極則接地；

該控制電路(4)更包括一第一 CMOS 反相器(INV1)和一第二 CMOS 反相器(INV2)，該第一 CMOS 反相器(INV1)和該第二 CMOS 反相器(INV2)係呈串聯連接，且該第一

CMOS 反相器(INV1)係以該電源電壓(Vdd)來驅動，而該第二 CMOS 反相器(INV2)係以該電源電壓(Vdd)經串聯之複數個二極體(D2)降壓後來驅動。

5. 2.如申請專利範圍第1項所述之具可控制的 NMOS 電流源及輸出級之電壓峰值檢知器，其中該充電電晶體(2)係由第二 PMOS 電晶體(MP2)所組成，該第二 PMOS 電晶體(MP2)之源極連接至電源電壓(Vdd)，閘極與第一 PMOS 電晶體(MP1)之閘極以及第一 NMOS 電晶體(MN1)之汲極相連接，而汲極則與該電容器之一端以及第二 NMOS 電晶體(MN2)之閘極相連接。
10. 3.如申請專利範圍第1項所述之具可控制的 NMOS 電流源及輸出級之電壓峰值檢知器，其更包括：
15. 20. 一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。
25. 4.如申請專利範圍第3項所述之具可控制的 NMOS 電流源及輸出級之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

圖式簡單說明：

30. 第1圖 係顯示第一先前技藝中電壓峰值檢知器之電路圖；
35. 第2圖 係顯示第1圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；
40. 第3圖 係顯示第二先前技藝中電壓峰值檢知器之電路圖；
- 第4圖 係顯示第3圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；
- 第5圖 係顯示中華民國公告案

(3)

5

6

號第I223081號專利案電壓峰值檢知器之電路圖；

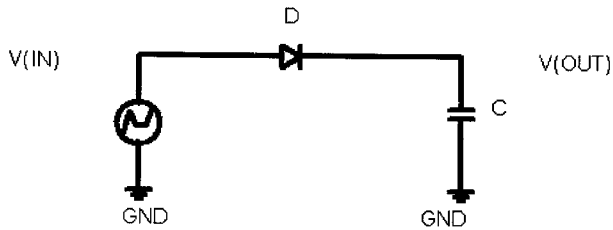
第6圖 係顯示本創作較佳實施例之電壓峰值檢知器之電路圖；

第7圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之

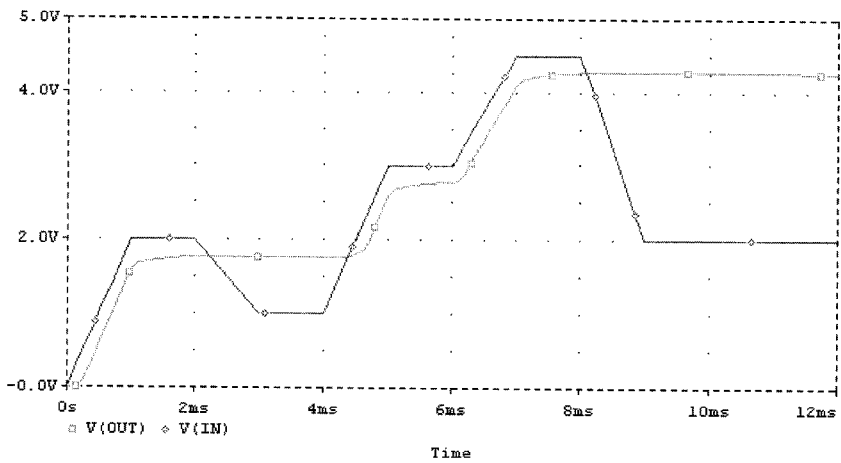
暫態分析時序圖；

第8圖 係比較本創作電壓峰值檢知器與中華民國公告案號第I223081號專利案電壓峰值檢知器之暫態電流

5. 分析時序圖。

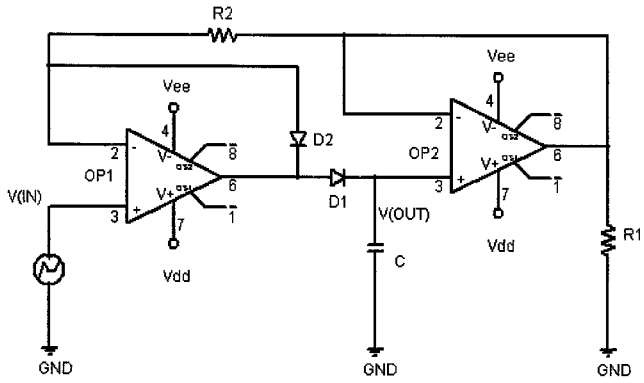


第1圖

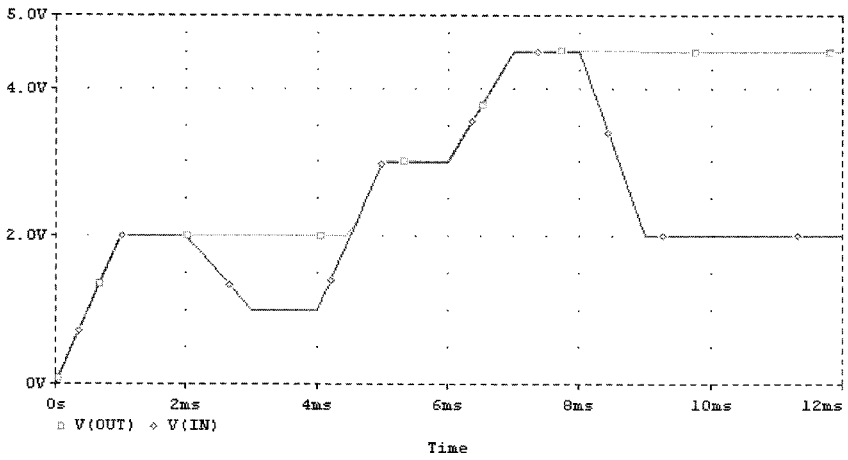


第2圖

(4)

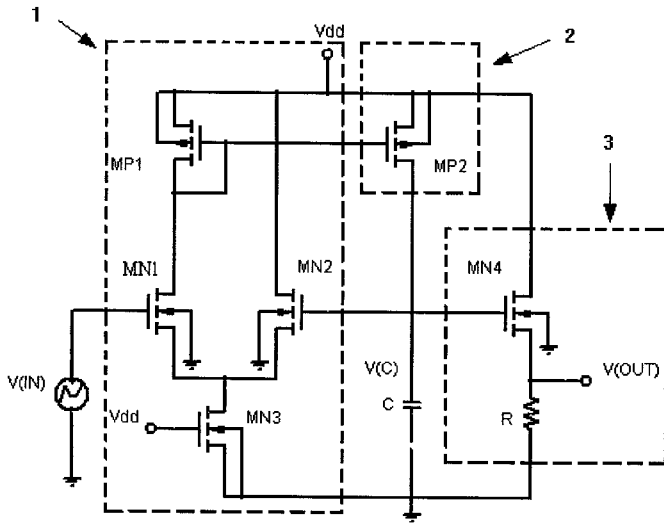


第 3 圖

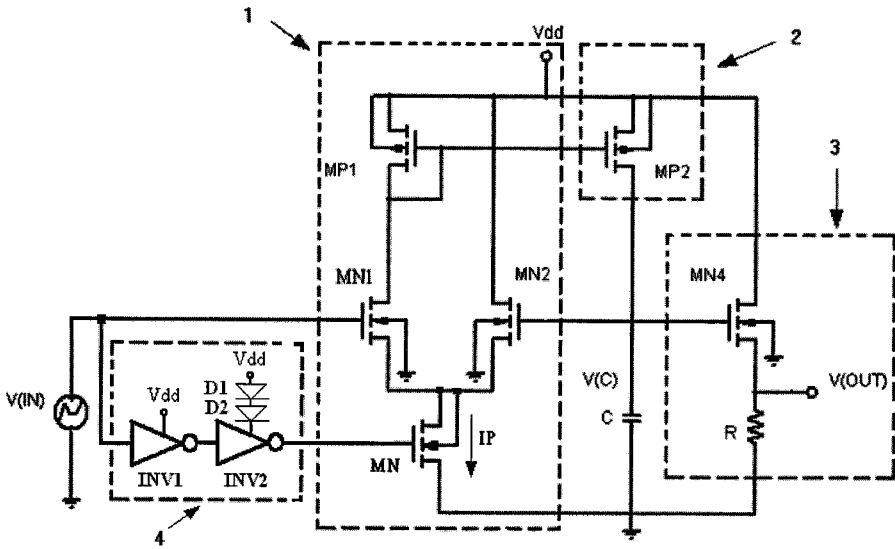


第 4 圖

(5)

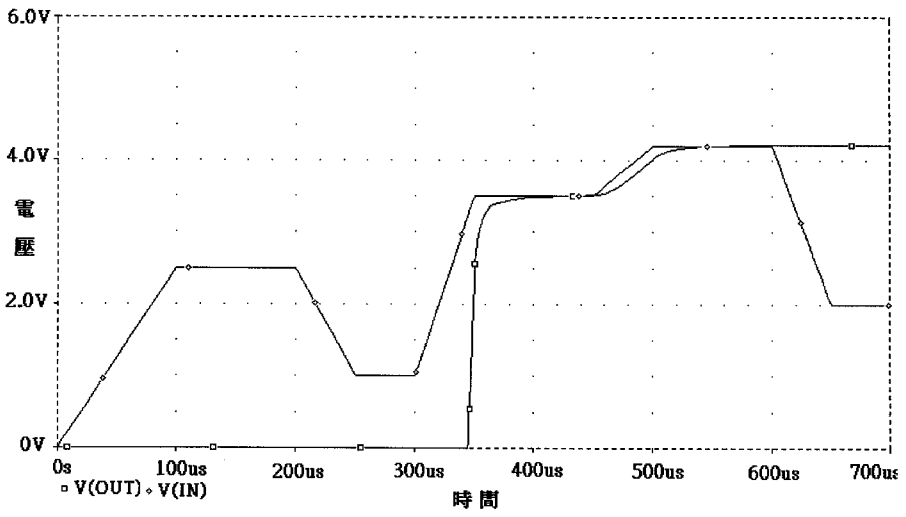


第 5 圖

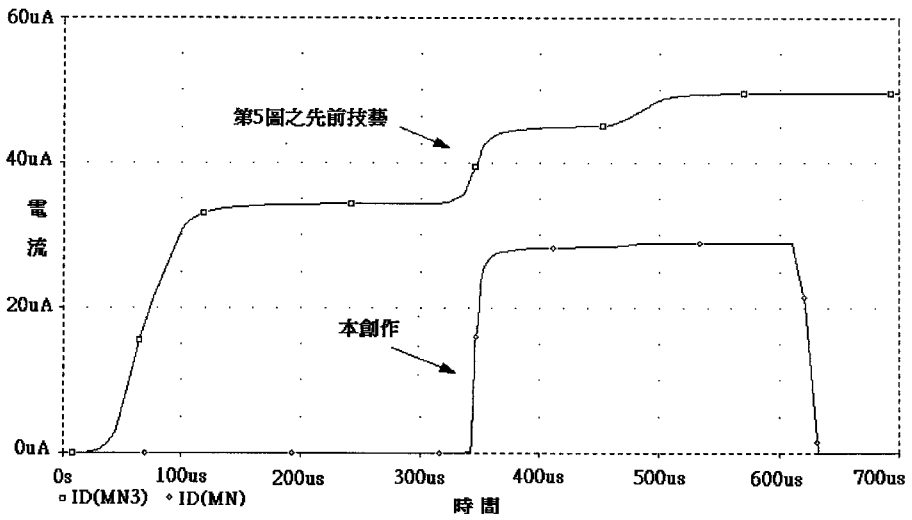


第 6 圖

(6)



第 7 圖



第 8 圖