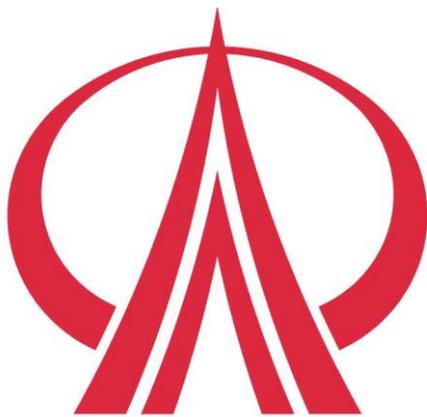


修平科技大學 電機工程系

DEPARTMENT OF ELECTRICAL ENGINEERING
HSIUPING UNIVERSITY OF SCIENCE AND TECHNOLOGY

實務專題報告書

5 T 靜態隨機存取記憶體



指導老師：蕭明椿

專題製作生：

四技電三甲 張育碩 BD104038

四技電三甲 黃佑燊 BD104023

中華民國 107 年 6 月 25 日

修平科技大學

電機工程系

HSIU-PING UNIVERSITY OF SCIENCE
AND TECHNOLOGY
DEPARTMENT OF ELECTRICAL ENGINEERING

指導老師：蕭明椿

專題製作學生：張育碩、黃佑榮

製作日期：107 年 6 月 25 日

摘要

本專題提出一種 5T 靜態隨機存取記憶體，其主要包括一記憶體陣列、複數個控制電路、複數個預充電電路、一待機啟動電路、複數個字元線電壓位準轉換電路、複數個高電壓位準控制電路以及複數個寫入驅動電路，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞設置一個控制電路、一個字元線電壓位準轉換電路以及一個高電壓位準控制電路，且每一行記憶體晶胞設置一個預充電電路以及一個寫入驅動電路，藉此於寫入模式時，可藉由該複數個控制電路以及該複數個寫入驅動電路以有效防止寫入邏輯 1 困難之同時，亦提高寫入邏輯 1 之速度，於讀取模式時，一方面藉由該複數個控制電路以及該複數個高電壓位準控制電路以於提高讀取速度的同時，亦避免無謂的功率耗損，另一方面藉由該複數個字元線電壓位準轉換電路以有效降低讀取時之半選定晶胞干擾，於待機模式時，可藉由該複數個控制電路以有效降低漏電流，且可藉由該待機啟動電路的設計，以有效促使靜態隨機存取記憶體快速進入待機模式。

目錄

前言.....	7
第一章系統組織架構.....	8
1-1【SRAM 簡介】.....	8
1-2【記憶體陣列】.....	9
1-3【6T SRAM】.....	11
第二章 專題內容.....	13
2-1 專題動機.....	13
第三章 5T 電晶體晶胞.....	14
3-1 寫入邏輯 1 困難原因.....	15
3-2 寫入邏輯 1 困難之成因.....	16
3-3 解決方法.....	17
第四章 主電路圖.....	18
4-1 電路圖符號說明.....	19
4-2 電路圖寫入.....	21
4-3 電路圖讀取.....	22

第五章 程式碼與波型圖	23
5-1 讀取程式碼	23
5-2 讀取改善前	24
5-3 讀取改善後	25
5-4 讀取比較值	26
5-5 寫入程式碼	27
5-6 寫入改善前	28
5-7 寫入改善後	29
5-8 寫入比較值	30
第六章 結果與討論	31

圖目錄

圖 1	記憶體陣列	10
圖 2	6T 靜態隨機存取記憶體晶胞之電路圖	12
圖 3	5T 電晶體晶胞	14
圖 4	5T 電晶體晶胞	15
圖 5	5T 電晶體晶胞	16
圖 6	5T 電晶體晶胞	17
圖 7	5T 靜態隨機存取記憶體	18
圖 8	寫入操作簡化圖	21
圖 9	讀取操作簡化圖	22
圖 10	讀取程式碼	23
圖 11	讀取改善前	24
圖 12	讀取改善後	25
圖 13	寫入程式	27
圖 14	寫入改善前	28
圖 15	寫入改善後	29

表目錄

表 1 讀取比較值	26
表 2 寫入比較值	30

前言

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其 能否在電源關閉後仍能保存資料，而區分為非揮發性(non-volatile)記憶體 及揮發性(volatile)記憶體，非揮發性記憶體所儲存之資料並不會因電源 關閉或中斷而消失，而儲存在揮發性記憶體之資料則會隨著電源關閉或中斷 而被消除。常見的揮發性記憶體有動態隨機存取記憶體 (DRAM) 及靜態隨機存取記憶體 (SRAM) 兩種。動態隨機存取記憶體 (DRAM) 具有面積小及價格低等優點，但操作時必須不時地更新 (refresh) 以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體 (SRAM) 的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

第一章系統組織架構

1-1 【SRAM 簡介】

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為非揮發性（non-volatile）記憶體及揮發性（volatile）記憶體，非揮發性記憶體所儲存之資料並不會因電源關閉或中斷而消失，而儲存在揮發性記憶體的資料則會隨著電源關閉或中斷而被消除。常見的揮發性記憶體有動態隨機存取記憶體（DRAM）及靜態隨機存取記憶體（SRAM）兩種。動態隨機存取記憶體（DRAM）具有面積小及價格低等優點，但操作時必須不時地更新（refresh）以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體（SRAM）的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

系統組織架構

1-2 【記憶體陣列】

記憶體陣列係由複數個記憶體區塊 (memory block, MB1、MB2 等) 所組成, 每一記憶體區塊更由複數列記憶體晶胞 (a plurality of rows of memory cells) 與複數行記憶體晶胞 (a plurality of columns of memory cells) 所組成, 每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞; 複數條字元線 (word line, WL1、WL2 等), 每一字元線對應至複數列記憶體晶胞中的一列; 以及複數位元線對 (bit line pairs, BL1、BLB1...BLm、BLBm 等), 每一位元線對係對應至複數行記憶體晶胞中的一行, 且每一位元線係由一位元

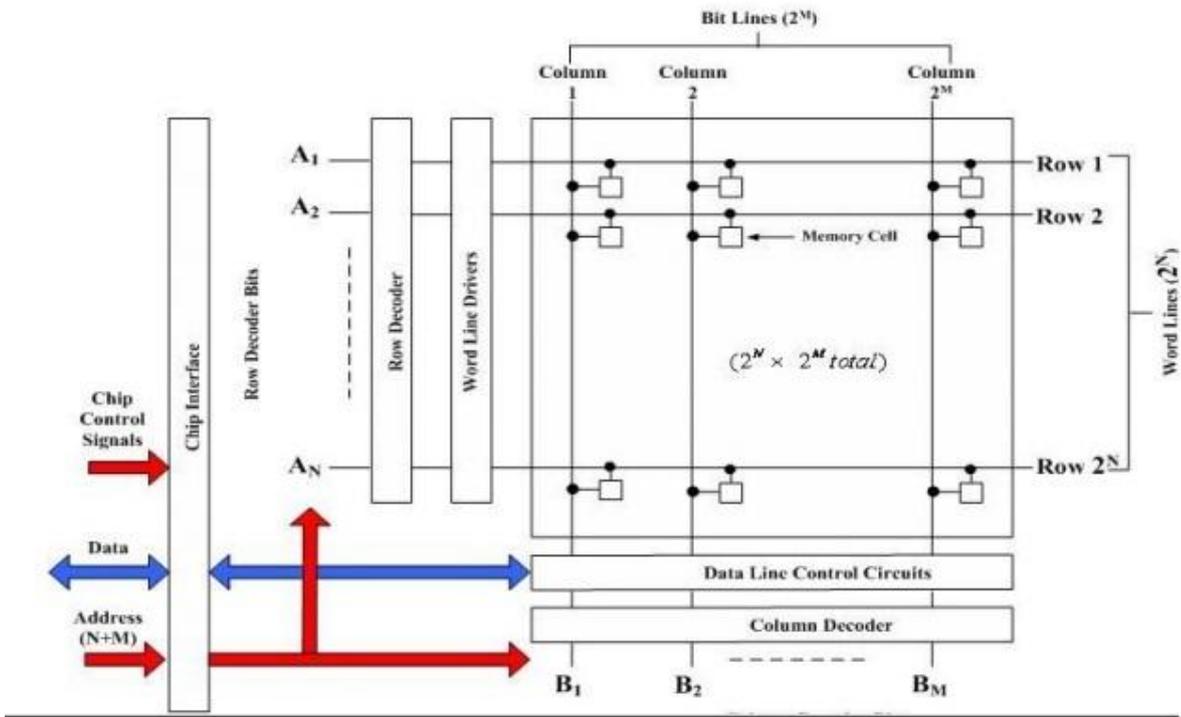


圖 1 記憶體陣列

線 (BL1...BLm) 及一互補位元線 (BLB1...BL 組成

系統組織架構

1-3 【6T SRAM】

如下圖所示傳統 6T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖，由於該傳統 SRAM 晶胞需要 6 個電晶體，且於讀取邏輯 0 時，為了避免讀取操作初始瞬間 (initial instant) 另一驅動電晶體導通，必須將驅動電晶體 (N11、N12) 與存取電晶體 (N13、N14) 間的電流驅動能力比 (即單元比率，cell ratio) 設定在 2.2 至 3.5 之間，而導致存在有高集積化困難及價格高等缺失。

第二章 專題內容

2-1 專題動機

現今有著 10 奈米以下 SRAM(靜態隨機存取記憶體)操作電壓將降為 0.9V 以下，易造成讀取時間與寫入時間無法滿足規範之問題，所以想要用更快的速度來進行讀取/寫入以縮短更多的時間。

第三章 5T 電晶體晶胞

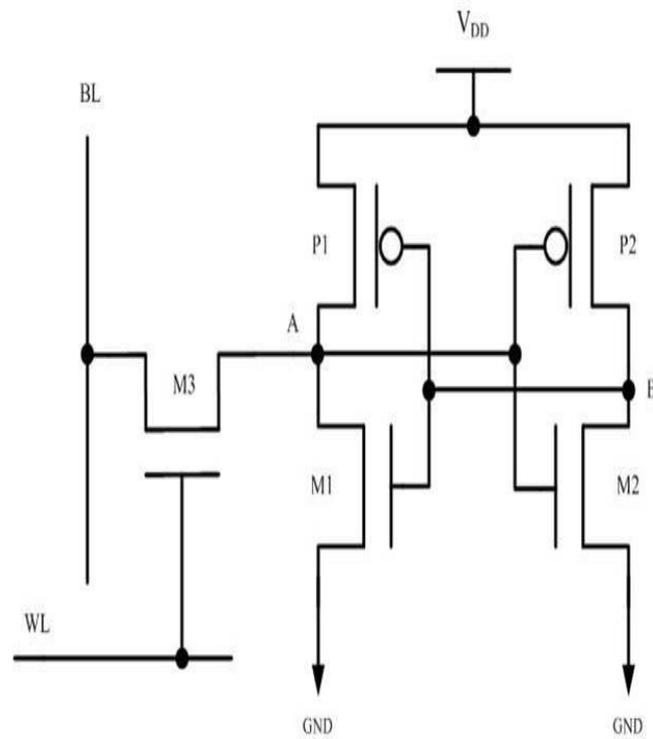


圖 3 5T 電晶體晶胞

1. P1 與 P2 電晶體為負載電晶體
2. M1 與 M2 為驅動電晶體
3. M3 為存取電晶體
4. WL 為字元線
5. BL 為位元線
6. VDD 為電源供應電壓

3-1 寫入邏輯 1 困難原因

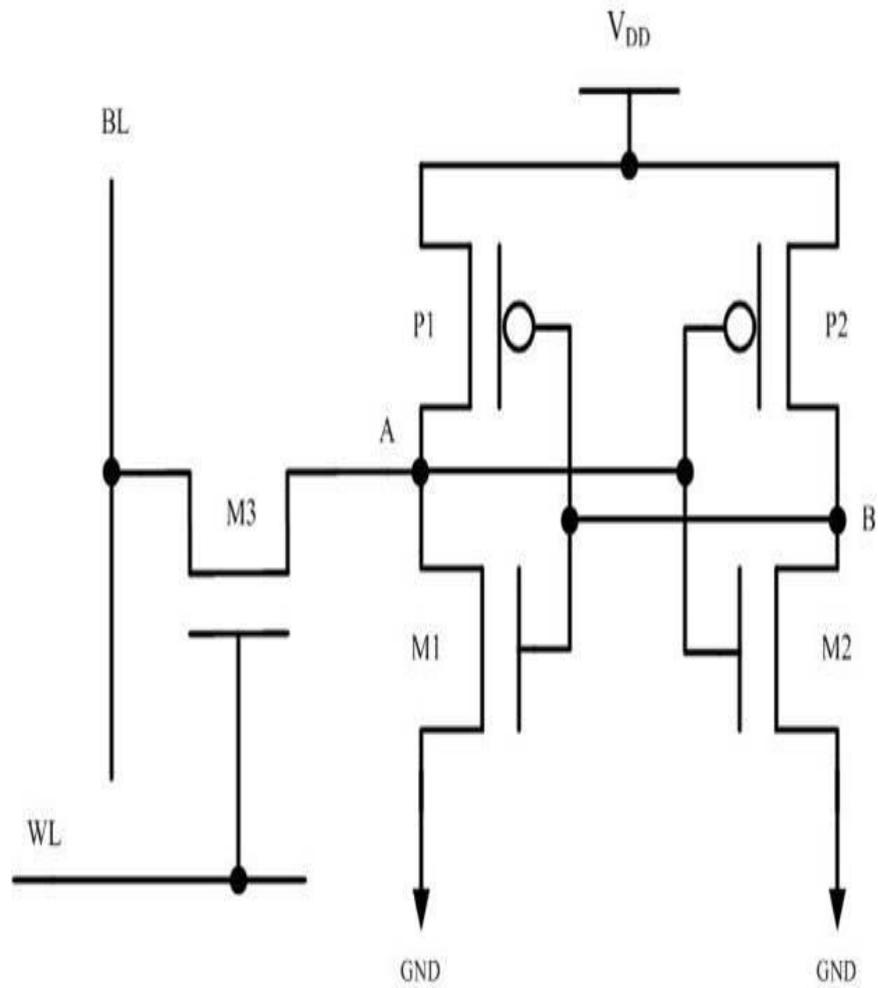


圖 4 5T 電晶體晶胞

1. 缺少一存取電晶體與一條反相位元線；

使寫入狀態時無法讓晶胞正常的存取資料，讓節點 A 無法順利達到所要的電壓準位而產生失敗。

3-2 寫入邏輯 1 困難之成因

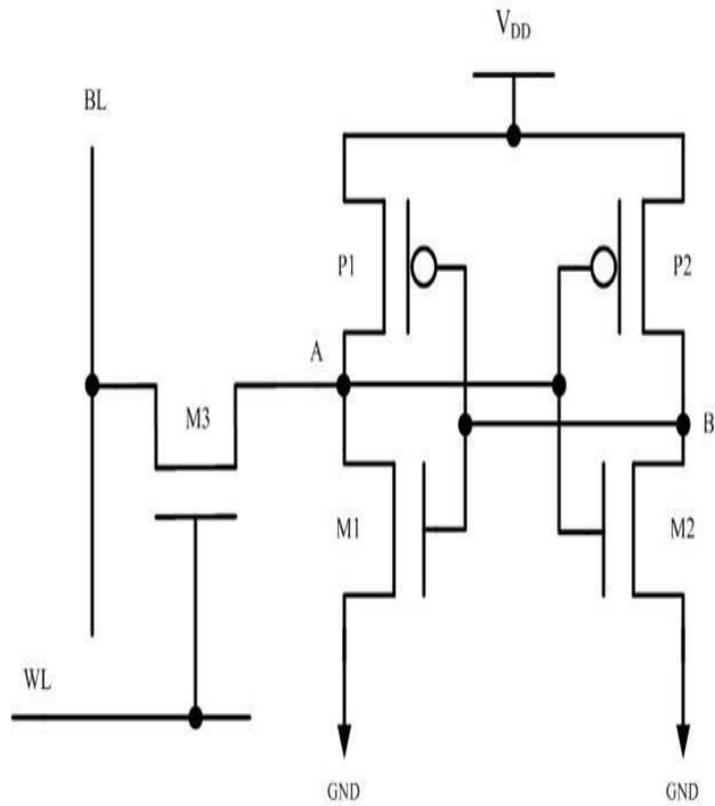


圖 5 5T 電晶體晶胞

透過分壓因素

$$\frac{M_1}{M_3 + M_1} \times BL$$

小於 M2 驅動電晶體的臨界電壓，

因為 M1 驅動電晶體的等效電阻太小導致 M2 驅動電晶體無法順利導通而產生失敗。

第四章 主電路圖

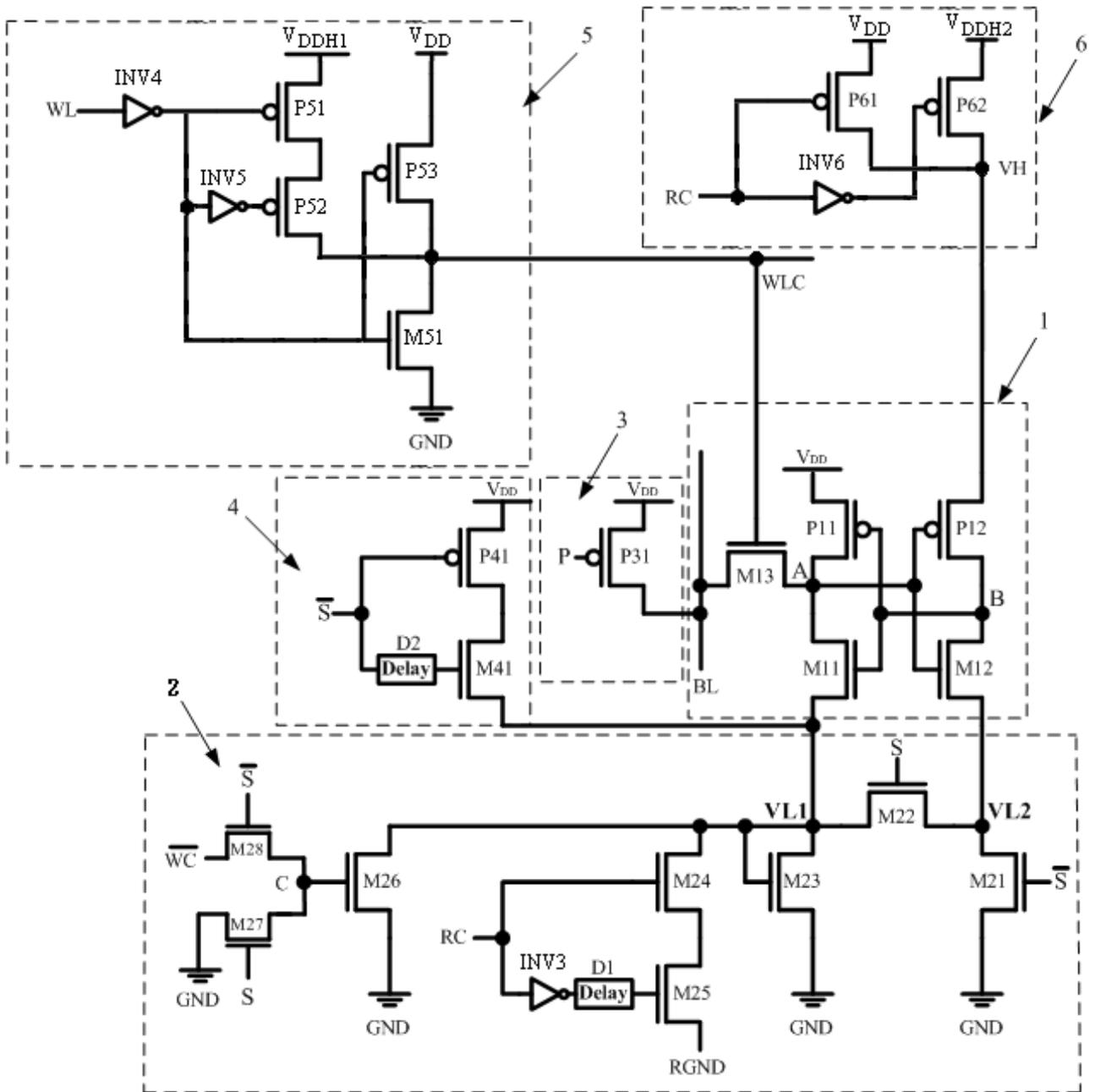


圖 7 5T 靜態隨機存取記憶體

4-1 電路圖符號說明

1	SRAM 晶胞	2	控制電路
3	預充電電路	4	待機啟動電路
5	字元線電壓位準控制 電路	6	高電壓位準控制電路
V_{DD}	電源供應電壓	P11	第一 PMOS 電晶體
P12	第二 PMOS 電晶體	M11	第一 NMOS 電晶體
M12	第二 NMOS 電晶體	M13	第三 NMOS 電晶體
A	儲存節點	B	反相儲存節點
BL	位元線	WLC	字元線控制信號
WL	字元線	VH	高電壓節點
VL1	第一低電壓節點	VL2	第二低電壓節點
S	待機模式控制信號	/S	反相待機模式控制信號
M21	第四 NMOS 電晶體	M22	第五 NMOS 電晶體
M23	第六 NMOS 電晶體	M24	第七 NMOS 電晶體
M25	第八 NMOS 電晶體	M26	第九 NMOS 電晶體
M27	第十 NMOS 電晶體	M28	第十一 NMOS 電晶體

RC	讀取控制信號	RGND	加速讀取電壓
GND	接地	/WC	反相寫入控制信號
INV3	第三反相器	D1	第一延遲電路
P31	第三 PMOS 電晶體	P	預充電信號
M41	第十二 NMOS 電晶體	P41	第四 PMOS 電晶體
C	節點	D2	第二延遲電路
P51	第五 PMOS 電晶體	P52	第六 PMOS 電晶體
P53	第七 PMOS 電晶體	M51	第十三 NMOS 電晶體
INV4	第四反相器	INV5	第五反相器
V _{DDH1}	第一高電源供應電壓	V _{DDH2}	第二高電源供應電壓
P61	第八 PMOS 電晶體	P62	第九 PMOS 電晶體
INV6	第六反相器		
BLB ₁ …BLB _m	互補位元線	BLB	互補位元線
MB ₁ …MB _k	記憶體區塊	WL ₁ …WL _n	字元線
BL ₁ …BL _m	位元線	I ₁ 、I ₂ 、I ₃	漏電流
M1…M4	NMOS 電晶體	P1…P2	PMOS 電晶體

4-2 電路圖寫入

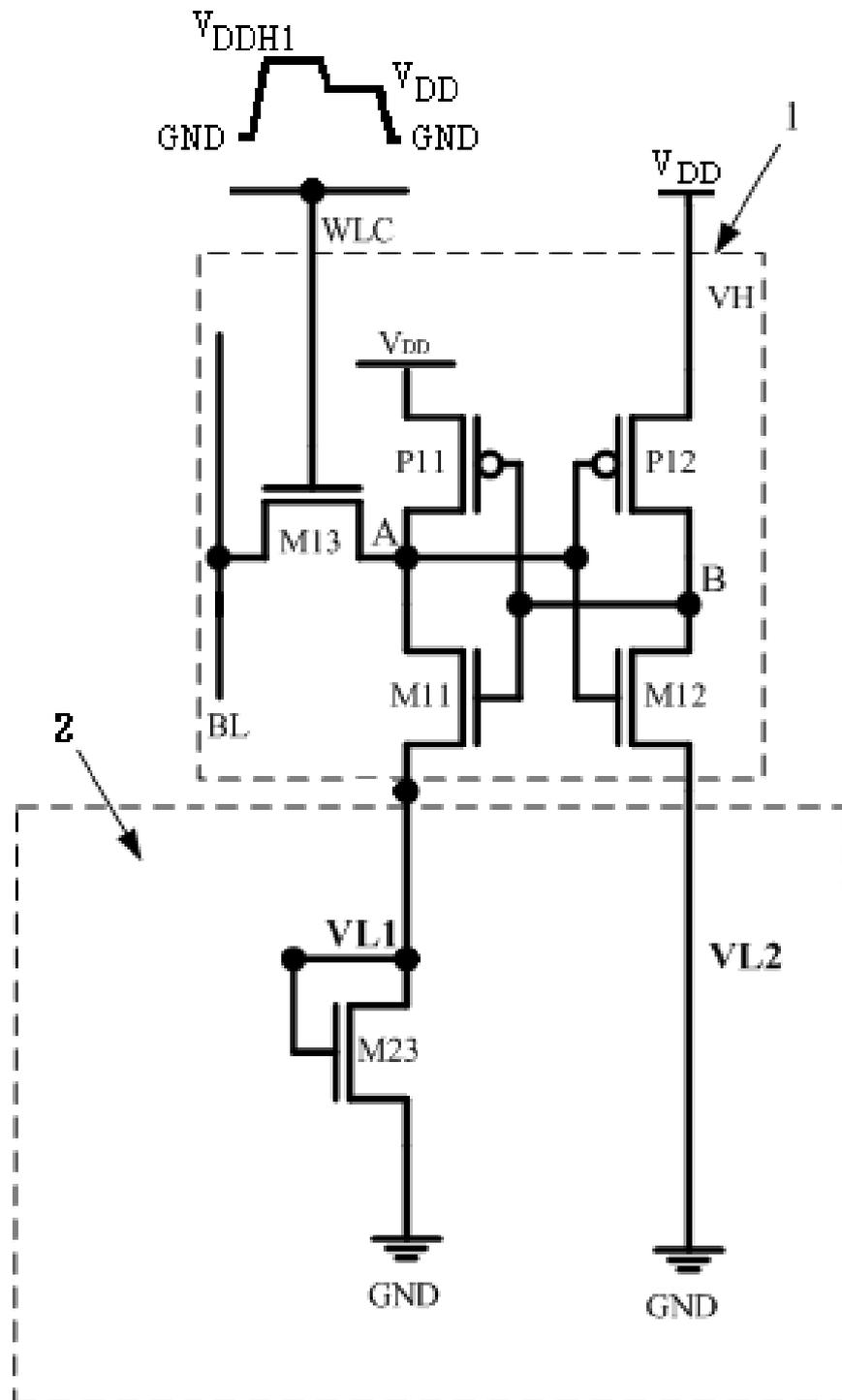
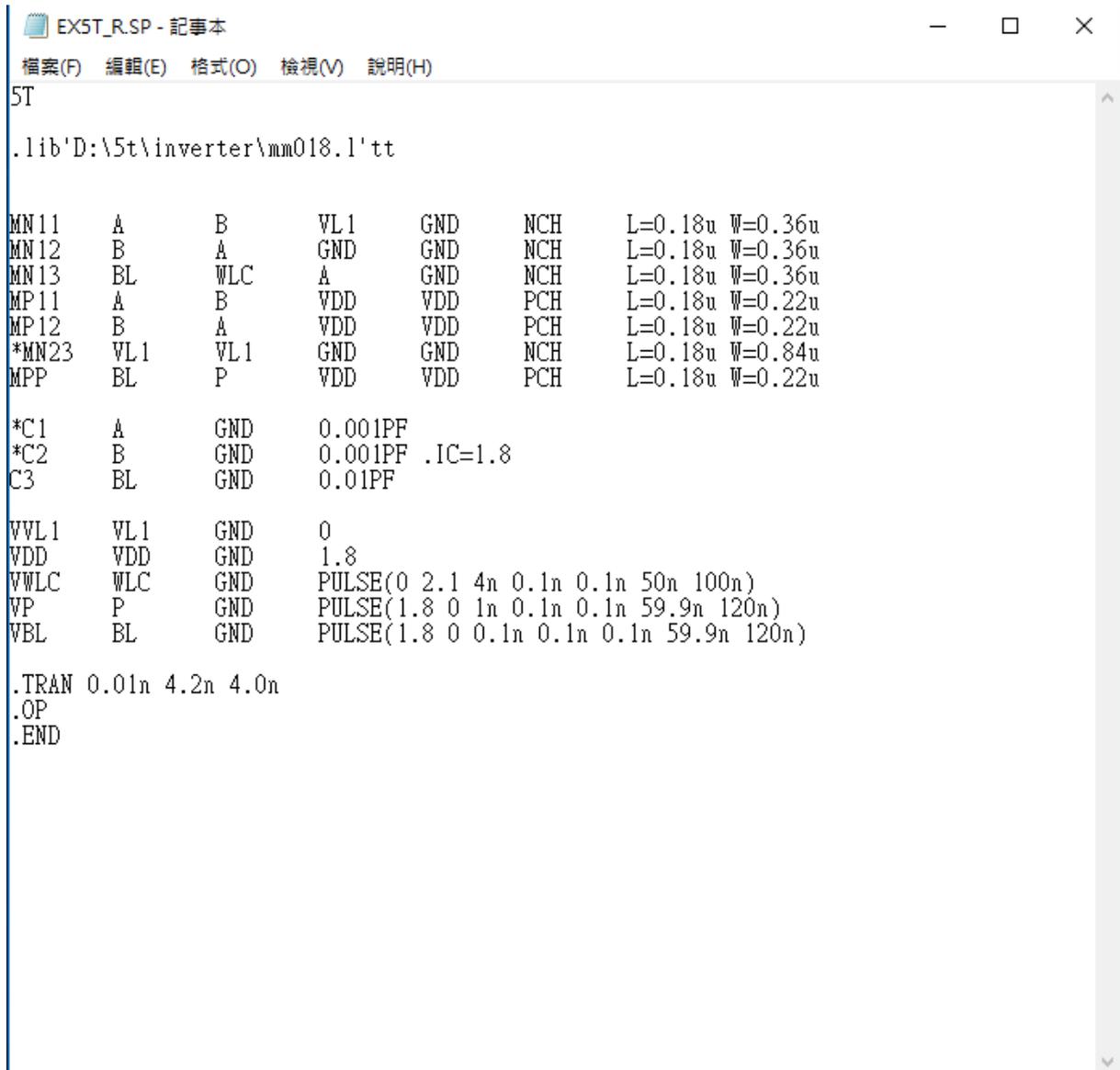


圖 8 寫入操作簡化圖

第五章 程式碼與波型圖

5-1 讀取程式碼



```
EXST_R.SP - 記事本
檔案(F) 編輯(E) 格式(O) 檢視(V) 說明(H)
5T
.lib'D:\5t\inverter\mm018.l'tt

MN11  A      B      VL1  GND  NCH  L=0.18u W=0.36u
MN12  B      A      GND  GND  NCH  L=0.18u W=0.36u
MN13  BL     WLC   A    GND  NCH  L=0.18u W=0.36u
MP11  A      B      VDD  VDD  PCH  L=0.18u W=0.22u
MP12  B      A      VDD  VDD  PCH  L=0.18u W=0.22u
*MN23 VL1    VL1    GND  GND  NCH  L=0.18u W=0.84u
MPP   BL     P      VDD  VDD  PCH  L=0.18u W=0.22u

*C1   A      GND    0.001PF
*C2   B      GND    0.001PF .IC=1.8
C3    BL     GND    0.01PF

VVL1  VL1    GND    0
VDD   VDD    GND    1.8
VWLC  WLC    GND    PULSE(0 2.1 4n 0.1n 0.1n 50n 100n)
VP    P      GND    PULSE(1.8 0 1n 0.1n 0.1n 59.9n 120n)
VBL   BL     GND    PULSE(1.8 0 0.1n 0.1n 0.1n 59.9n 120n)

.TRAN 0.01n 4.2n 4.0n
.OP
.END
```

圖 10 讀取程式碼

5-2 讀取改善前

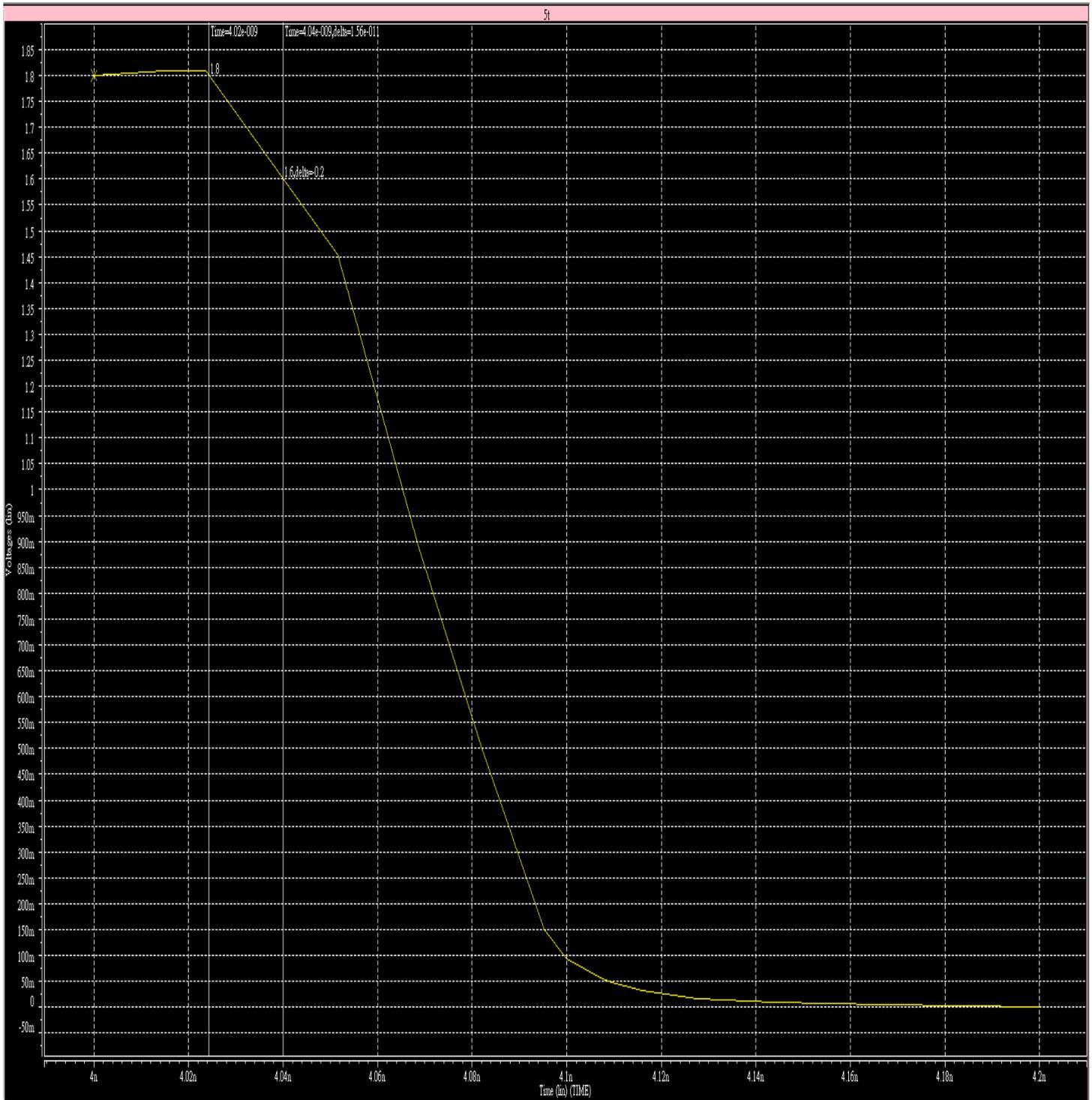


圖 11 讀取改善前

5-3 讀取改善後

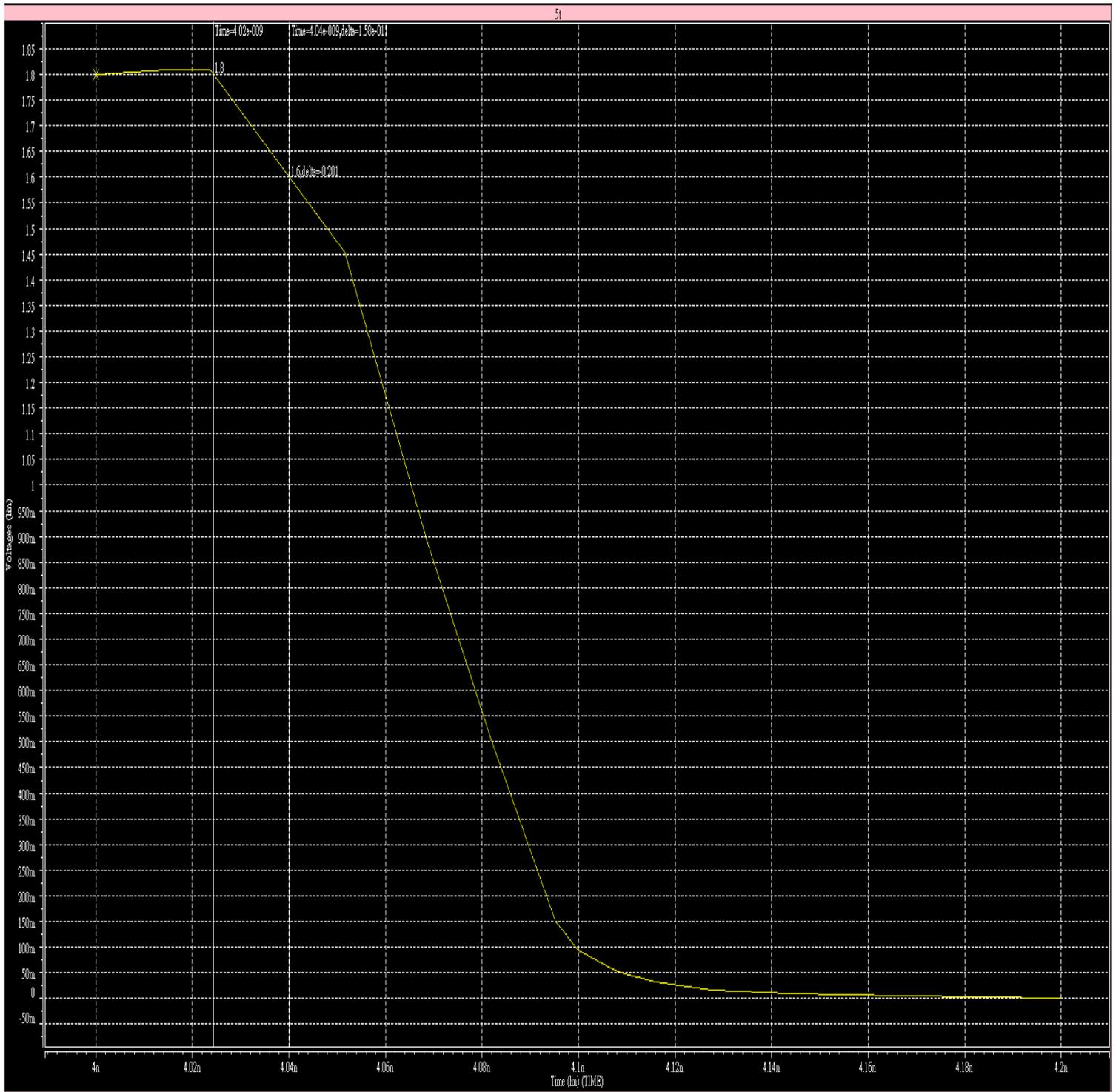


圖 12 讀取改善後

5-4 讀取比較值

下降電壓 (V)	習知 SRAM 所需時間(ns)	本論文提出之 SRAM 所需時間(ns)	比習知 SRAM 快 (%)
0.05	0.00586	0.00397	47.6%
0.1	0.0115	0.00787	46.1%
0.15	0.017	0.0117	45.29%
0.2	0.0229	0.0157	45.85%

表 1 讀取比較值

算法：

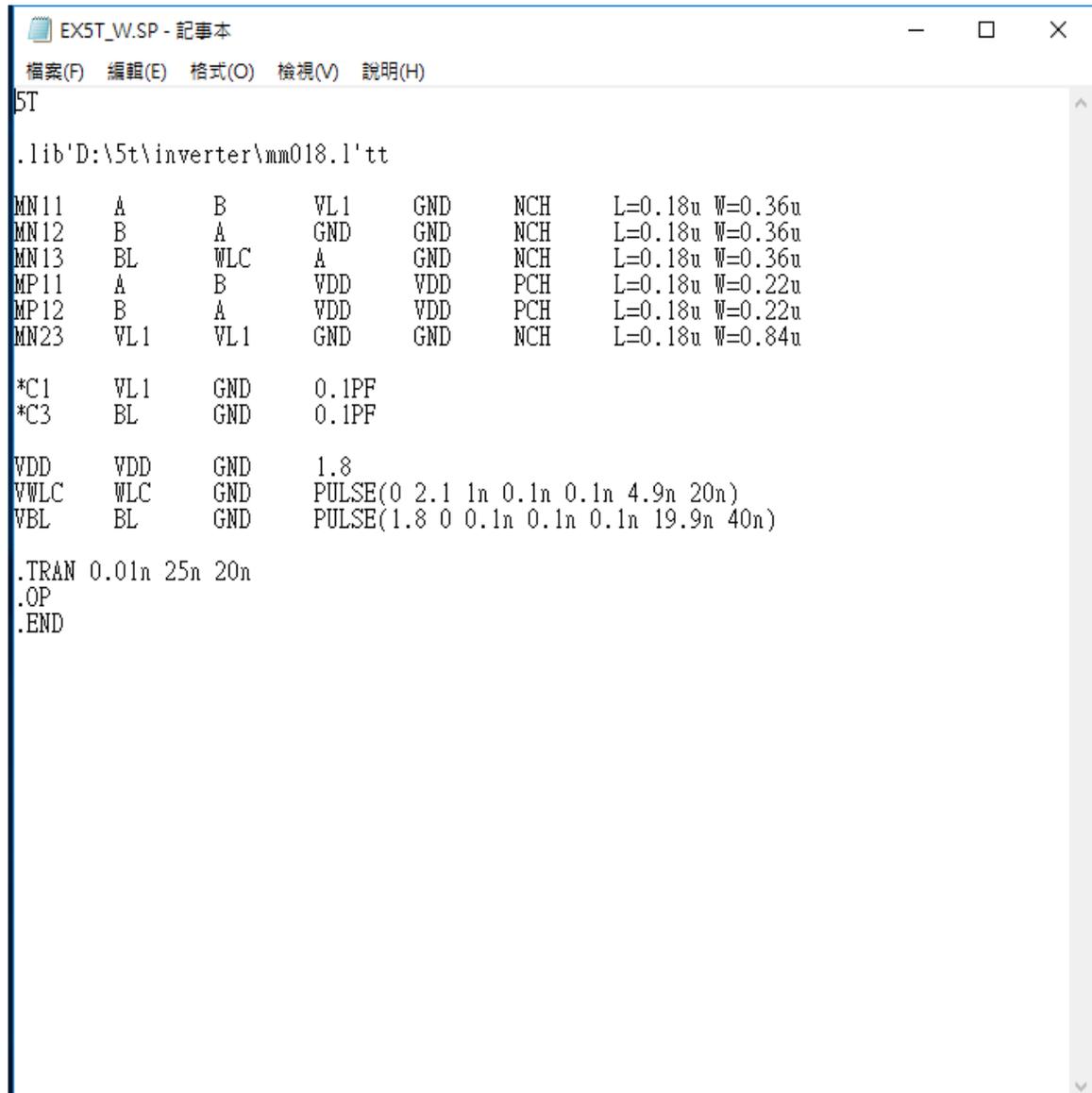
$$0.00586 - 0.00397 / 0.00397 * 100\% = 47.6\%$$

$$0.0115 - 0.00787 / 0.00787 * 100\% = 46.1\%$$

$$0.017 - 0.0118 / 0.0117 * 100\% = 45.29\%$$

$$0.0229 - 0.0157 / 0.0157 * 100\% = 45.85\%$$

5-5 寫入程式碼



```
EX5T_W.SP - 記事本
檔案(F) 編輯(E) 格式(O) 檢視(V) 說明(H)
5T
.lib'D:\5t\inverter\mm018.l'tt
MN11 A B VL1 GND NCH L=0.18u W=0.36u
MN12 B A GND GND NCH L=0.18u W=0.36u
MN13 BL WLC A GND NCH L=0.18u W=0.36u
MP11 A B VDD VDD PCH L=0.18u W=0.22u
MP12 B A VDD VDD PCH L=0.18u W=0.22u
MN23 VL1 VL1 GND GND NCH L=0.18u W=0.84u
*C1 VL1 GND 0.1PF
*C3 BL GND 0.1PF
VDD VDD GND 1.8
VVLC WLC GND PULSE(0 2.1 1n 0.1n 0.1n 4.9n 20n)
VBL BL GND PULSE(1.8 0 0.1n 0.1n 0.1n 19.9n 40n)
.TRAN 0.01n 25n 20n
.OP
.END
```

圖 13 寫入程式

5-6 寫入改善前

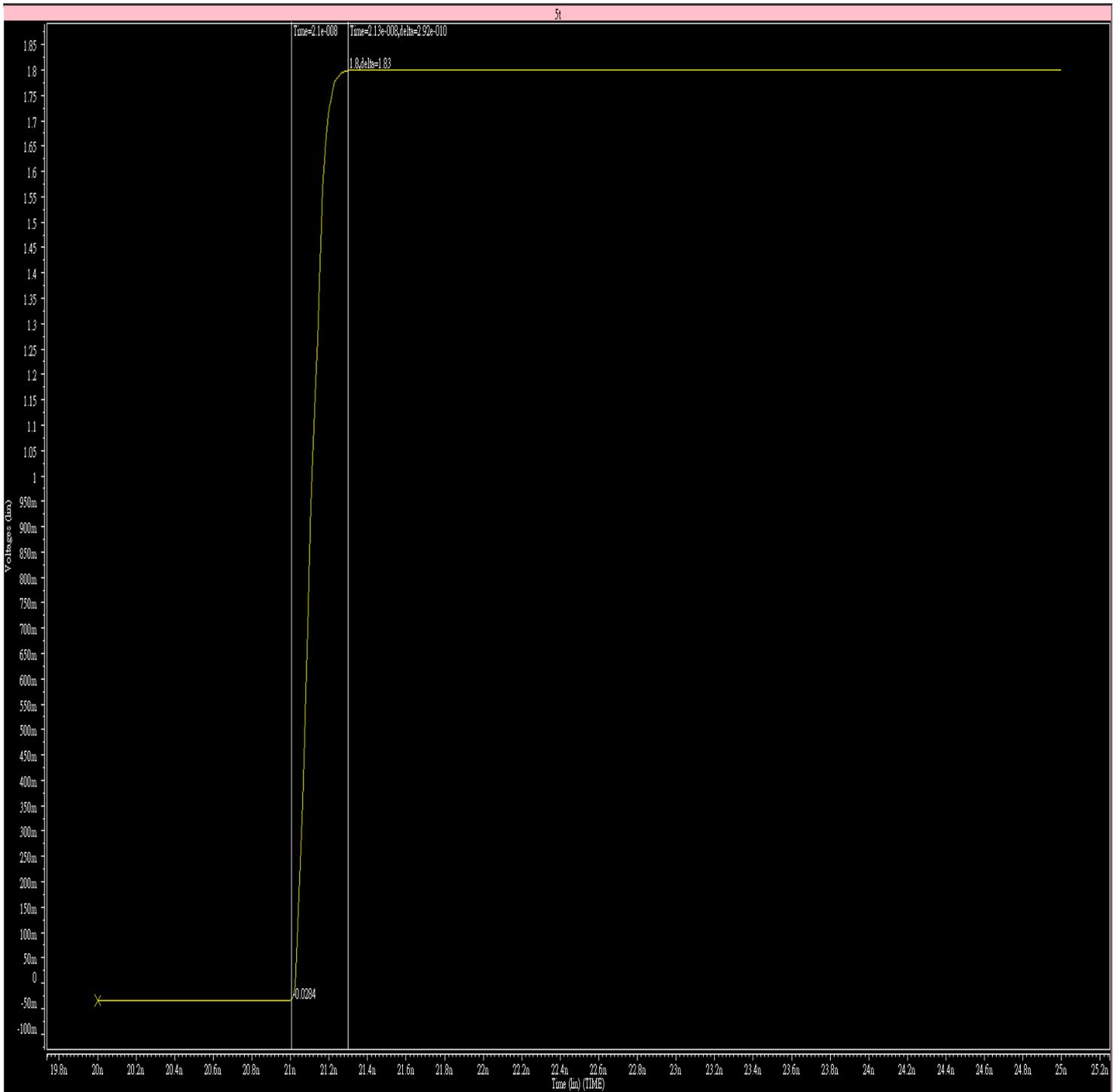


圖 14 寫入改善前

5-7 寫入改善後

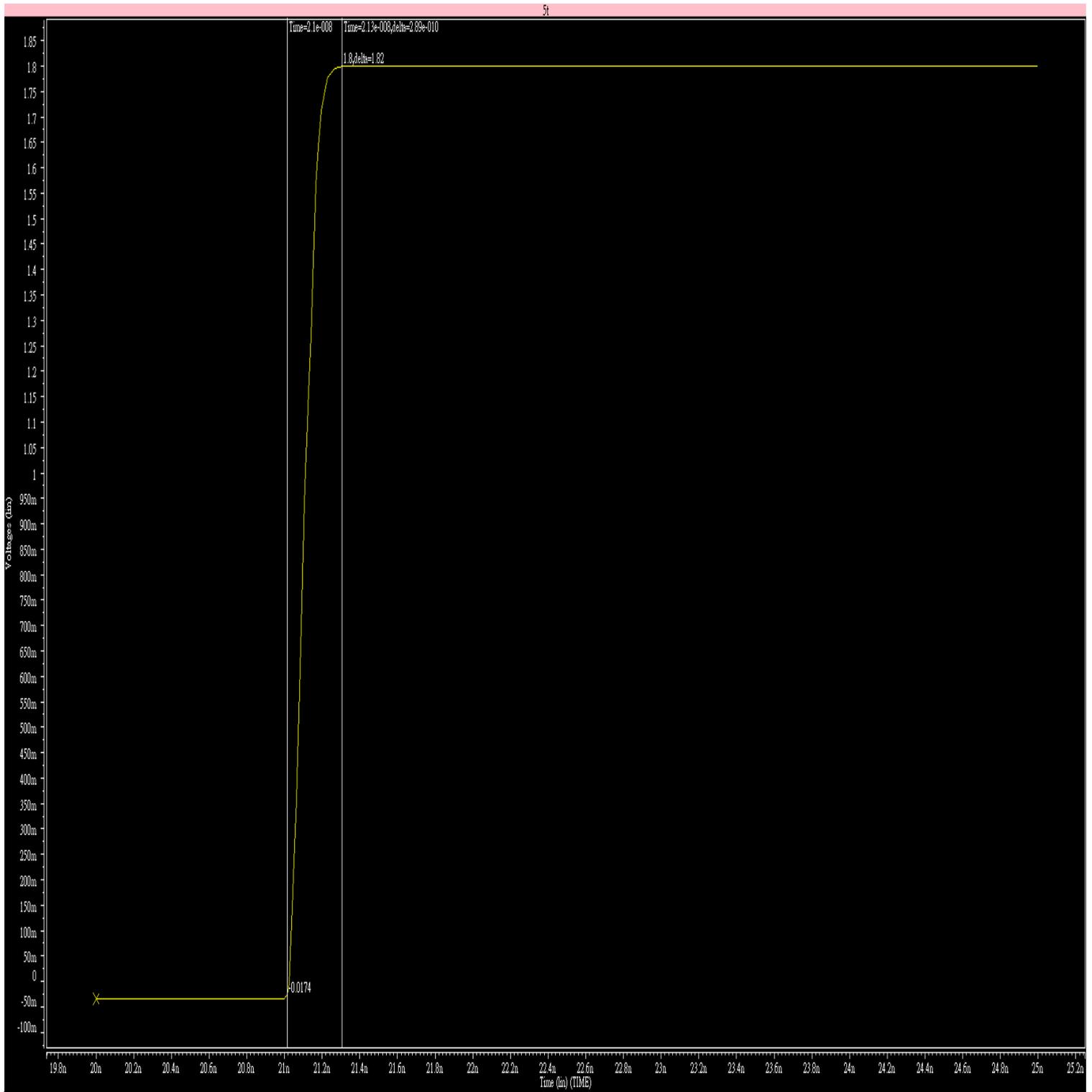


圖 15 寫入改善後

5-8 寫入比較值

傳統 SRAM 寫入時 比接地高所需時間(ns)	本論文提出之 SRAM 寫入時斷路所需時間 (ns)	比傳統 SRAM 快 (%)
0.293	0.241	21.57%

表 2 寫入比較值

算法：

$$0.293-0.241/0.241*100%=21.57\%$$

第六章 結果與討論

- (1) 高讀取/寫入速度：由於由邏輯0寫入邏輯1、由邏輯1寫入邏輯0以及讀取邏輯0等操作時，存取電晶體(即第三NMOS電晶體M13)係工作於飽和區，飽和區之電流係與其閘-源極電壓 $V_{GS(M13)}$ 之電壓位準扣減其臨界電壓後之平方成正比例，因此藉由二階段的字元線電壓位準控制電路而於該字元線致能的第一階段，將該字元線控制信號(WLC)設定成較該電源供應電壓(V_{DD})還高之第一高電源供應電壓(V_{DDH1})，可有效加速由邏輯0寫入邏輯1、由邏輯1寫入邏輯0以及讀取邏輯0等操作之速度，故具備高讀取/寫入速度之功效；
- (2) 高設計自由度：由於本發明於讀取邏輯0時，將儲存節點(A)下拉至低於第二NMOS電晶體(M12)之臨界電壓(V_{TM12})共有二個機制，一個為藉由高電壓位準控制電路，以將施加至選定晶胞之驅動電晶體(即第一NMOS電晶體M11)的閘極上拉至高於該電源供應電壓(V_{DD})，另一個為藉由低於接地電壓之加速讀取電壓(RGND)以下拉儲存節點(A)，因此具備高設計自由度之功效；
- (3) 高讀取速度並避免無謂的功率消耗：本發明係採用二階段讀取操作，於讀取操作之第一階段藉由將該第一低電壓節點(VL1)設定成較接地電壓為低之加速讀取電壓(RGND)，並配合高電壓位準控制電路以將該高電壓節點(VH)拉高至高於該電源供應電壓(V_{DD})之電壓位準，因此可有效提高讀取速度，而於讀取操作之第二階段則藉由將第一低電壓節點(VL1)設定回接地電壓，以便減少無謂的功率消耗；
- (4) 快速進入待機模式：由於本發明設置有待機啟動電路以促使SRAM快速進入待機模式，並藉此以謀求提高SRAM之待機效能；

- (5) 提高寫入邏輯1之速度，並避免寫入邏輯1困難之問題：本發明於寫入操作時，可藉由該複數個控制電路以及該字元線電壓位準控制電路之組合以有效防止寫入邏輯1困難之同時，亦提高寫入邏輯1之速度；
- (6) 低待機電流：由於本發明於待機模式時，可藉由呈導通狀態之第五NMOS電晶體（M22），以使得該第一低電壓節點（VL1）之電壓位準相等於該第二低電壓節點（VL2）之電壓位準，並使得該等電壓位準均等於該第六NMOS電晶體（M23）之臨界電壓的位準，因此本發明亦具備低待機電流之功效；
- (7) 低電晶體數：對於具有1024列1024行之SRAM陣列而言，傳統第6T靜態隨機存取記憶體陣列共需 $1024 \times 1024 \times 6 = 6,291,456$ 顆電晶體，而本發明所提出之靜態隨機存取記憶體僅需 $1024 \times 1024 \times 5 + 1024 \times 27 + 6 = 5,270,534$ 顆電晶體，其減少16.2%之電晶體數。
- (8) 有效地防止寫入邏輯1時因非預期因素而使該待機模式控制信號（S）短暫成為邏輯高位準而導致無法順利寫入之問題：由於寫入邏輯1時，該節點（C）之電壓位準恆為該接地電壓，因此可有效地防止寫入邏輯1時因非預期因素而使該待機模式控制信號（S）短暫成為邏輯高位準而導致無法順利寫入之問題。

參考文獻

【1】. Y. H. CHAN ET AL., “EIGHT TRANSISTOR SRAM CELL WITH IMPROVED STABILITY REQUIRING ONLY ONE WORD LINE” , U.S. PAT.7606060, OCT., 2009.

【2】. M. Ukita et al. ,” A single-bit-line cross-point cell activation (SCPA) architecture for ultra-low-power SRAM's,” IEEE JSSC, vol.28, pp.1114-1118 ,1993.

【3】. H. Tran,” Demonstration of 5T SRAM and 6T dual-port RAM cell arrays,” [VLSI Circuits Digest of Technical Papers., 1996 Symposium](#) , pp.68-69 ,1996.

【4】. J.B. KUO ET AL. ,” A NOVEL TWO-PORT 6T CMOS SRAM CELL STRUCTURE FOR LOW-VOLTAGE VLSI SRAM WITH SINGLE-BIT-LINE SIMULTANEOUS READ-AND-WRITE ACCESS (SBLSRWA) CAPABILITY,” IEEE SYMPOSIUM ON CIRCUITS AND SYSTEMS, PP.733-736,2000.

【5】. I. CARLSON ET AL. ,” A HIGH DENSITY, LOW LEAKAGE, 5T SRAM FOR EMBEDDED CACHES,” [SOLID-STATE CIRCUITS CONFERENCE, 2004. ESSCIRC 2004. PROCEEDING OF THE 30TH EUROPEAN](#), PP.215-218,2004.

【6】. M. WIECKOWSKI ET AL. ,” A NOVEL FIVE-TRANSISTOR (5T) SRAM CELL FOR HIGH PERFORMANCE CACHE,” IEEE CONFERENCE ON SOC, PP.1001-1002,2005.

【7】. M. C. SHIAU ET AL., “SINGLE PORT SRAM HAVING A LOWER POWER SUPPLY IN WRITING OPERATION” , TW PAT. M358390, JUNE, 2009.

【8】. H. ANKUR GOEL, “8-T SRAM CELL CIRCUIT, SYSTEM AND METHOD FOR LOW LEAKAGE CURRENT” , U.S. PAT.7619916, NOV., 2009.

【9】. P. GEENS ET AL. ,” A DUAL PORT DUAL WIDTH 90NM SRAM WITH GUARANTEED DATA RETENTION AT MINIMAL STANDBY SUPPLY VOLTAGE,” [SOLID-STATE CIRCUITS CONFERENCE, 2008. ESSCIRC 2008. 34TH EUROPEAN](#), PP.290-293 ,2008.

【10】.D. M. KWAI ,” STANDBY CURRENT REDUCTION OF COMPILABLE SRAM USING SLEEP TRANSISTOR AND SOURCE LINE SELF BIAS,” [SOLID-STATE CIRCUITS CONFERENCE, 2006. ASSCC 2006. IEEE ASIAN](#), PP.23-26 ,2006.

【11】.K. SASAKI ET AL. ,” A 23-NS 4-MB CMOS SRAM WITH 0.2-M A STANDBY CURRENT,” IEEE JSSC, VOL.25, PP.1075-1081 ,1990.

【12】.M. ANDO ET AL.,” A 0.1M A STANDBY CURRENT, BOUNCING-NOISE-IMMUNE 1MB SRAM,” [VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS., 1988 SYMPOSIUM](#) , PP.49-50 ,1988.

【13】.H. PILO ET AL.,” A 0.9NS RANDOM CYCLE 36MB NETWORK SRAM WITH 33MW STANDBY POWER,” [VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS., 2004 SYMPOSIUM](#) , PP.284-287 ,2004.

【14】 .B. EBRAHIMI ET AL. ,” LOW STANDBY POWER AND ROBUST FINFET BASED SRAM DESIGN,” IEEE SYMPOSIUM ON VLSI, PP.185-190,2008

【15】 .J. WANG ET AL. ,” CANARY REPLICA FEEDBACK FOR NEAR-DRV STANDBY VDD SCALING IN A 90NM SRAM,” IEEE CONFERENCE ON CUSTOM INTEGRATED CIRCUITS, PP.29-32,2007.

【16】 .A.A. MUTLU ET AL. ,” TWO-DIMENSIONAL ANALYTICAL MODEL FOR DRAIN INDUCED BARRIER LOWERING (DIBL) IN SHORT CHANNEL MOSFETS” , [SOUTHEASTCON 2000, PROCEEDINGS OF THE IEEE](#), PP 340-344, 7-9 APR. 2000.

【17】 .T. W. HOUSTON, “SRAM CELL USING SEPARATE READ AND WRITE CIRCUITRY” , U.S. PAT.7483332, JAN., 2009.

【18】 .R.S. KAJEN ET AL. ,” COMPUTATION OF DIRECT TUNNELING GATE LEAKAGE CURRENTS IN NANO-MOSFETS USING ENSEMBLE FULL BAND MONTE CARLO WITH QUANTUM CORRECTION” , [IEEE-NANO 2007. 7TH IEEE CONFERENCE ON NANOTECHNOLOGY](#), PP 76 - 80, 2-5 AUG. 2007.

【19】 .R. E. MATICK, “FAST, STABLE, SRAM CELL USING SEVEN DEVICES AND HIERARCHICAL BIT/SENSE LINE” , U.S. PAT.7499312, MAR., 2009.

【20】 .B. GIRAUD ET AL., ” A NOVEL 4T ASYMMETRIC SINGLE-ENDED SRAM CELL IN SUB-32NM DOUBLE GATE

TECHNOLOGY,” [ISCAS 2008. IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS](#), 18-21 MAY 2008, PP. 1906 - 1909, 2008.

【21】.M. REYBOZ ET AL., ” [EXPLICIT SHORT CHANNEL COMPACT MODEL OF INDEPENDENT DOUBLE GATE MOSFET](#),” CEA 2007.